



# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

MAX7318

## 제품설명

## 제품특징

MAX7318 2선식 인터페이스 익스팬더는 SMBus™ 및 I<sup>2</sup>C\* 애플리케이션을 위해 16비트 병렬 입/출력 (I/O) 포트 확장을 제공한다. MAX7318은 입력 포트 레지스터, 출력 포트 레지스터, 극성 반전 레지스터, 구성 레지스터, 버스 타임아웃 레지스터 및 SMBus와 호환되는 I<sup>2</sup>C 호환 직렬 인터페이스 로직으로 구성된다. 시스템 마스터는 액티브 하이 극성 반전 레지스터에 기록하여 MAX7318 입력 데이터를 반전시킬 수 있다.

16개의 I/O 포트는 모두 입력 또는 출력으로 구성될 수 있다. 파워 온 리셋 (POR)은 16개 I/O를 입력으로 초기화한다. 세 개의 주소 선택 핀은 64개의 슬레이브 ID 주소 중 하나를 구성한다.

MAX7318은 핫 인서션을 지원한다. 모든 포트 핀,  $\overline{INT}$  출력, SDA, SCL 및 슬레이브 주소 입력 AD0~AD2는 최대 6V가 인가되더라도 파워 다운 상태에 ( $V_+ = 0V$ ) 하이 임피던스를 유지한다.

MAX7318은 24핀 SO, SSOP, TSSOP 및 TQFN 패키지로 제공되고 -40°C~+125°C 자동차 온도 범위에서 동작하도록 규정되어 있다.

SMBus 타임아웃 기능을 필요로 하는 애플리케이션에 대해서는 MAX7311 데이터 시트를 참조한다.

- ◆ 400kbps I<sup>2</sup>C 호환 직렬 인터페이스
- ◆ 2V~5.5V 동작
- ◆ 5.5V 과전압 허용 I/O
- ◆ 핫 인서션 지원
- ◆ 전력 상승 시 입력으로 기본값이 설정되는 16개의 I/O 핀
- ◆ 각 I/O에서 100kΩ 풀업
- ◆ 오픈 드레인 인터럽트 출력 ( $\overline{INT}$ )
- ◆ SCL/SDA 입력에서 잡음 필터
- ◆ 64개의 슬레이브 ID 주소 사용 가능
- ◆ 낮은 대기 전류 (5.4μA 일반)
- ◆ 극성 반전
- ◆ 4mm x 4mm x 0.8mm TQFN 패키지
- ◆ -40°C~+125°C 동작

## 애플리케이션

- 서버
- RAID 시스템
- 산업용 제어
- 의료기기
- PLC
- 계측기 및 테스트 측정

## 주문정보

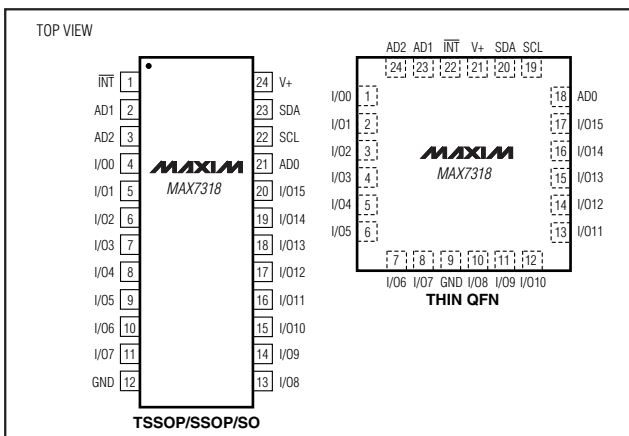
PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX7318AWG	-40°C to +125°C	24 Wide SO	—
MAX7318AAG	-40°C to +125°C	24 SSOP	—
MAX7318ATG	-40°C to +125°C	24 Thin QFN (4mm x 4mm)	T2444-4
MAX7318AUG	-40°C to +125°C	24 TSSOP	—

SMBus는 Intel Corp.의 상표이다.

I<sup>2</sup>C는 Philips Corp.의 상표이다.

\*Purchase of I<sup>2</sup>C components from Maxim Integrated Products, Inc., or one of its sublicensed Associated Companies, conveys a license under the Philips I<sup>2</sup>C Patent Rights to use these components in an I<sup>2</sup>C system, provided that the system conforms to the I<sup>2</sup>C Standard Specification as defined by Philips.

## 핀 구성



# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

## ABSOLUTE MAXIMUM RATINGS

V+ to GND .....	-0.3V to +6V
I/O0–I/O15 as Inputs .....	(GND - 0.3V) to +6V
SCL, SDA, AD0, AD1, AD2, $\overline{\text{INT}}$ .....	(GND - 0.3V) to +6V
Maximum V+ Current .....	+250mA
Maximum GND Current .....	-250mA
DC Input Current on I/O0–I/O15 .....	±20mA
DC Output Current on I/O0–I/O15 .....	±80mA

Continuous Power Dissipation ( $T_A = +70^\circ\text{C}$ )	
24-Pin Wide SO (derate 11.8mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$ )	....941mW
24-Pin SSOP (derate 8.0mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$ )	.....640mW
24-Pin TSSOP (derate 12.2mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$ )	.....976mW
24-Pin Thin QFN (derate 20.8mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$ )	.1667mW
Operating Temperature Range .....	-40 $^\circ\text{C}$ to +125 $^\circ\text{C}$
Junction Temperature .....	+150 $^\circ\text{C}$
Storage Temperature Range .....	-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Lead Temperature (soldering, 10s) .....	+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(V+ = 2V to 5.5V,  $T_A = -40^\circ\text{C}$  to  $+125^\circ\text{C}$ , unless otherwise noted. Typical values are at V+ = 3.3V,  $T_A = +25^\circ\text{C}$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V+		2.0		5.5	V
Supply Current	I+	All I/Os unloaded, fSCL = 400kHz	V+ = 2V	24	36	$\mu\text{A}$
			V+ = 3.3V	45	62	
			V+ = 5.5V	83	124	
Standby Current	ISTBY	All I/Os unloaded, fSCL = 0	V+ = 2V	4.8	12.1	$\mu\text{A}$
			V+ = 3.3V	5.4	14.4	
			V+ = 5.5V	6.4	19.4	
Power-On Reset Voltage	VPOR		1.4	1.7	V	
<b>SCL, SDA</b>						
Input Voltage Low	VIL				0.3 x V+	V
Input Voltage High	VIH		0.7 x V+			V
Low-Level Output Voltage	VOL	ISINK = 6mA			0.4	V
Leakage Current	IL		-1		+1	$\mu\text{A}$
Input Capacitance				10		pF
<b>I/O_</b>						
Input Voltage Low	VIL				0.8	V
Input Voltage High	VIH		1.8			V
Input Leakage Current		$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ ; includes internal pullup current, $V_{IO} = V+$			1	$\mu\text{A}$
Internal Pullup Current		$T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ , $V_{IO} = 0$		34	100	$\mu\text{A}$
Low-Level Output Current	ISINK	V+ = 2V, VOL = 0.5V	8.5	17	mA	
		V+ = 3.3V, VOL = 0.5V	17	32		
		V+ = 5V, VOL = 0.5V		43		
High Output Current	ISOURCE	V+ = 3.3V, VOH = 2.4V	29	41	mA	
		V+ = 5V, VOH = 4.5V		31		
<b>AD0, AD1, AD2</b>						
Input Voltage Low	VIL				0.3 x V+	V
Input Voltage High	VIH		0.7 x V+			V

# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

MAX7318

## DC ELECTRICAL CHARACTERISTICS (continued)

(V+ = 2V to 5.5V, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = 3.3V, T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Leakage Current			-1		+1	μA
Input Capacitance				4		pF
<b>INT</b>						
Low-Level Output Current	I <sub>OL</sub>	V <sub>OL</sub> = 0.4V	6			mA

## AC ELECTRICAL CHARACTERISTICS

(V+ = 2V to 5.5V, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f <sub>SCL</sub>				400	kHz
Bus Free Time Between STOP and START Conditions	t <sub>BUF</sub>	Figure 2	1.3			μs
Hold Time (Repeated) START Condition	t <sub>HD,STA</sub>	Figure 2	0.6			μs
Repeated START Condition Setup Time	t <sub>SU,STA</sub>	Figure 2	0.6			μs
STOP Condition Setup Time	t <sub>SU,STO</sub>	Figure 2	0.6			μs
Data Hold Time	t <sub>HD,DAT</sub>	Figure 2 (Note 2)			0.9	μs
Data Setup Time	t <sub>SU,DAT</sub>	Figure 2	100			ns
SCL Low Period	t <sub>LOW</sub>	Figure 2	1.3			μs
SCL High Period	t <sub>HIGH</sub>	Figure 2	0.7			μs
SDA Fall Time	t <sub>F</sub>	Figure 2 (Notes 3, 4)	V+ < 3.3V		500	ns
			V+ ≥ 3.3V		250	
Pulse Width of Spike Suppressed	t <sub>SP</sub>	(Note 5)		50		ns
<b>PORT TIMING</b>						
Output Data Valid	t <sub>PV</sub>	Figure 7			3	μs
Input Data Setup Time			27			μs
Input Data Hold Time			0			μs
<b>INTERRUPT TIMING</b>						
Interrupt Valid	t <sub>IV</sub>	Figure 9			30.5	μs
Interrupt Reset	t <sub>IR</sub>	Figure 9			2	μs

**Note 1:** All parameters are 100% production tested at T<sub>A</sub> = +25°C. Specifications over temperature are guaranteed by design.

**Note 2:** A master device must internally provide a hold time of at least 300ns for the SDA signal (referred to the V<sub>IL</sub> of the SCL signal) to bridge the undefined region SCL's falling edge.

**Note 3:** C<sub>B</sub> = total capacitance of one bus line in pF.

**Note 4:** The maximum t<sub>F</sub> for the SDA and SCL bus lines is specified at 300ns. The maximum fall time for the SDA output stage t<sub>F</sub> is specified at 250ns. This allows series protection resistors to be connected between the SDA and SCL pins and the SDA/SCL bus lines without exceeding the maximum specified t<sub>F</sub>.

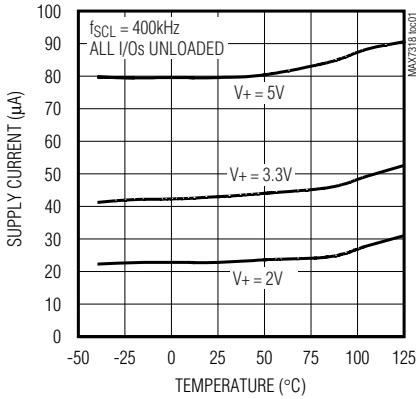
**Note 5:** Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

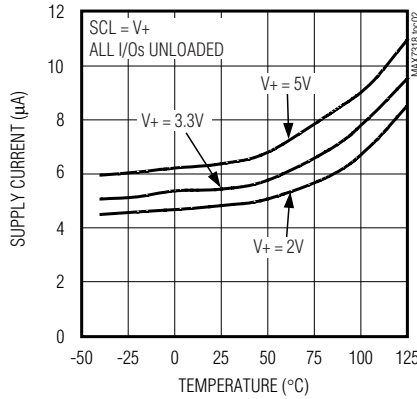
일반적인 동작 특성

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)

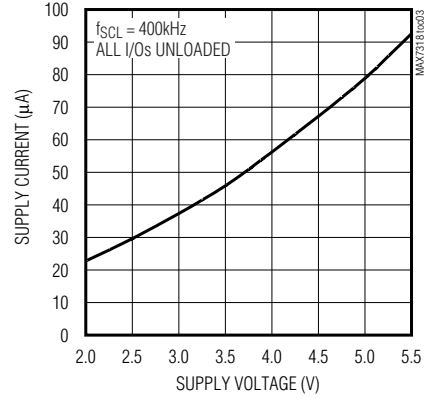
**SUPPLY CURRENT vs. TEMPERATURE**



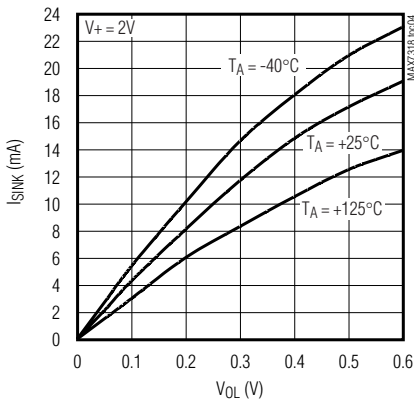
**STANDBY SUPPLY CURRENT vs. TEMPERATURE**



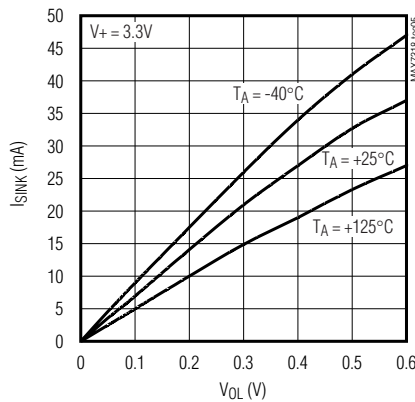
**SUPPLY CURRENT vs. SUPPLY VOLTAGE**



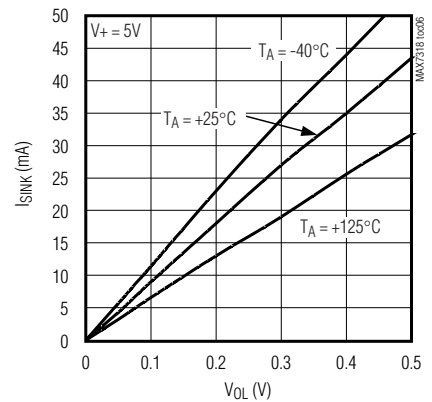
**I/O SINK CURRENT vs. OUTPUT LOW VOLTAGE**



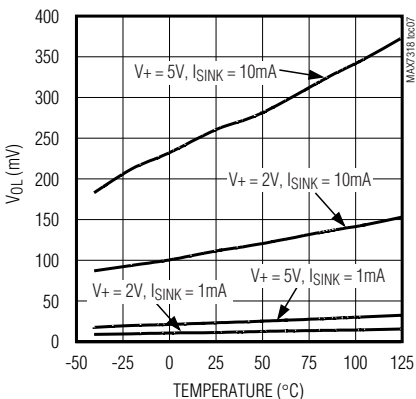
**I/O SINK CURRENT vs. OUTPUT LOW VOLTAGE**



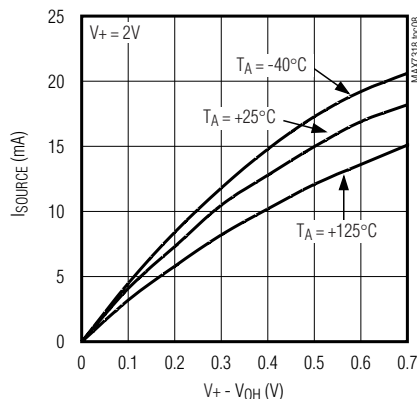
**I/O SINK CURRENT vs. OUTPUT LOW VOLTAGE**



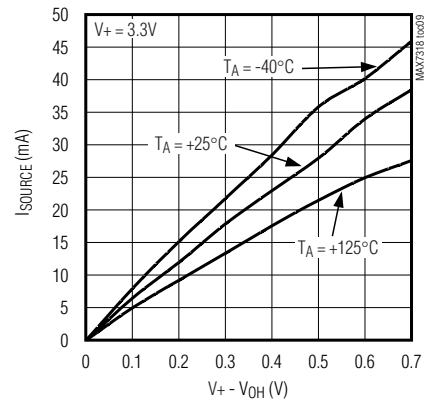
**I/O OUTPUT LOW VOLTAGE vs. TEMPERATURE**



**I/O SOURCE CURRENT vs. OUTPUT HIGH VOLTAGE**



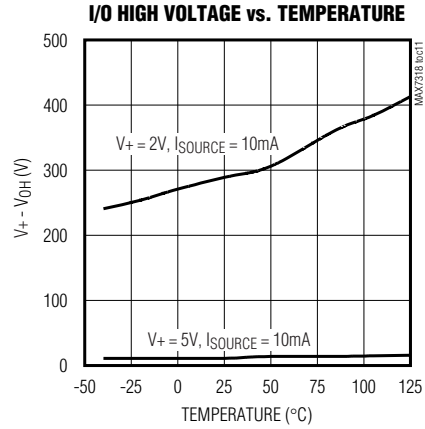
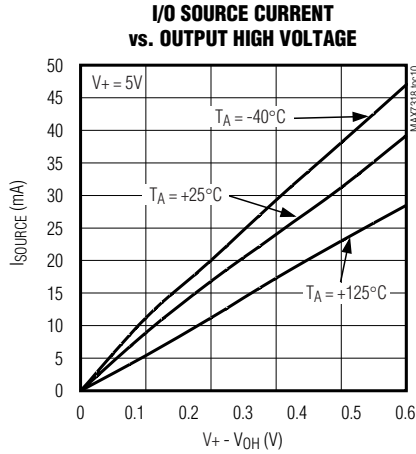
**I/O SOURCE CURRENT vs. OUTPUT HIGH VOLTAGE**



# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

일반적인 동작 특성 (계속)

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



## 핀 설명

핀		명칭	기능
TSSOP/ SSOP/SO	THIN QFN		
1	22	$\overline{\text{INT}}$	인터럽트 출력 (오픈 드레인)
2	23	AD1	주소 입력 1
3	24	AD2	주소 입력 2
4-11	1-8	I/O0-I/O7	입/출력 포트 1
12	9	GND	전원 접지
13-20	10-17	I/O8-I/O15	입/출력 포트 2
21	18	AD0	주소 입력 0
22	19	SCL	직렬 클록 라인
23	20	SDA	직렬 데이터 라인
24	21	V+	전원 전압. 0.047 $\mu\text{F}$ 커패시터를 사용하여 GND에 바이패스한다.
—	—	EP	패키지 밑면에 있는 노출 패드. GND에 연결한다.

# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

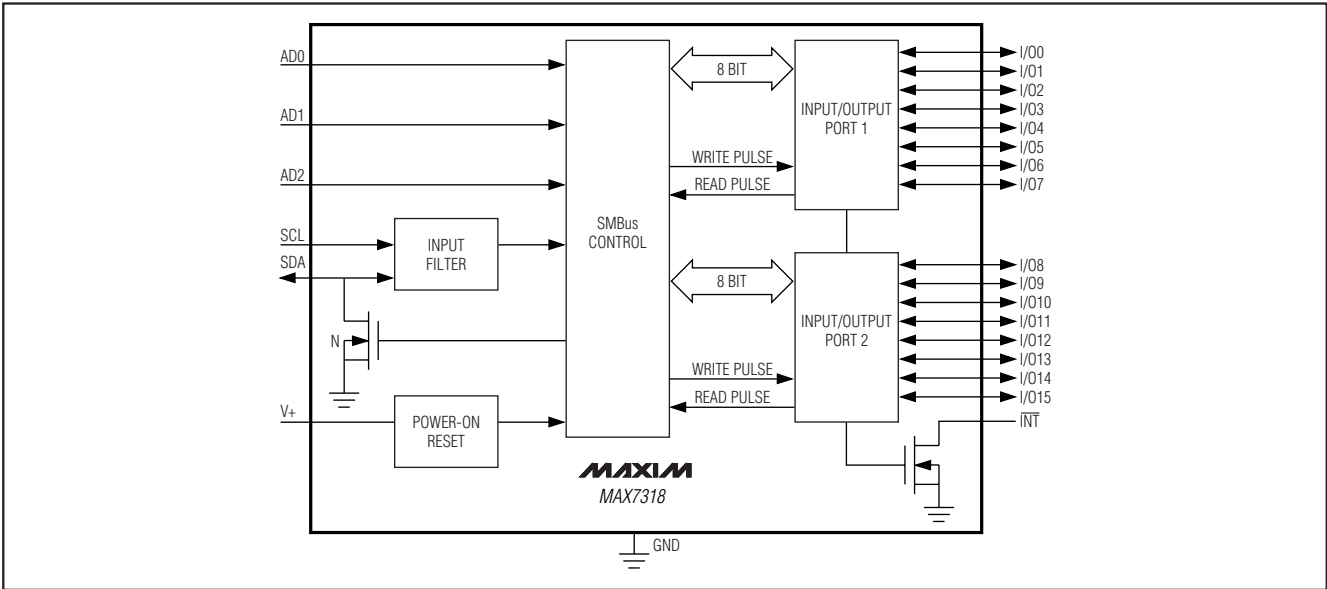


그림 1. MAX7318 블록 다이어그램

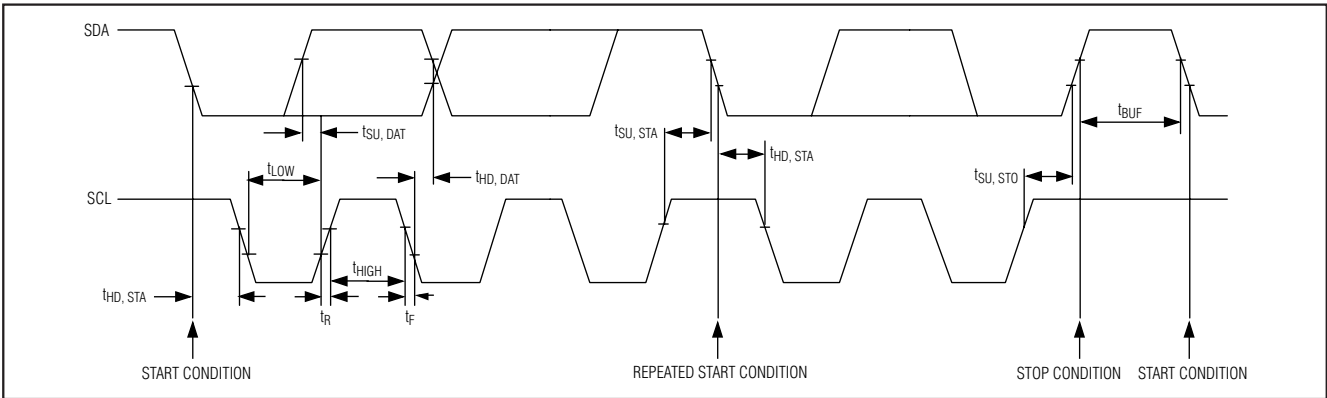


그림 2. 2선식 직렬 인터페이스 타이밍 다이어그램

## 세부설명

MAX7318 범용 입/출력 (GPIO) 주변기기는 I<sup>2</sup>C 호환 직렬 인터페이스를 통해 제어되는 최대 16개의 I/O 포트를 제공한다. MAX7318은 입력 포트 레지스터, 출력 포트 레지스터, 극성 반전 레지스터 및 구성 레지스터로 구성된다. 전원이 켜지면 모든 I/O 라인은 입력으로 설정된다. 세 개의 슬레이브 ID 주소 선택 핀 AD0, AD1 및 AD2는 Philips PCA9555에 의해 지원되는 여덟 개의 주소를 포함하여, 64개의 슬레이브 ID 주소 중에서 하나를 선택한다. 표 1은 레지스터 주소 표이다. 표 2-5는 세부 레지스터 정보이다.

## 직렬 인터페이스

### 직렬 주소지정

MAX7318은 2선식 인터페이스를 통해 데이터를 송수신하는 슬레이브로 동작한다. 인터페이스는 직렬 데이터 라인 (SDA) 과 직렬 클럭 라인 (SCL)을 사용하여 마스터와 슬레이브 간에 양방향 통신을 달성한다. 일반적으로 마이크로 컨트롤러인 마스터는 MAX7318 내외로 모든 데이터 전송을 초기화 및 동기화하는 SCL 클럭을 생성한다 (그림 2).

## 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

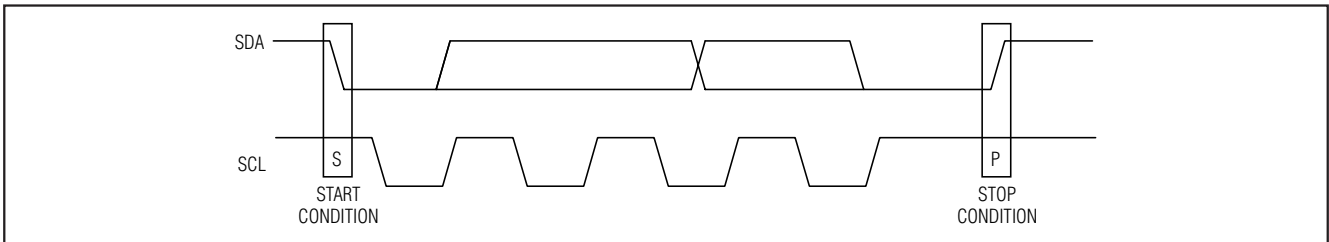


그림 3. START 및 STOP 조건

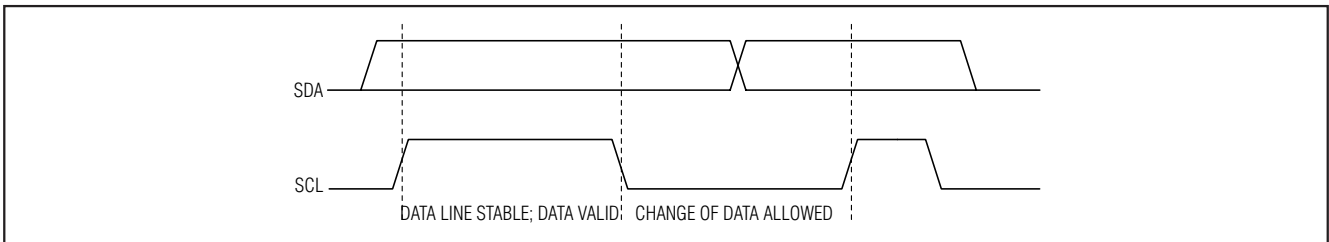


그림 4. 비트 전송

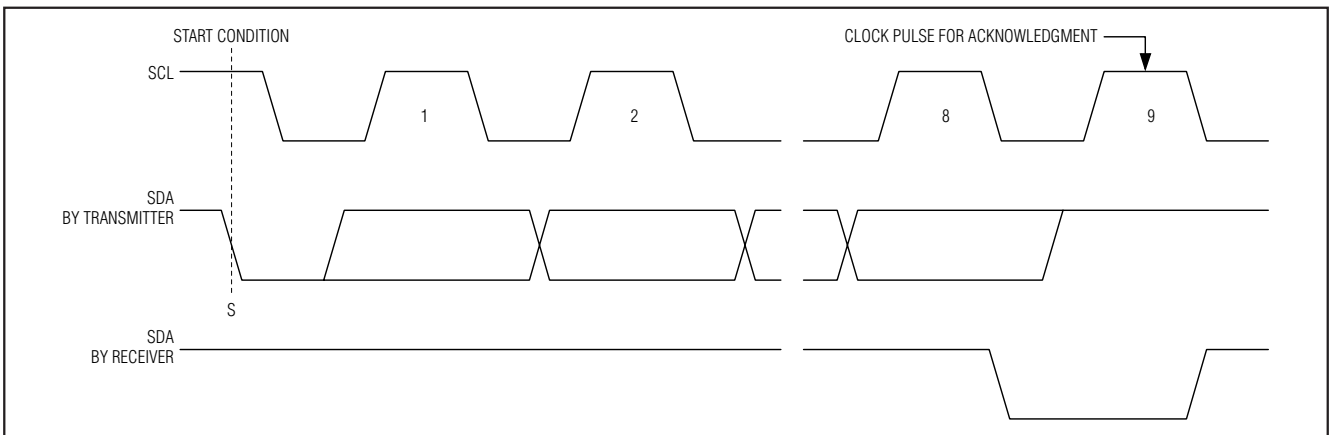


그림 5. 승인

각 송신은 마스터에 의해 전송된 START 조건과, 그 뒤에 오는 MAX7318 7비트 슬레이브 주소와 R/W 비트, 1개의 레지스터 주소 바이트, 1개 이상의 데이터 바이트, 그리고 STOP 조건으로 구성된다 (그림 3).

### START 및 STOP 조건

SCL과 SDA는 인터페이스가 혼잡하지 않을 때 모두 하이로 유지한다. 마스터는 SCL이 하이인 동안 SDA를 하이에서 로우로 변환함으로써 START (S) 조건을 통해 전송 시작을 알린다. 마스터는 슬레이브와의 통신이 완료될 때 SCL이 하이인 동안 SDA를 로우에서 하이로 변환하여 STOP (P) 조건을 발한다. 그러면 버스는 자유롭게 또 다른 전송을 시작할 수 있다 (그림 3).

### 비트 전송

각 클럭 펄스 동안 하나의 데이터 비트가 전송된다. SDA의 데이터는 SCL이 하이인 동안 안정된 상태를 유지해야 한다 (그림 4).

### 승인

승인 (acknowledge) 비트는 클럭된 9번째 비트이며, 수신자는 이것을 각 데이터 바이트의 핸드셰이크 수신으로서 사용한다 (그림 5). 따라서 효과적으로 전송된 각 바이트는 9개 비트를 필요로 한다. 마스터는 9번째 클럭 펄스를 생성하고, 수신자는 높은 클럭 펄스 기간 동안 SDA 라인이 로우로 안정화되도록 승인 클럭 펄스 동안 SDA를 풀 다운한다. 마스터가 MAX7318로 송신할 경우, MAX7318이

# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

수신자이기 때문에 MAX7318은 승인 비트를 생성한다. MAX7318이 마스터로 송신할 경우에는 마스터가 승인 비트를 생성한다.

### 슬레이브 주소

MAX7318은 7비트 길이의 슬레이브 주소를 가진다 (그림 6). 7비트 슬레이브 주소에 뒤이은 8번째 비트는 R/W 비트이다. 쓰기 명령을 위해서는 이 비트를 로우로 설정하고 읽기 명령을 위해서는 하이로 설정한다.

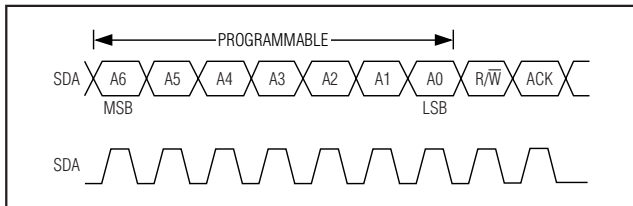


그림 6. 슬레이브 주소

슬레이브 주소 핀 AD2, AD1 및 AD0은 64개 슬레이브 ID 주소 중 하나를 선택한다 (표 7).

### 데이터 버스 처리

명령 바이트는 쓰기 전송 시 8비트 소자 슬레이브 주소 다음의 첫 번째 바이트이다 (표 1, 그림 7). 명령 바이트는 다음 레지스터에 데이터를 쓸 지 읽을 지를 결정한다.

### 포트 레지스터에 쓰기

소자 슬레이브 주소를 송신하고 LSB를 로직 제로에 설정함으로써 데이터를 MAX7318에 송신한다. 명령 바이트는 주소 뒤에 전송되며 명령 바이트 뒤에 오는 데이터를 수신하는 레지스터를 결정한다 (그림 7).

표 1. 명령 바이트 레지스터

COMMAND BYTE ADDRESS (hex)	FUNCTION	PROTOCOL	POWER-UP DEFAULT
0x00	Input port 1	Read byte	XXXX XXXX
0x01	Input port 2	Read byte	XXXX XXXX
0x02	Output port 1	Read/write byte	1111 1111
0x03	Output port 2	Read/write byte	1111 1111
0x04	Port 1 polarity inversion	Read/write byte	0000 0000
0x05	Port 2 polarity inversion	Read/write byte	0000 0000
0x06	Port 1 configuration	Read/write byte	1111 1111
0x07	Port 2 configuration	Read/write byte	1111 1111
0xFF	Factory reserved. (Do not write to this register.)	—	—

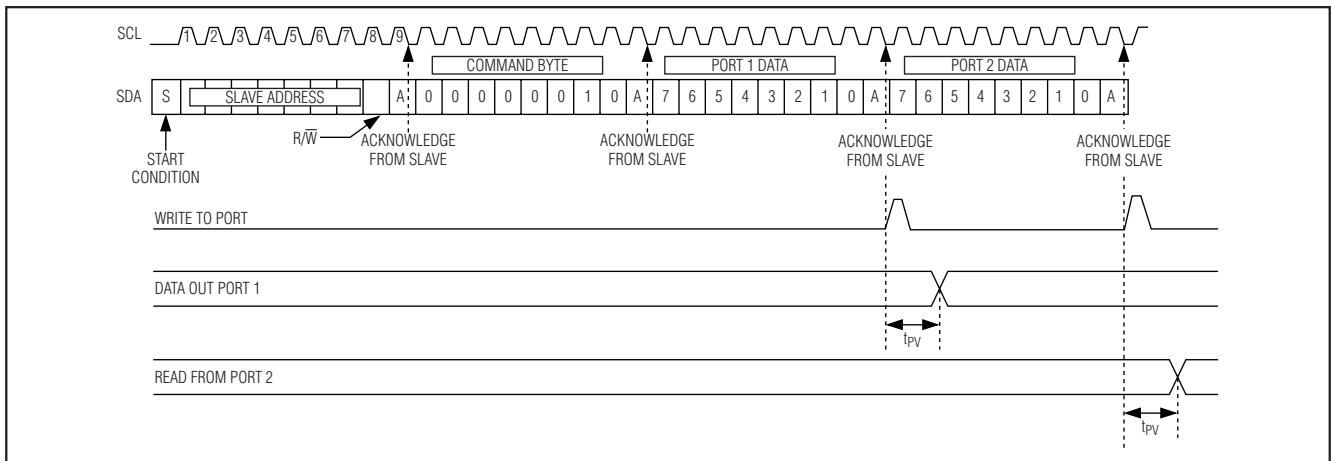


그림 7. 쓰기 바이트 프로토콜을 통해 출력 레지스터에 쓰기



# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

데이터는 승인 클럭 펄스의 하강 에지에서 레지스터로 클럭 인된다. 첫 번째 바이트를 읽은 후, 추가 바이트들이 읽혀질 수 있으며 한쌍의 다른 레지스터에 있는 내용을 반영할 수 있다. 예를 들어, 입력 포트 1이 읽혀질 경우, 읽혀지는 다음 번 바이트는 입력 포트 2이다. 한 번의 읽기 전송에서 무수한 수의 데이터 바이트가 읽힐 수 있지만, 수신되는 최종 바이트는 버스 마스터에 의해 승인되어서는 안된다.

## 인터럽트 ( $\overline{INT}$ )

오픈 드레인 인터럽트 출력  $\overline{INT}$ 는 포트 핀 중 하나가 상태를 변경할 때 그리고 핀이 입력으로 구성될 때에만 활성화된다. 인터럽트는 입력이 다시 이전 상태로 복귀하거나 입력 레지스터가 읽혀질 때 비활성화된다 (그림 9). 출력으로 구성된 핀은 인터럽트를 초래하지 않는다. 각 8비트 포트 레지스터는 독립적으로 읽히기 때문에 포트 1에 의한 인터럽트는 포트 2의 레지스터를 읽어서는 소거되지 않는다.

출력에서 입력으로 I/O를 변경하면 해당 I/O의 상태가 입력 포트 레지스터의 내용과 일치하지 않을 경우 잘못된 인터럽트가 발생할 수 있다.

## 입/출력 포트

I/O가 입력으로 구성될 때, FET Q1과 Q2는 꺼지고 (그림 10),  $V_{DD}$ 로 공칭  $100k\Omega$  풀업되면서 하이 임피던스 입력을 생성한다. 모든 입력은 전원 전압에 상관없이 5.5V까지 과전압 보호된다. 포트가 입력으로 구성될 경우, 출력 포트 레지스터 상태에 따라 Q1 또는 Q2가 켜진다.  $V_{DD}$ 의 전력이 상승하면, 내부 파워 온 리셋은 모든 레지스터를 해당 기본값으로 설정한다 (표 1).

## 입력 포트 레지스터

입력 포트 레지스터 (표 2)는 읽기 전용 포트이다. 이 레지스터들은 핀이 해당 구성 레지스터에 의해 입력 또는 출력으로 정의되어 있느냐에 상관없이 핀의 착신 로직 레벨을 반영한다. 입력 포트 1 레지스터 읽기는 I/O0~I/O7의 전류 값을 래치한다. 입력 포트 2 레지스터 읽기는 I/O8~I/O15의 전류 값을 래치한다. 입력 포트 레지스터에의 쓰기는 무시된다.

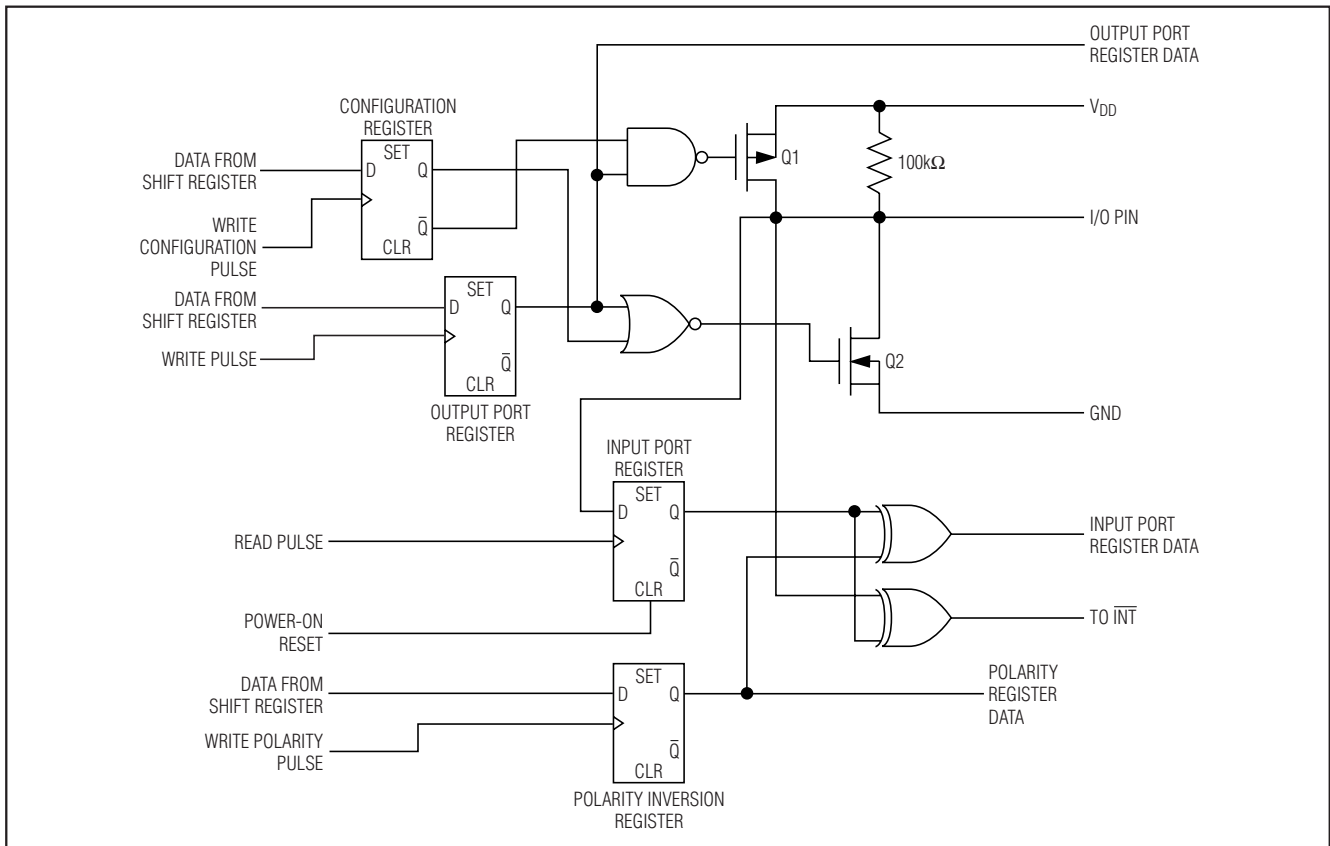


그림 10. 간단한 I/O 회로도

## 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

표 2. 레지스터 0x00, 0x01—입력 포트 레지스터

BIT	I7	I6	I5	I4	I3	I2	I1	I0
	I15	I14	I13	I12	I11	I10	I9	I8

표 3. 레지스터 0x02, 0x03—출력 포트 레지스터

BIT	O7	O6	O5	O4	O3	O2	O1	O0
	O15	O14	O13	O12	O11	O10	O9	O8
Power-up default	1	1	1	1	1	1	1	1

표 4. 레지스터 0x04, 0x05—극성 반전 레지스터

BIT	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
	I/O15	I/O14	I/O13	I/O12	I/O11	I/O10	I/O9	I/O8
Power-up default	0	0	0	0	0	0	0	0

표 5. 레지스터 0x06, 0x07—구성 레지스터

BIT	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
	I/O15	I/O14	I/O13	I/O12	I/O11	I/O10	I/O9	I/O8
Power-up default	1	1	1	1	1	1	1	1

### 출력 포트 레지스터

출력 포트 레지스터 (표 3)는 각 구성 레지스터에 의해 출력으로 정의된 I/O의 발신 로직 레벨을 설정한다. 출력 포트 레지스터로부터의 판독치는 실제 I/O 값이 아니라 출력 선택을 제어하는 플립플롭에 있는 값을 반영한다.

### 극성 반전 레지스터

극성 반전 레지스터 (표 4)는 각 포트 구성 레지스터에 의해 입력으로 정의된 핀의 극성 반전을 가능하게 한다. 극성 반전 레지스터 내 비트를 해당 포트 핀의 극성을 반전시키도록 설정한다. 해당 포트 핀의 원래 극성을 그대로 유지하려면 극성 반전 레지스터 내 비트를 소거한다.

### 구성 레지스터

구성 레지스터 (표 5)는 I/O 핀의 방향을 구성한다. 해당 포트를 입력으로 활성화하려면 각 구성 레지스터 내 비트를 설정한다. 해당 포트를 출력으로 활성화하려면 구성 레지스터 내 비트를 소거한다.

MAX7318은 I<sup>2</sup>C 버스가 유휴 상태일 때 대기 상태로 진입한다. 대기 전원 전류는 일반적으로 5.4 $\mu$ A이다.

### 애플리케이션 정보

#### 핫 인서션

I/O 포트 I/O0~I/O15, 인터럽트 출력 INT, 그리고 직렬 인터페이스 SDA, SCL, AD0~AD2는 MAX7318이 파워 다운 상태일 때 (V+ = 0V) 최대 6V가 인가되더라도 하이 임피던스로 남아 있다. 따라서 MAX7318은 핫 스왑 애플리케이션에 사용될 수 있다. 각 I/O의 100k $\Omega$  풀업은 MAX7318이 파워 다운될 때 효과적으로 100k $\Omega$  풀다운이 된다.

#### 전원 고려사항

MAX7318은 2V~5.5V의 전원 전압으로 동작한다. 0.047 $\mu$ F 커패시터를 사용하여 전원을 가능한 한 소자에 가깝게 GND에 바이패스한다. QFN 버전의 경우, 노출 패드를 GND에 연결한다.

## 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

표 6. MAX7318 주소 맵

AD2	AD1	AD0	A6	A5	A4	A3	A2	A1	A0	ADDRESS (hex)
<b>GND</b>	<b>SCL</b>	<b>GND</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0x20</b>
GND	SCL	V+	0	0	1	0	0	0	1	0x22
GND	SDA	GND	0	0	1	0	0	1	0	0x24
GND	SDA	V+	0	0	1	0	0	1	1	0x26
V+	SCL	GND	0	0	1	0	1	0	0	0x28
V+	SCL	V+	0	0	1	0	1	0	1	0x2A
V+	SDA	GND	0	0	1	0	1	1	0	0x2C
V+	SDA	V+	0	0	1	0	1	1	1	0x2E
<b>GND</b>	<b>SCL</b>	<b>SCL</b>	<b>0</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0x30</b>
GND	SCL	SDA	0	0	1	1	0	0	1	0x32
GND	SDA	SCL	0	0	1	1	0	1	0	0x34
GND	SDA	SDA	0	0	1	1	0	1	1	0x36
V+	SCL	SCL	0	0	1	1	1	0	0	0x38
V+	SCL	SDA	0	0	1	1	1	0	1	0x3A
V+	SDA	SCL	0	0	1	1	1	1	0	0x3C
V+	SDA	SDA	0	0	1	1	1	1	1	0x3E
<b>GND</b>	<b>GND</b>	<b>GND</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0x40</b>
GND	GND	V+	0	1	0	0	0	0	1	0x42
GND	V+	GND	0	1	0	0	0	1	0	0x44
GND	V+	V+	0	1	0	0	0	1	1	0x46
V+	GND	GND	0	1	0	0	1	0	0	0x48
V+	GND	V+	0	1	0	0	1	0	1	0x4A
V+	V+	GND	0	1	0	0	1	1	0	0x4C
V+	V+	V+	0	1	0	0	1	1	1	0x4E
<b>GND</b>	<b>GND</b>	<b>SCL</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0x50</b>
GND	GND	SDA	0	1	0	1	0	0	1	0x52
GND	V+	SCL	0	1	0	1	0	1	0	0x54
GND	V+	SDA	0	1	0	1	0	1	1	0x56
V+	GND	SCL	0	1	0	1	1	0	0	0x58
V+	GND	SDA	0	1	0	1	1	0	1	0x5A
V+	V+	SCL	0	1	0	1	1	1	0	0x5C
V+	V+	SDA	0	1	0	1	1	1	1	0x5E

## 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

MAX7318

표 6. MAX7318 주소 맵 (계속)

AD2	AD1	AD0	A6	A5	A4	A3	A2	A1	A0	ADDRESS (hex)
<b>SCL</b>	<b>SCL</b>	<b>GND</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0xA0</b>
SCL	SCL	V+	1	0	1	0	0	0	1	0xA2
SCL	SDA	GND	1	0	1	0	0	1	0	0xA4
SCL	SDA	V+	1	0	1	0	0	1	1	0xA6
SDA	SCL	GND	1	0	1	0	1	0	0	0xA8
SDA	SCL	V+	1	0	1	0	1	0	1	0xAA
SDA	SDA	GND	1	0	1	0	1	1	0	0xAC
SDA	SDA	V+	1	0	1	0	1	1	1	0xAE
<b>SCL</b>	<b>SCL</b>	<b>SCL</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0xB0</b>
SCL	SCL	SDA	1	0	1	1	0	0	1	0xB2
SCL	SDA	SCL	1	0	1	1	0	1	0	0xB4
SCL	SDA	SDA	1	0	1	1	0	1	1	0xB6
SDA	SCL	SCL	1	0	1	1	1	0	0	0xB8
SDA	SCL	SDA	1	0	1	1	1	0	1	0xBA
SDA	SDA	SCL	1	0	1	1	1	1	0	0xBC
SDA	SDA	SDA	1	0	1	1	1	1	1	0xBE
<b>SCL</b>	<b>GND</b>	<b>GND</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0xC0</b>
SCL	GND	V+	1	1	0	0	0	0	1	0xC2
SCL	V+	GND	1	1	0	0	0	1	0	0xC4
SCL	V+	V+	1	1	0	0	0	1	1	0xC6
SDA	GND	GND	1	1	0	0	1	0	0	0xC8
SDA	GND	V+	1	1	0	0	1	0	1	0xCA
SDA	V+	GND	1	1	0	0	1	1	0	0xCC
SDA	V+	V+	1	1	0	0	1	1	1	0xCE
<b>SCL</b>	<b>GND</b>	<b>SCL</b>	<b>1</b>	<b>1</b>	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0xD0</b>
SCL	GND	SDA	1	1	0	1	0	0	1	0xD2
SCL	V+	SCL	1	1	0	1	0	1	0	0xD4
SCL	V+	SDA	1	1	0	1	0	1	1	0xD6
SDA	GND	SCL	1	1	0	1	1	<b>0</b>	<b>0</b>	0xD8
SDA	GND	SDA	1	1	0	1	1	0	1	0xDA
SDA	V+	SCL	1	1	0	1	1	1	0	0xDC
SDA	V+	SDA	1	1	0	1	1	1	1	0xDE

칩 정보

TRANSISTOR COUNT: 12,994

PROCESS: BiCMOS

# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

패키지 정보

이 데이터 시트의 패키지 도면은 최신 사양과 다를 수 있다. 최신 패키지 개요 정보를 보려면 [korea.maxim-ic.com/packages](http://korea.maxim-ic.com/packages) 를 참조한다.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A1	0.004	0.012	0.10	0.30
B	0.014	0.019	0.35	0.49
C	0.009	0.013	0.23	0.32
e	0.050		1.27	
E	0.291	0.299	7.40	7.60
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27

VARIATIONS:

DIM	INCHES		MILLIMETERS		N	MS013
	MIN	MAX	MIN	MAX		
D	0.398	0.413	10.10	10.50	16	AA
D	0.447	0.463	11.35	11.75	18	AB
D	0.496	0.512	12.60	13.00	20	AC
D	0.598	0.614	15.20	15.60	24	AD
D	0.697	0.713	17.70	18.10	28	AE

NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 0.15mm (.006").
3. LEADS TO BE COPLANAR WITHIN 0.10mm (.004").
4. CONTROLLING DIMENSION: MILLIMETERS.
5. MEETS JEDEC MS013.
6. N = NUMBER OF PINS.

**DALLAS SEMICONDUCTOR** **MAXIM**

PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE, .300" SOIC

APPROVAL: \_\_\_\_\_ DOCUMENT CONTROL NO. 21-0042 REV. B 1/1

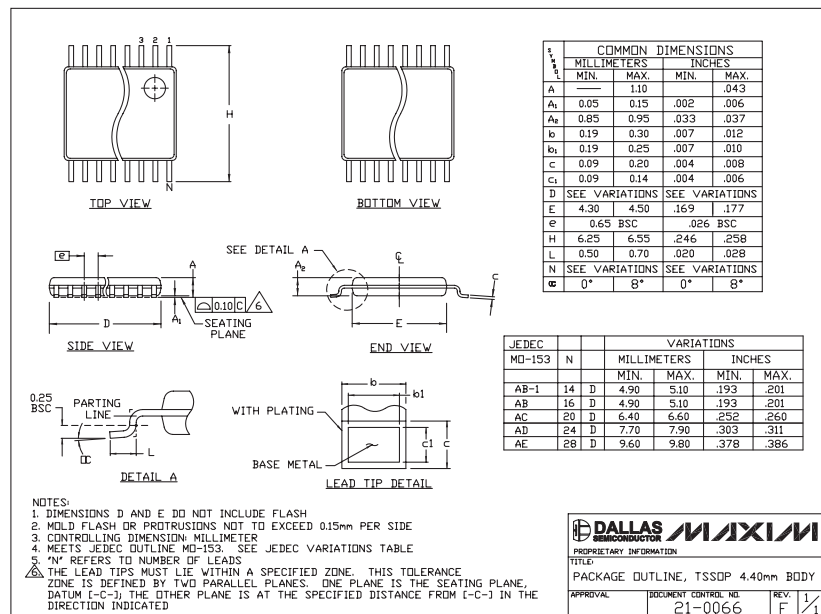
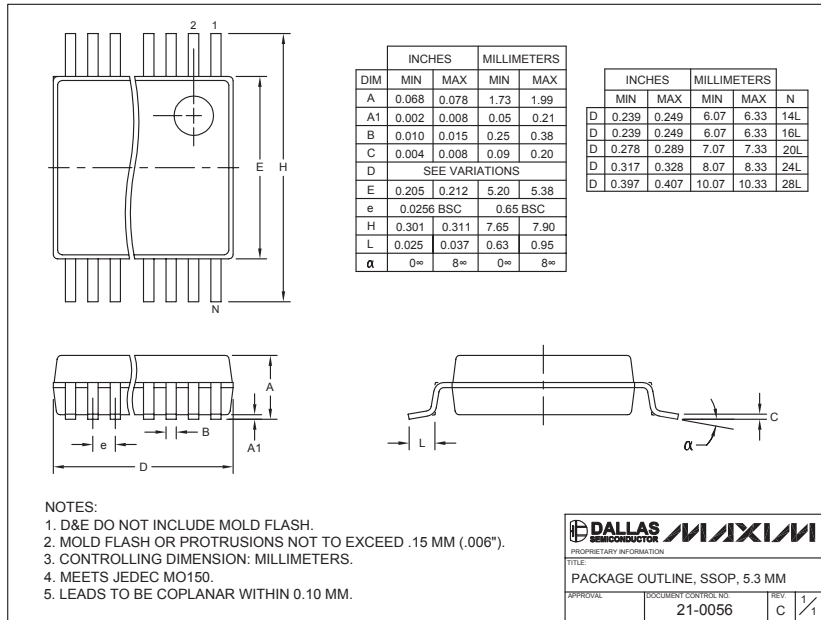
SOICWEP8

# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

패키지 정보 (계속)

이 데이터 시트의 패키지 도면은 최신 사양과 다를 수 있다. 최신 패키지 개요 정보를 보려면 [korea.maxim-ic.com/packages](http://korea.maxim-ic.com/packages) 를 참조한다.

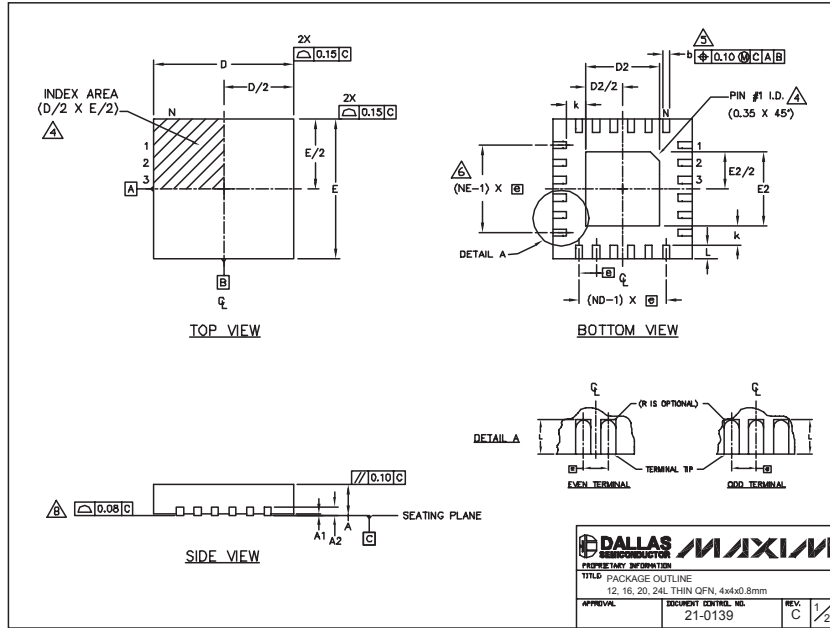
MAX7318



# 핫 인서션 (Hot-Insertion) 및 인터럽트 보호 기능이 있는 2선식 인터페이스, 16비트 I/O 포트 익스팬더

패키지 정보 (계속)

이 데이터 시트의 패키지 도면은 최신 사양과 다를 수 있다. 최신 패키지 개요 정보를 보려면 [korea.maxim-ic.com/packages](http://korea.maxim-ic.com/packages) 를 참조한다.



COMMON DIMENSIONS												
PKG	12L 4x4			16L 4x4			20L 4x4			24L 4x4		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
AL	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.25	0.25	0.30	0.18	0.23	0.30
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16			20			24		
ND	3			4			5			6		
NE	3			4			5			6		
JeDEC Ver.	WGGB			WGGC			WGGB-1			WGGB-2		

EXPOSED PAD VARIATIONS									
PKG CODES	D2			E2			DOWN BENDS ALLOWED		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1244-2	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1244-3	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T1244-4	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1644-2	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T1644-3	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T1644-4	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2044-1	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2044-2	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T2044-3	1.95	2.30	2.25	1.95	2.10	2.25	NO		
T2444-1	2.45	2.60	2.63	2.45	2.60	2.63	NO		
T2444-2	1.95	2.30	2.25	1.95	2.10	2.25	YES		
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES		
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO		

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPF-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC M0220, EXCEPT FOR T2444-1, T2444-3 AND T2444-4.

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 16