



과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

MAX7317

제품설명

MAX7317 직렬 인터페이스 주변기기는 마이크로프로세서에 정격 7V인 10개의 I/O 포트를 제공한다. 각 포트는 개별적으로 오픈 드레인 출력 또는 과전압 보호 슈미트 (Schmitt) 입력으로 설정될 수 있다.

MAX7317은 핫 인서션을 지원한다. 8V까지 인가되는 모든 포트 핀은 파워 다운 ($V_+ = 0V$) 상태에서 하이 임피던스를 유지한다.

MAX7317은 16핀 TQFN 및 QSOP 패키지로 제공되며 $-40^{\circ}C \sim +125^{\circ}C$ 범위에서 동작한다.

정전류 출력과 8비트 PWM 제어 기능을 갖춘 유사 부품에 대해서는 MAX6966/MAX6967 데이터 시트를 참조한다.

제품특징

- ◆ 고속, 26MHz SPI™/QSPI™/MICROWIRE™ 호환 직렬 인터페이스
- ◆ 2.25V~3.6V 동작
- ◆ I/O 포트 입력은 7V까지 과전압 보호됨
- ◆ I/O 포트 출력은 7V로 정격된 오픈 드레인임
- ◆ I/O 포트는 핫 인서션을 지원
- ◆ 0.7µA (일반), 1.9µA (최대) 대기 전류
- ◆ 초소형 3mm x 3mm x 0.8mm TQFN 패키지
- ◆ $-40^{\circ}C \sim +125^{\circ}C$ 온도 범위

애플리케이션

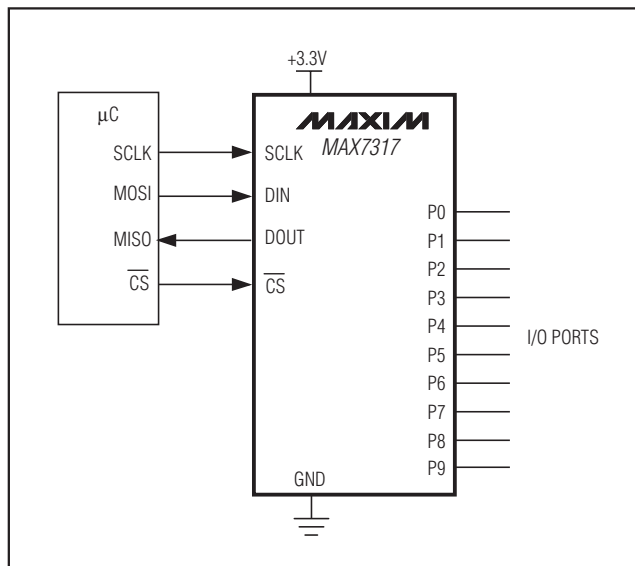
- 휴대용 장비
- 휴대전화
- 백색 가전
- 산업용 컨트롤러
- 자동차
- 시스템 모니터링

주문정보

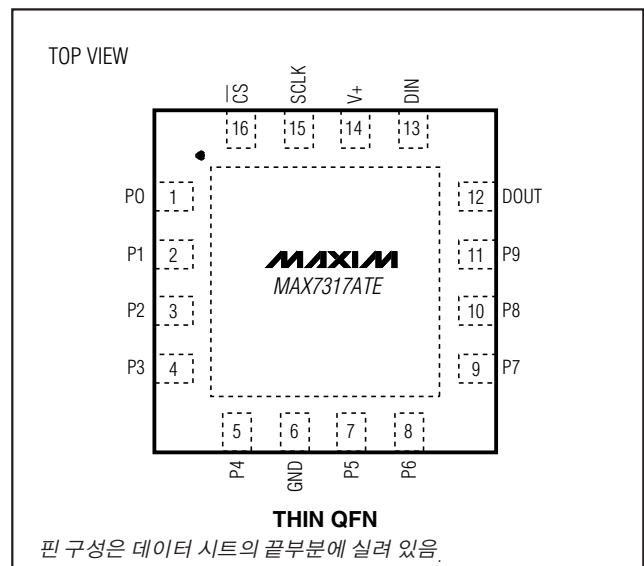
PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX7317ATE	$-40^{\circ}C$ to $+125^{\circ}C$	16 Thin QFN 3mm x 3mm x 0.8mm	ACH	T1633-4
MAX7317AEE	$-40^{\circ}C$ to $+125^{\circ}C$	16 QSOP	—	—

SPI 및 QSPI는 Motorola, Inc.의 상표이다.
MICROWIRE는 National Semiconductor Corp.의 상표이다.

일반적인 애플리케이션 회로



핀 구성



과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

ABSOLUTE MAXIMUM RATINGS

Voltage (with respect to GND)		Continuous Power Dissipation (T _A = +70°C)
V+	-0.3V to +4V	16-Pin Thin QFN
SCLK, DIN, CS, DOUT	-0.3V to (V+ + 0.3V)	(derate 14.7mW/°C above +70°C).....
P_	-0.3V to +8V	16-Pin QSOP (derate 8.3mW/°C above +70°C).....
DC Current into P_	24mA	Operating Temperature Range
DC Current into DOUT	10mA	(T _{MIN} to T _{MAX})
Total GND Current	200mA	Junction Temperature
		Storage Temperature Range
		Lead Temperature (soldering, 10s)

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Typical Operating Circuit, V+ = 2.25V to 3.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V+ = 3.3V, T_A = +25°C.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V+		2.25		3.60	V
Output Load External Supply Voltage P0–P9	V _{EXT}				7	V
Standby Current (Interface Idle)	I _{STBY}	All digital inputs at V+ or GND	T _A = +25°C	0.70	1.5	μA
			T _A = T _{MIN} to +85°C		1.7	
			T _A = T _{MIN} to T _{MAX}		1.9	
Supply Current	I ₊	f _{SCLK} = 26MHz; other digital inputs at V+ or GND; DOUT unloaded	T _A = +25°C	385	620	μA
			T _A = T _{MIN} to +85°C		680	
			T _A = T _{MIN} to T _{MAX}		730	
Input High Voltage (P0–P9, DIN, SCLK, \overline{CS})	V _{IH}	P0–P9 output register set to 0x01	0.7 x V+			V
Input Low Voltage (P0–P9, DIN, SCLK, \overline{CS})	V _{IL}	P0–P9 output register set to 0x01			0.3 x V+	V
Input Leakage Current (P0–P9, DIN, SCLK, \overline{CS})	I _{IH} , I _{IL}		-0.2		+0.2	μA
Input Capacitance (P0–P9, DIN, SCLK, \overline{CS})		(Note 2)		10		pF
Output Low Voltage (P0–P9)	V _{OLP_}	I _{SINK} = 0.5mA, output register set to 0x00			0.4	V
Output Low Short-Circuit Current (P0–P9)		V _{OLPOUT} = 5V		10.8	20	mA
Output High Voltage (DOUT)	V _{OHDOUT}	I _{SOURCE} = -6mA	V+ - 0.3V			V
Output Low Voltage (DOUT)	V _{OLDOUT}	I _{SINK} = 6mA			0.3	V
Power-On Reset Voltage	V _{POR}		2			V

과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

TIMING CHARACTERISTICS

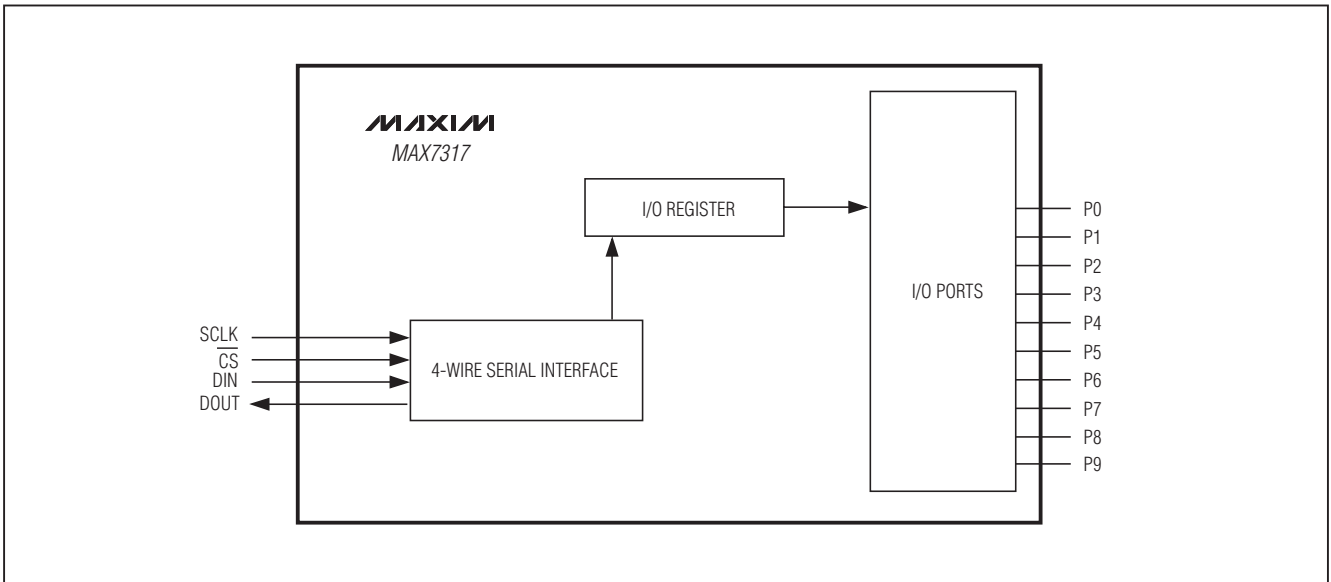
(Typical Operating Circuit, V+ = 2.25V to 3.6V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V+ = 3.3V, T_A = +25°C.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	t _{CP}		38.4			ns
SCLK Pulse-Width High	t _{CH}		19			ns
SCLK Pulse-Width Low	t _{CL}		19			ns
\overline{CS} Fall to SCLK Rise Setup	t _{CSS}		9.5			ns
SCLK Rise to \overline{CS} Rise Hold	t _{CSH}		2.5			ns
DIN Setup Time	t _{DS}		9.5			ns
DIN Hold Time	t _{DH}		2.5			ns
Output Data Propagation Delay	t _{DO}				19	ns
DOUT Output Rise and Fall Times	t _{FT}	C _{LOAD} = 20pF (Note 2)			10	ns
Minimum \overline{CS} Pulse High	t _{Csw}		38.4			ns

Note 1: All parameters are tested at T_A = +25°C. Specifications over temperature are guaranteed by design.

Note 2: Guaranteed by design.

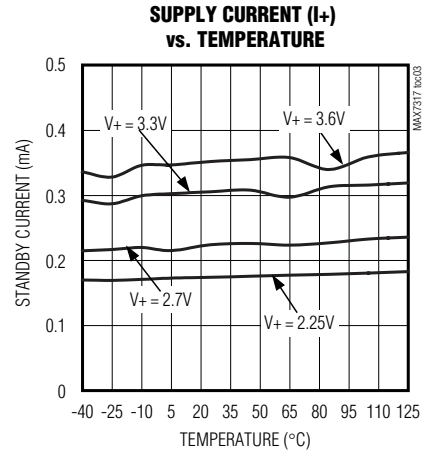
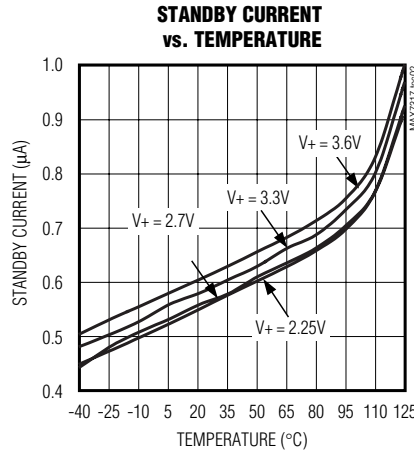
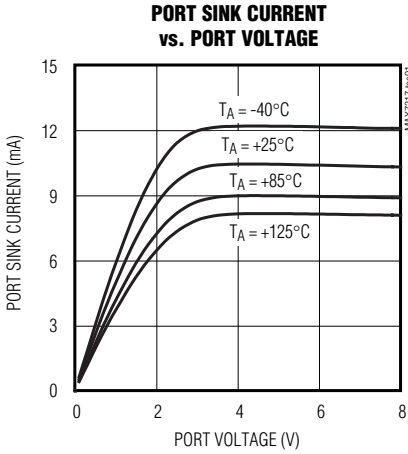
MAX7317 블록 다이어그램



과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

일반적인 동작 특성

(T_A = +25°C, unless otherwise noted.)



핀 설명

핀		명칭	기능
QSOP	QFN		
1	15	SCLK	직렬 클럭 입력. SCLK의 상승 에지에서, 데이터는 내부 쉬프트 레지스터로 이동한다. SCLK의 하강 에지에서, 데이터는 DOUT으로부터 클럭된다. SCLK는 CS가 로우인 동안에만 액티브 상태이다.
2	16	\overline{CS}	칩 선택 입력. 직렬 데이터는 \overline{CS} 가 로우인 동안 쉬프트 레지스터로 인가된다. 가장 최근의 16비트 데이터가 \overline{CS} 의 상승 에지에서 래치된다.
3-7, 9-13	1-5, 7-11	P0-P9	I/O 포트. P0~P9는 오픈 드레인으로, 최대 20mA 정격의 전류 싱크 출력으로, 또는 CMOS 입력으로, 또는 오픈 드레인 출력으로 구성될 수 있다. 부하는 7V 이하 전원 전압에 연결되어야 한다.
8	6	GND	접지
14	12	DOUT	직렬 데이터 출력. DIN으로 들어가는 데이터는 DOUT 15.5 클럭 사이클 이후에 유효하다. 이 핀을 사용하여 여러 개의 소자를 데이지 체인으로 연결하거나 데이터 되읽기를 허용한다. 출력은 푸시 풀이다.
15	13	DIN	직렬 데이터 입력. DIN에서 나오는 데이터는 SCLK의 상승 에지에서 내부 16비트 쉬프트 레지스터로 인가된다.
16	14	V+	(+) 전원 전압. 0.047µF 세라믹 커패시터를 사용하여 V+를 GND로 바이패스한다.
—	PAD	Exposed pad	패키지 밑면에 있는 노출 패드. GND에 연결한다.

과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

세부설명

MAX7317은 고속 SPI 호환 직렬 인터페이스를 통해 P0~P9 까지 10개의 I/O 포트를 제공하는 범용 입출력 (GPIO) 주변기기이다. 이 10개의 I/O 포트는 입력 또는 오픈 드레인 출력으로 임의로 조합하여 사용될 수 있다. 포트들은 입력 또는 출력 사용 여부와 상관없이 MAX7317의 전원 전압과 무관하게 7V를 견딜 수 있다.

그림 1은 MAX7317의 I/O 포트 구조를 나타낸 것이다.

레지스터 구조

MAX7317은 주변기기를 제어하는 0x00~0x09로 주소가 지정된 10개의 내부 레지스터를 포함하고 있다 (표 2). 두 개의 추가 주소인 0x0E와 0x0F는 판독 시 데이터를 저장하지 않고 포트 입력 상태를 반환한다. 네 개의 가상 주소 0x0A~0x0D는 둘 이상의 레지스터가 동일한 데이터를 사용하여 작성되도록 함으로써 소프트웨어를 단순화시킨다. RAM 레지스터는 어떠한 목적으로도 사용될 수 있는 1바이트 메모리를 제공한다. 무동작 (no-op) 주소인 0x20은 쓰기 또는 읽기가 수행될 때 아무런 동작도 실행하지 않으며, 여러 개의 캐스케이드 소자로부터 하나의 MAX7317에 액세스할 때 더미 레지스터로 사용된다.

초기 전력 상승

전력 상승 시, 모든 제어 레지스터는 리셋된다 (표 2). 전력 상승 상태는 I/O 포트 P0~P9를 하이 임피던스로 설정하고, 소자를 섀다운 모드에 놓는다.

RAM 레지스터

RAM 레지스터는 어떠한 목적으로도 사용될 수 있는 1바이트 메모리를 제공한다.

GPIO 포트 방향 구성

10개의 I/O 포트 P0~P9는 입력과 출력을 임의로 조합하여 구성될 수 있다. 포트들은 입력 또는 출력 사용 여부에 상관없이 MAX7317의 전원 전압과 무관하게 7V를 견딜 수 있다. 출력 레지스터를 0x01로 설정하여 포트를 입력으로 구성한다. 이렇게 하면, 포트 출력이 하이 임피던스로 설정된다 (표 4).

입력 포트 레지스터

입력 포트 레지스터를 판독할 때 I/O 포트 핀에서 로직 레벨이 반환된다. 입력 포트 레지스터는 읽기 전용이다. 입력 포트 레지스터에 대한 쓰기는 무시된다.

출력 레지스터

MAX7317은 하나의 8비트 레지스터를 사용하여 각 출력 포트를 제어한다 (표 4). 각 포트는 입력 또는 오픈 드레인 출력으로 구성될 수 있다. 출력 레지스터에 0x00을 써서 포트를 로직 로우 출력으로 설정하거나, 0x01을 써서 포트를 로직 하이 출력 또는 로직 입력으로 설정한다.

10 개의 레지스터 0x00~0x09는 각각 하나의 I/O 포트를 제어한다 (표 4). 네 개의 가상 레지스터 주소 0x0A~0x0D는 여러 개의 출력 레지스터에 동일한 데이터를 기록함으로써 출력 그룹들이 단일 명령을 통해 동일한 값에 설정될 수 있도록 해준다.

직렬 인터페이스

MAX7317은 SPI 호환 4선식 직렬 인터페이스를 통해 통신한다. 이 인터페이스는 클록 (SCLK), 칩 선택 (\overline{CS}) 및 데이터 인 (DIN)의 세 개의 입력과, 하나의 출력, 즉 데이터 아웃 (DOUT)을 가진다. 데이터를 소자 내외부로 클록하기 위해서는 \overline{CS} 가 로우여야 하고, DIN은 SCLK의 상승 에지에서 샘플링될 때 안정되어 있어야 한다. DOUT은 SCLK의 상승 에지에서 안정되어 있다.

SCLK와 DIN은 데이터를 다른 주변기기로 송신하는 데 사용될 수 있다. MAX7317은 \overline{CS} 가 로우일 때를 제외하고는 SCLK와 DIN 상의 모든 활동을 무시한다.

SPI 프로토콜은 MAX7317이 액세스되지 않을 때 DOUT이 하이 임피던스 상태인 것으로 예상된다. MAX7317의 DOUT은 항상 하이 임피던스가 아니다. 필요 시 MAX7317을 3가지 상태로 전환하는 방법에 대해서는 korea.maxim-ic.com/an1879를 참조한다.

4선식 인터페이스를 사용한 제어 및 동작

MAX7317을 제어하려면 16비트 워드를 전송해야 한다. 첫번째 바이트 D15~D8은 명령이고, 두번째 바이트 D7~D0은 데이터 바이트이다 (표 5).

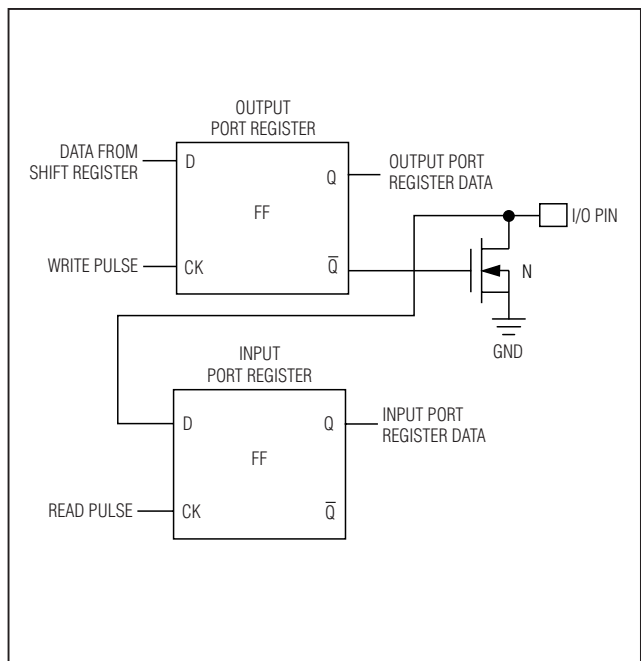


그림 1. 간단한 I/O 포트 회로도

과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

표 1. 레지스터 주소 맵

REGISTER	COMMAND ADDRESS								CODE (hex)
	D15	D14	D13	D12	D11	D10	D9	D8	
Port P0 output level	R \overline{W}	0	0	0	0	0	0	0	0x00
Port P1 output level	R \overline{W}	0	0	0	0	0	0	1	0x01
Port P2 output level	R \overline{W}	0	0	0	0	0	1	0	0x02
Port P3 output level	R \overline{W}	0	0	0	0	0	1	1	0x03
Port P4 output level	R \overline{W}	0	0	0	0	1	0	0	0x04
Port P5 output level	R \overline{W}	0	0	0	0	1	0	1	0x05
Port P6 output level	R \overline{W}	0	0	0	0	1	1	0	0x06
Port P7 output level	R \overline{W}	0	0	0	0	1	1	1	0x07
Port P8 output level	R \overline{W}	0	0	0	1	0	0	0	0x08
Port P9 output level	R \overline{W}	0	0	0	1	0	0	1	0x09
Write ports P0 through P9 with same output level	0	0	0	0	1	0	1	0	0x0A
Read port P0 output level	1								
Write ports P0 through P3 with same output level	0	0	0	0	1	0	1	1	0x0B
Read port P0 output level	1								
Write ports P4 through P7 with same output level	0	0	0	0	1	1	0	0	0x0C
Read port P4 output level	1								
Write ports P8 or P9 with same output level	0	0	0	0	1	1	0	1	0x0D
Read port P8 output level	1								
Read ports P7 through P0 inputs	1	0	0	0	1	1	1	0	0x0E
Read ports P9 and P8 inputs	1	0	0	0	1	1	1	1	0x0F
RAM	R \overline{W}	0	0	1	0	0	1	1	0x13
No-op	R \overline{W}	0	1	0	0	0	0	0	0x20
Factory reserved; do not write to this register	R \overline{W}	1	1	1	1	1	0	1	0x7D

표 2. 전원 인가 동작 초기 레지스터 상태

REGISTER	POWER-UP CONDITION	ADDRESS CODE (hex)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Port P0 output level	Port 0 high impedance	0x00	1	1	1	1	1	1	1	1
Port P1 output level	Port 1 high impedance	0x01	1	1	1	1	1	1	1	1
Port P2 output level	Port 2 high impedance	0x02	1	1	1	1	1	1	1	1
Port P3 output level	Port 3 high impedance	0x03	1	1	1	1	1	1	1	1
Port P4 output level	Port 4 high impedance	0x04	1	1	1	1	1	1	1	1
Port P5 output level	Port 5 high impedance	0x05	1	1	1	1	1	1	1	1
Port P6 output level	Port 6 high impedance	0x06	1	1	1	1	1	1	1	1
Port P7 output level	Port 7 high impedance	0x07	1	1	1	1	1	1	1	1
Port P8 output level	Port 8 high impedance	0x08	1	1	1	1	1	1	1	1
Port P9 output level	Port 9 high impedance	0x09	1	1	1	1	1	1	1	1
RAM	0x00	0x13	0	0	0	0	0	0	0	0

과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

MAX7317

여러 개의 MAX7317을 4선식 버스에 연결
DIN 입력을 함께 연결하고, SCLK 입력을 함께 연결하고,
MAX7317 소자 당 하나의 개별 CS를 제공함으로써 하나의

공통된 SPI 버스에 여러 개의 MAX7317을 인터페이스할
수 있다 (그림 2). 이 연결은 DOUT/OSC 구성과 상관없이
작동하지만, MAX7317 판독을 허용하지는 않는다.

표 3. 입력 포트 레지스터

REGISTER	R/W	ADDRESS CODE (hex)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Read input ports P7-P0	1	0X0E	Port P7	Port P6	Port P5	Port P4	Port P3	Port P2	Port P1	Port P0
Read input ports P9, P8	1	0X0F	0	0	0	0	0	0	Port P9	Port P8

표 4. 출력 레지스터 형식

REGISTER	R/W	ADDRESS CODE (hex)	REGISTER DATA								hex
			BINARY								
			D7	D6	D5	D4	D3	D2	D1	D0	
Port P0 level	—	0x00	MSB	Output P0 level and PWM						LSB	0x00
Port P0 is open-drain logic low	—		0	0	0	0	0	0	0		
Port P0 is open-drain logic high (high impedance without external pullup) or logic input	—		0	0	0	0	0	0	1		
Port P1 level	—	0x01	MSB	Port P1 level						LSB	0x00 or 0x01
Port P2 level	—	0x02	MSB	Port P2 level						LSB	
Port P3 level	—	0x03	MSB	Port P3 level						LSB	
Port P4 level	—	0x04	MSB	Port P4 level						LSB	
Port P5 level	—	0x05	MSB	Port P5 level						LSB	
Port P6 level	—	0x06	MSB	Port P6 level						LSB	
Port P7 level	—	0x07	MSB	Port P7 level						LSB	
Port P8 level	—	0x08	MSB	Port P8 level						LSB	
Port P9 level	—	0x09	MSB	Port P9 level						LSB	
Writes ports P0 through P9 with same level	0	0x0A	MSB	Ports P0 through P9 level						LSB	
Reads port P0 level	1		MSB	Port P0 level						LSB	
Writes ports P0 through P3 with same level	0	0x0B	MSB	Ports P0 through P3 level						LSB	
Reads port P0 level	1		MSB	Port P0 level						LSB	
Writes ports P4 through P7 with same level	0	0x0C	MSB	Ports P4 through P7 level						LSB	
Reads port P4 level	1		MSB	Port P4 level						LSB	
Write ports P8 and P9 with same level	0	0x0D	MSB	Ports P8, P9 level						LSB	
Read port P8 level	1		MSB	Port P8 level						LSB	

과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

대안으로, 한 개의 MAX7317의 DOUT을 다음 번 소자의 DIN에 연결하고 SCLK와 \overline{CS} 라인을 병렬로 구동하여 여러 개의 MAX7317을 데이터 체인 (daisy-chain)으로 연결시킬 수 있다 (그림 3). 이렇게 연결하면 MAX7317의 판독이 가능하다. DIN의 데이터는 내부 쉬프트 레지스터를 통해 전파된다. 이후에 SCLK의 하강 에지에서 클록 아웃되어 DOUT 15.5 클록 사이클 후에 나타난다. 데이터 체인으로 연결된 여러 개의 MAX7317에 명령을 전송하면 모든 소자가 동시에 액세스된다. 한 번 액세스할 때 (16 x n)개의 클록 사이클이 필요하며, 여기에서 n은 함께 연결된 MAX7317의 수이다. DOUT 전파 지연 및 DIN 설정 시간으로 인해 여러 개의 소자가 데이터 체인으로 연결될 경우 직렬 인터페이스 속도 (최대 SCLK)는 10MHz로 제한된다.

MAX7317은 다음 순서로 기록된다 (그림 5).

- 1) SCLK 로우를 취한다.
- 2) \overline{CS} 로우를 취한다. 내부 16비트 쉬프트 레지스터가 인에이블된다.
- 3) 16 비트 데이터를 처음 D15에서 마지막 D0까지 DIN으로 클록 인하면서 설정 및 보류 시간을 관찰한다. 비트 D15는 로우이며, 쓰기 명령을 나타낸다.
- 4) \overline{CS} 하이를 취한다 (마지막 데이터 비트를 클록 인한 후 SCLK가 여전히 하이 상태인 동안, 또는 SCLK 로우를 취한 후).
- 5) SCLK 로우를 취한다 (이미 로우가 아닐 경우).

\overline{CS} 로우를 취하고 \overline{CS} 하이로 다시 취하는 사이에 16비트 보다 작거나 큰 비트가 MAX7317로 클록 인 될 경우, MAX7317은 이전 송신을 포함하여, 수신된 최종 16비트를 저장한다. 일반적인 경우는 n개 비트 (여기에서 n > 16)가 MAX7317로 송신될 때이다. {n-15}에서 {n}까지의 비트로 구성된 최종 비트는 그대로 유지되고, 각각 비트 D15~D0로서 16비트 래치로 병렬 부하된다 (그림 6).

소자 레지스터 읽기

MAX7317 내 모든 레지스터 데이터는 비트 D15에 로직 하이로 송신함으로써 읽혀질 수 있다. 순서는 다음과 같다.

- 1) SCLK 로우를 취한다.
- 2) \overline{CS} 로우를 취한다. 내부 16비트 쉬프트 레지스터가 인에이블된다.
- 3) 16비트 데이터를 처음 D15에서 마지막 D0까지 DIN으로 클록한다. D15는 하이이며, 하나의 읽기 명령과 비트 D14~D8에 판독할 레지스터 주소가 포함되어 있음을 나타낸다. 비트 D7~D0은 더미 데이터가 포함되어 있고, 이 데이터는 무시된다.
- 4) \overline{CS} 하이로 취한다 (최종 데이터 비트에 클록 인한 후 SCLK가 여전히 하이 상태인 동안, 또는 SCLK 로우를 취한 후). 쉬프트 레지스터 내 위치 D7~D0은 이제 부하되고 레지스터 데이터가 비트 D15~D8에 의해 처리된다.
- 5) SCLK 로우를 취한다 (이미 로우가 아닐 경우).
- 6) 또 다른 읽기 또는 쓰기 명령을 발하고, DOUT에서의 비트 스트림을 확인한다. 두번째 8비트는 3단계에서 비트 D14~D8에 의해 주소가 지정되는 레지스터의 내용이다.

표 5. 직렬 데이터 형식

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
R/W	MSB	ADDRESS						LSB	MSB	DATA						LSB

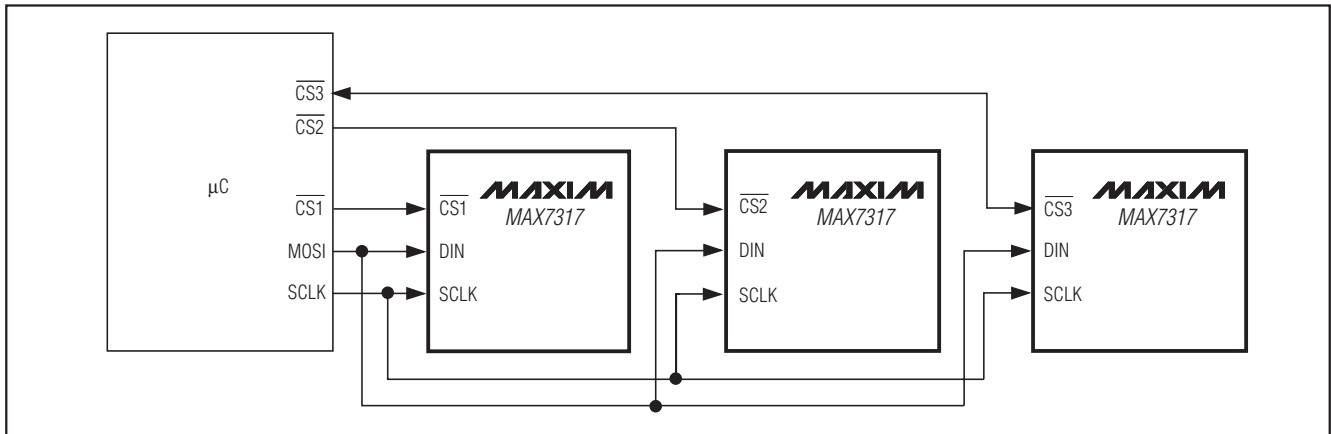


그림 2. MAX7317 다중 \overline{CS} 연결

과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

MAX7317

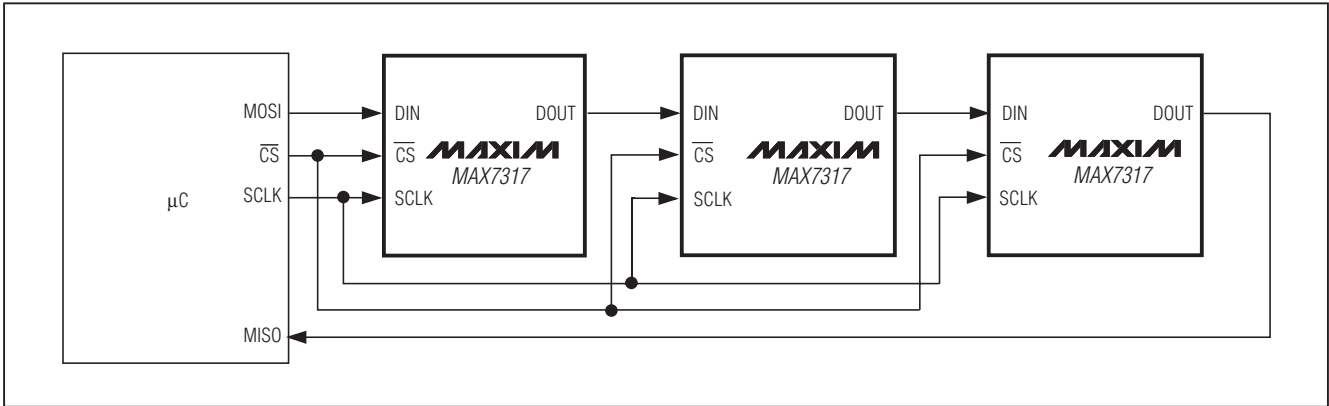


그림 3. MAX7317 데이터 체인 연결

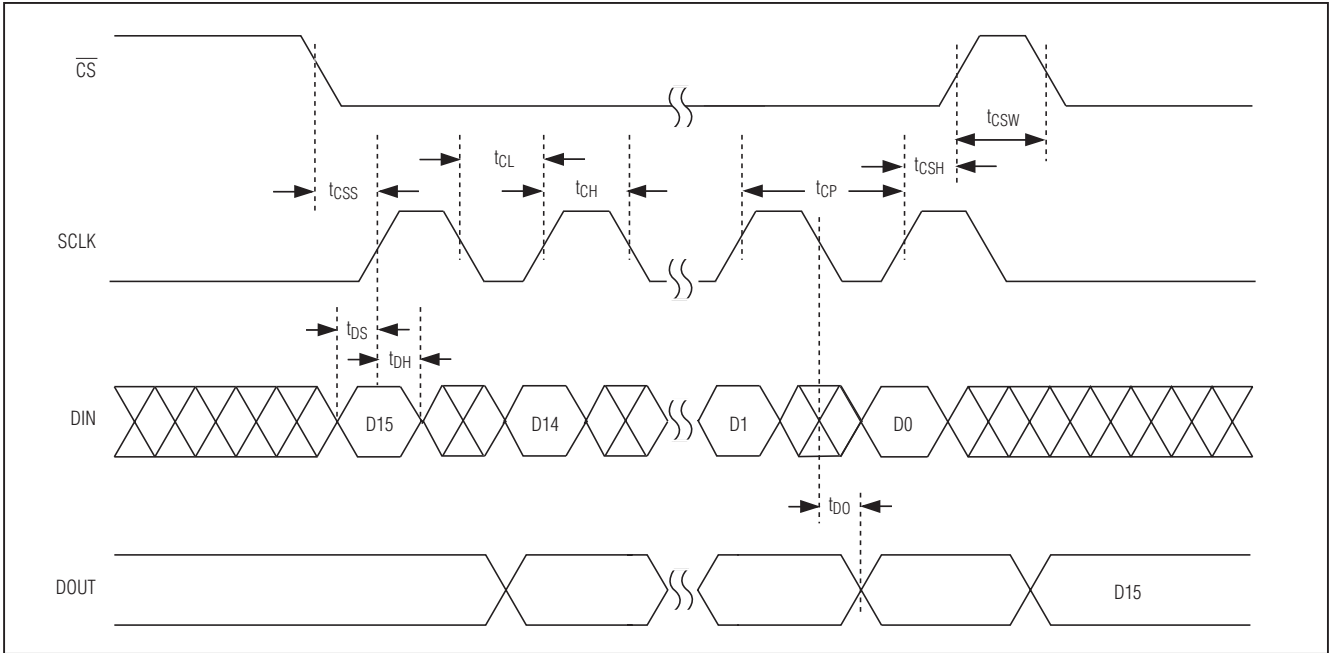


그림 4. 타이밍도

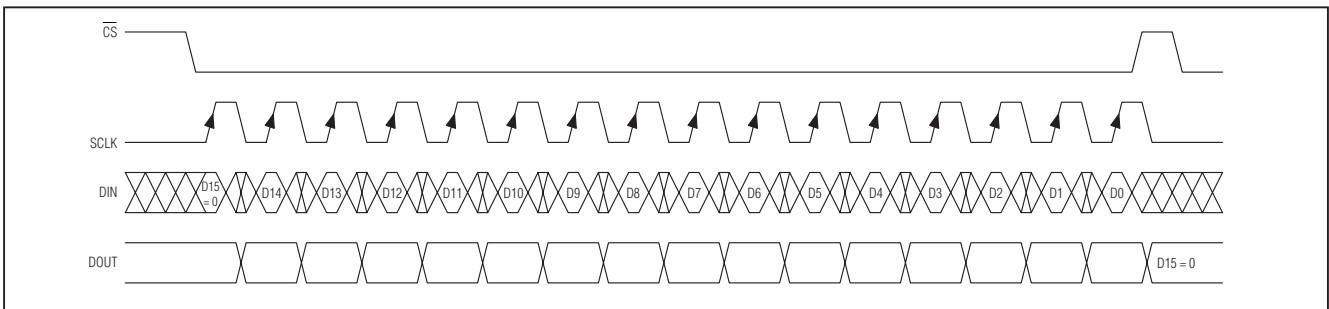


그림 5. MAX7317로 16비트 쓰기 전송

과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

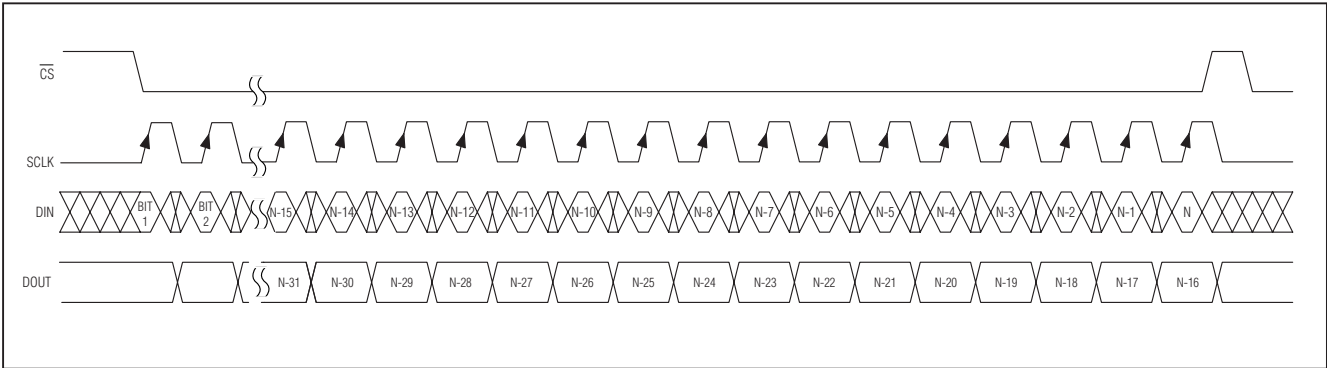


그림 6. MAX7317로 16비트 이상 전송

애플리케이션 정보

핫 인서션

MAX7317이 파워 다운될 때 ($V_+ = 0V$), I/O 포트 P0~P9는 최대 8V가 인가되는 상태에서 하이 임피던스를 유지한다. 따라서 MAX7317은 핫 스왑 애플리케이션에 사용될 수 있다.

SPI 라우팅 고려사항

MAX7317의 SPI 인터페이스는 2.5V 전원에서 26Mbps의 속도로 동작하도록 보장되며, 3.3V 전원에서는 일반적으로 35Mbps의 속도로 동작한다. 이것은 인터페이스 연결이 100mm보다 길 때, 특히 전원 전압이 높을 경우에는 전송 선로 문제를 고려해야 한다는 것을 의미한다. GND 트레이스를 인터리빙하지 않고 SCLK, DIN 및 \overline{CS} 에 대해 긴 근접 트랙을 주행시키지 않도록 해야 한다. 그렇지 않을 경우, 신호가 교차 결합되어 잘못된 클록 또는 칩 선택 변환을 초래한다. 간헐적이기는 하지만, SCLK 입력에서 울림으로 초래되는 더블 클로킹으로 인해 링잉이 통신 문제가 될 수 있다. DIN, SCLK 및 \overline{CS} 입력에서 GND 또는 V_+ 에 $1k\Omega \sim 10k\Omega$ 병렬 터미네이션 저항을 끼워 적당히 긴 인터페이스 런에 대해 링잉을 약화시킨다. 보드 사이를 연결할 때 라인-임피던스-정합 터미네이션을 사용한다.

출력 레벨 변환

오픈 드레인 출력 구조에서는 포트들이 MAX7317 전원보다 높거나 낮은 전압으로 출력 레벨을 변환할 수 있다. 하이 임피던스 로직 하이 조건을 (+) 전압 레벨로 변환하기 위해 어느 출력에서나 외부 풀업 저항이 사용될 수 있다. 저항은 최대 7V까지 임의의 전압에 연결될 수 있다. 정전류 출력에서 풀업을 사용할 경우, 로직 로우 조건에서 수백 μA 이하를 싱킹할 저항값을 선택한다. 이렇게 하면 전류 싱크 출력이 GND에 가깝게 포화된다. CMOS 입력을 인터페이스하기 위해서는

220k Ω 의 풀업 저항값이 좋은 출발점이 될 수 있다. 전력 소비가 크게 중요하지 않거나, 주어진 용량성 부하에 대해 더 빠른 상승 시간이 필요한 애플리케이션에서 잡음 면역성을 개선하려면 더 낮은 저항을 사용한다.

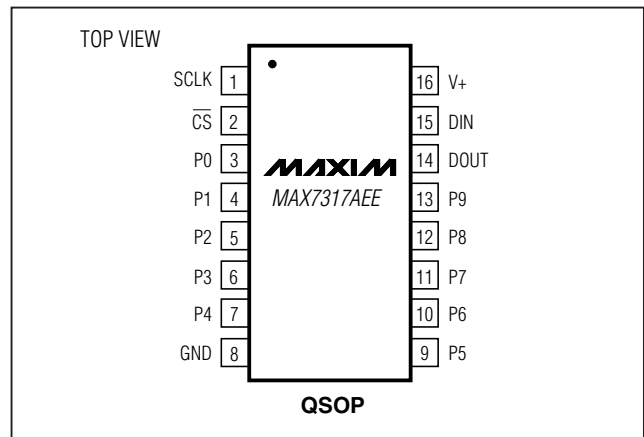
전원 고려사항

MAX7317은 2.25V~3.6V의 전원 전압으로 동작한다. 0.047 μF 세라믹 커패시터를 사용하여 가능한 한 소자에 가깝게 전원을 GND에 바이패스한다. QFN 버전의 경우, 밀면 노출 패드를 GND에 연결한다.

칩 정보

TRANSISTOR COUNT: 14,865
PROCESS: BiCMOS

핀 구성 (계속)



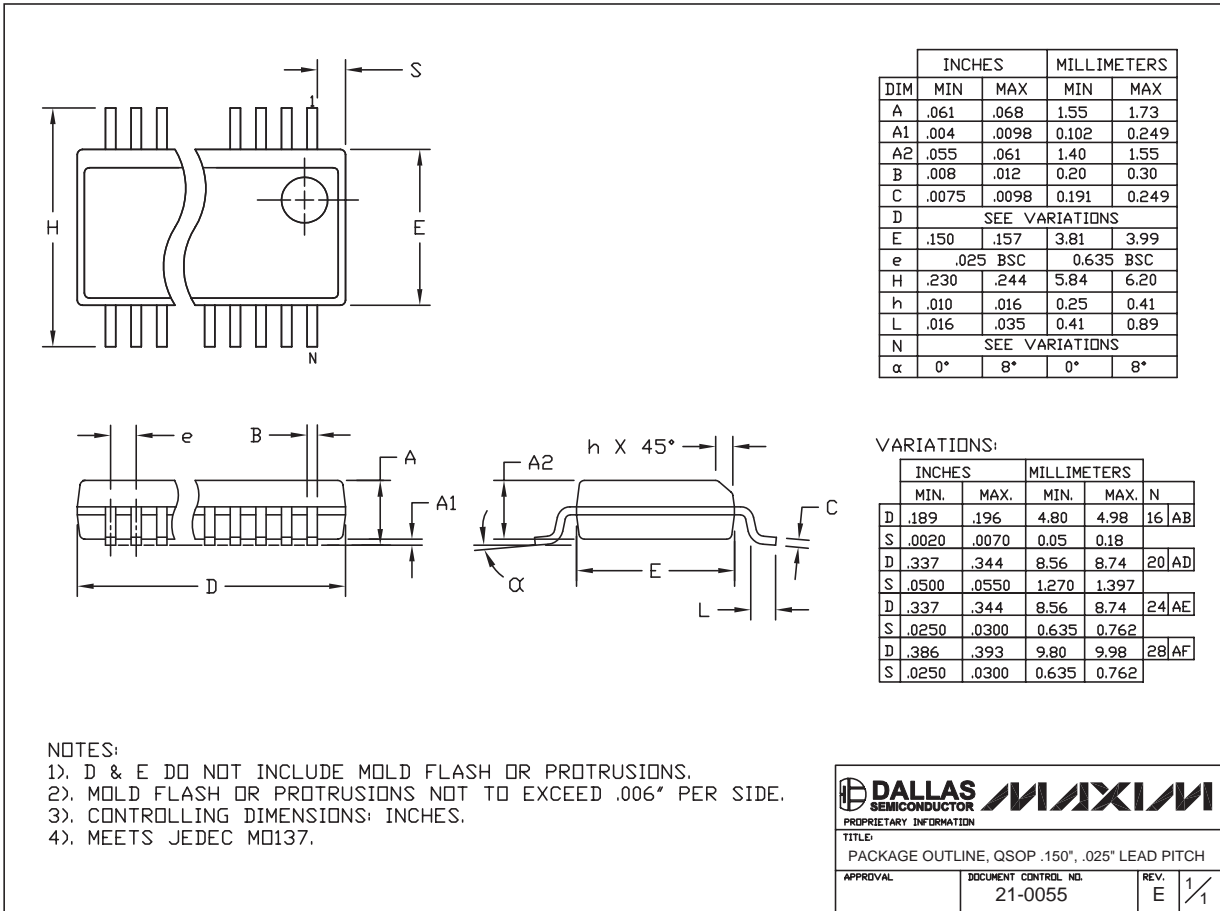
과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

패키지 정보

이 데이터 시트의 패키지 도면은 최신 사양과 다를 수 있다. 최신 패키지 개요 정보를 보려면 korea.maxim-ic.com/packages 를 참조한다.

MAX7317

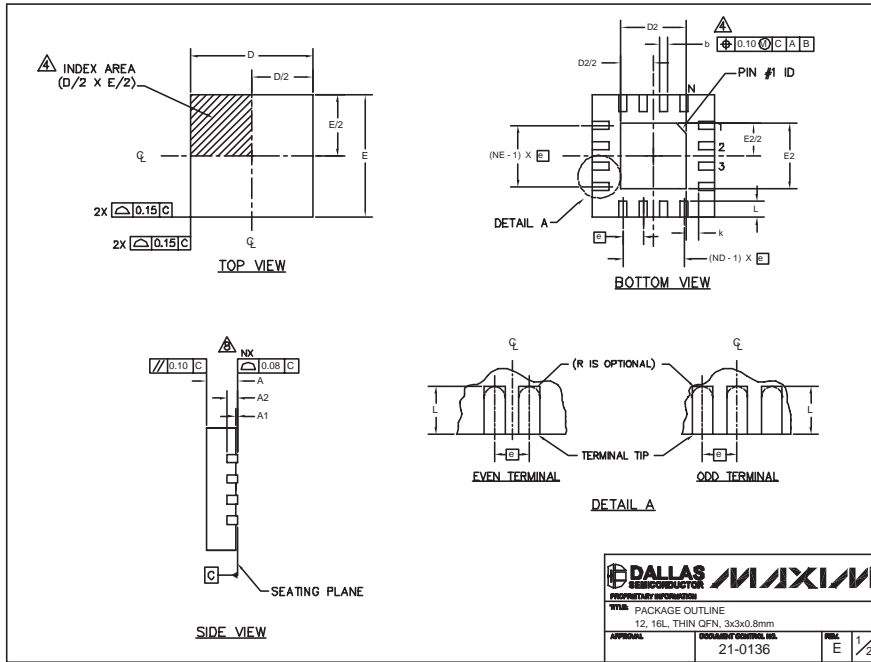
QSOP-EP5



과전압 및 핫 인서션 (Hot-Insertion) 보호 기능이 있는 10포트 SPI 인터페이스 I/O 익스팬더

패키지 정보 (계속)

이 데이터 시트의 패키지 도면은 최신 사양과 다를 수 있다. 최신 패키지 개요 정보를 보려면 korea.maxim-ic.com/packages 를 참조한다.



12x16L QFN THINLEPS

PKG	12L 3x3			16L 3x3		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80
b	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10
e	0.50 BSC.			0.50 BSC.		
L	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16		
ND	3			4		
NE	3			4		
A1	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-

PKG CODES	D2			E2			PIN ID	JEDEC	DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	NO
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	NO
T1833-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	YES
T1833-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	YES
T1833-3	0.95	0.80	0.95	0.95	0.80	0.95	0.225 x 45°	WEED-2	N/A
T1833-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.

DALLAS SEMICONDUCTOR
MAXIM
TITLE: PACKAGE OUTLINE
12, 16L, THIN QFN, 3x3x0.8mm
APPROVAL: DOCUMENT CONTROL NO. 21-0136 REV. E 2/2

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

12 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**