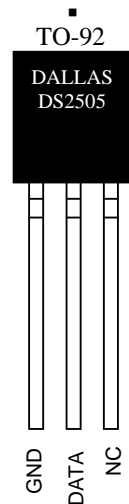


www.dalsemi.com

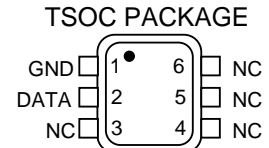
제품특징

- 16384비트의 EPROM으로서 단일 신호 및 접지만으로 효율적인 통신
- 사전에 지정되고 테스트된 고유의 64비트 등록번호(8비트 제품 코드 + 48비트 시리얼 넘버 + 8비트 CRC 테스터)가 부품마다 다르므로 완벽한 추적 가능
- 내장 멀티드롭 컨트롤러가 다른 1-Wire® 넷 제품과의 호환성 제공
- EPROM이 64개 256비트 페이지로 분할되어서 패킷화 데이터 레코드를 임의로 액세스 가능
- 각 메모리 페이지를 영구적으로 쓰기 방지 가능
- 기존 데이터에 영향을 미치지 않으면서 추가적인 데이터를 프로그램할 수 있는 “애드 온리” 메모리
- 소프트웨어가 새로 프로그램된 페이지를 위해 이전 페이지를 폐기함으로써 데이터 패치가 가능한 아키텍처
- 제어, 어드레스, 데이터, 전력, 프로그래밍 신호를 단일 데이터 핀으로 축소
- 마이크로프로세서의 단일 포트 핀에 직접적으로 연결할 수 있으며 초당 최대 16.3kbit 속도로 통신
- 8비트 제품 코드가 리더에 DS2505의 통신 요구 지정
- 리더가 처음으로 전압을 인가할 때 존재 탐지가 확인응답
- 저가의 TO-92 또는 6핀 TSOC 표면실장 패키지
- 40°C~+85°C에 걸쳐 2.8V~6.0V의 넓은 전압 범위로 읽기, -40°C~+50°C에 걸쳐 11.5V~12.0V 전압 범위로 프로그래밍

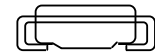
핀 할당



Bottom View
See Mech.
Drawings Section



Top View
3.7 X 4.0 X 1.5 mm



Side View
See Mech.
Drawing Section

주문정보

- DS2505 TO-92 Package
- DS2505P 6-pin TSOC Package
- DS2505/T&R Tape & Reel version of DS2505
- DS2505P/T&R Tape & Reel version of DS2505P

실리콘 라벨 설명

DS2505 16kb 애드 온리 메모리는 해당 제품에 관련된 정보를 식별하고 저장한다. 이 로트 또는 제품 정보를 마이크로컨트롤러의 단일 포트 핀과 같은 최소의 인터페이스로 액세스할 수 있다. DS2505는 고유의 48비트 시리얼 넘버, 8비트 CRC, 8비트 제품 코드(OBH)를 포함하는 사전 지정 등록번호와 16kb의 사용자 프로그래밍 가능한 EPROM으로 구성된다. DS2505를 프로그래밍하고 읽기 위한 전력은 1-Wire® 통신 라인에서 직접적으로 제공된다. 데이터는 1-Wire 프로토콜을 통해 직렬로 전송되며 이를 위해 단일 데이터 리드 및 접지 리턴만이 필요하다. 전체 디바이스를 필요에 따라 프로그래밍하고 쓰기 방지할 수 있다. 또한 이 부품을 기존 데이터를 겹쳐쓰기하지 않고 새로운 데이터를 추가해서 프로그래밍할 수 있다. 주의: 각 비트는 로직 1에서 0으로만 변경할 수 있고 로직 0에서 로직 1로 변경할 수 없다. 또한 특정 페이지의 데이터가 더 이상 유효하지 않고 새로운 데이터로 교체되었으며 이제는 다른 페이지 어드레스에 상주한다는 것을 나타내는 기능을 포함한다. 이러한 페이지 어드레스 재지정을 통해서 소프트웨어가 데이터를 패치하고 독립형 데이터 베이스로서 이 소자의 유연성을 향상시킬 수 있다. 각 DS2505에 사전에 지정된 48비트 시리얼 넘버를 이용해서 각 부품을 식별할 수 있다. TO-92 및 TSOC 패키지가 콤팩트 인클로저를 제공하므로 PCB 탑재나 배선을 위해 표준 어셈블리 장비가 간편하게 다룰 수 있다. 일반적인 애플리케이션으로 조정 상수, 유지보수 기록, 자산 추적, 제품 변경 상태, 액세스 코드 등을 저장할 수 있다.

개요

그림 1의 블록 다이어그램은 DS2505의 주요 제어 및 메모리 섹션의 관계를 보여준다. DS2505는 1) 64비트 ROM, 2) 16384비트 EPROM 데이터 메모리, 3) 704비트 EPROM 상태 메모리의 3개 데이터 컴포넌트로 구성된다. 이 소자는 읽기를 위한 전려공은 전적으로 1-Wire 통신 라인의 내부 커패시터에 저장된 에너지로부터 신호 라인이 하이인 기간 동안 공급받고 이 기생 전원을 1-Wire 라인의 로우 기간 동안 오프를 유지하여 1-Wire 라인이 하이가 다시 되기 전까지 이 기생(커패시터) 전원을 보충한다. 프로그래밍 때는 정상적인 전압 레벨로 1-Wire 통신이 이루어지고 순간적으로 프로그래밍 전압으로 펄싱해서 지정된 EPROM 비트가 프로그래밍되도록 한다. 이 부품의 EPROM 부분을 적절히 프로그래밍하기 위해서는 1-Wire 라인이 12볼트 및 10밀리암페어를 제공할 수 있어야 한다. 1-Wire 라인에 프로그래밍 전압이 존재하면 DS2505의 특수한 고전압 검출 회로가 내부 로직 신호를 생성해서 이 조건을 알린다. 1-Wire 프로토콜의 계층적 구조는 그림 2와 같다. 먼저 버스 마스터가 4개 ROM 기능 명령의 하나를 제공해야 한다: 1) ROM 읽기, 2) ROM 매치, 3) ROM 검색, 4) ROM 스킵. 이들 명령이 각 장치의 64비트 ROM 부분에 작용해서 1-Wire 라인에 존재하는 다수의 장치 중에서 특정 장치를 식별하고 버스 마스터에 얼마나 많은 장치와 어떠한 유형의 장치가 존재하는지를 알려줄 수 있다. 이들 ROM 기능 명령에 필요한 프로토콜에 대해서는 그림 8에서 설명하고 있다. ROM 기능 명령이 성공적으로 실행되면 DS2505의 EPROM 부분에 작용하는 메모리 기능을 액세스할 수 있고 버스 마스터가 DS2505에 해당되는 5개 메모리 기능 명령의 하나를 발행해서 다양한 데이터 필드를 읽거나 프로그래밍할 수 있다. 이들 메모리 기능 명령에 필요한 프로토콜에 대해서는 그림 5에서 설명하고 있다. 모든 데이터는 최하위 비트부터 읽히고 쓰인다.

64비트 사전지정 ROM

각각의 DS2505는 64비트 길이의 고유의 ROM 코드를 포함한다. 첫 8비트는 1-Wire 제품 코드이다. 다음 48비트는 고유의 시리얼 넘버다. 마지막 8비트는 앞 56비트의 CRC이다(그림 3). 64비트 ROM 및 ROM 기능 제어 섹션을 이용해서 DS2505가 1-Wire 장치로 동작하고 “1-Wire 버스 시스템” 부분에서 설명한 대로 1-Wire 프로토콜을 수행할 수 있다. ROM 기능 프로토콜이 충족되지 않으면 DS2505의 EPROM 섹션을 읽고 프로그래밍하기 위해 필요한 메모리 기능을 액세스할 수 없다. 이 프로토콜에 관해서는 ROM 기능 흐름도에서 설명하고 있다(그림 8). 1-Wire 버스 마스터가 4개 ROM 기능 명령 중에서 하나를 제공해야 한다: 1) ROM 읽기, 2) ROM 매치, 3) ROM 검색, 4) ROM 스킵. ROM 기능 시퀀스가 성공적으로 실행되면 DS2505에 해당되는 메모리 기능 명령의 하나를 제공할 수 있다(그림 5).

사전지정 ROM의 1-Wire CRC는 다항식 $X^8 + X^5 + X^4 + 1$ 을 이용해서 생성된다. Dallas Semiconductor 1-Wire CRC(cyclic redundancy check)에 관해서는 Book of DS19xx iButton Standards에서 설명하고 있다. CRC 누산기로 동작하는 시프트 레지스터가 0으로 초기화된다. 그런 다음 제품 코드의 최하위 비트에서부터 한 비트

씩 시프트된다. 제품 코드의 8번 비트가 입력된 다음에는 시리얼 넘버가 입력된다. 시리얼 넘버의 48번째 비트가 입력된 다음에는 시프트 레지스터가 CRC 값을 저장한다. CRC의 8번 비트를 시프트하면 시프트 레지스터가 전부 0으로 돌아간다.

그림 1: DS2505 블록 다이어그램

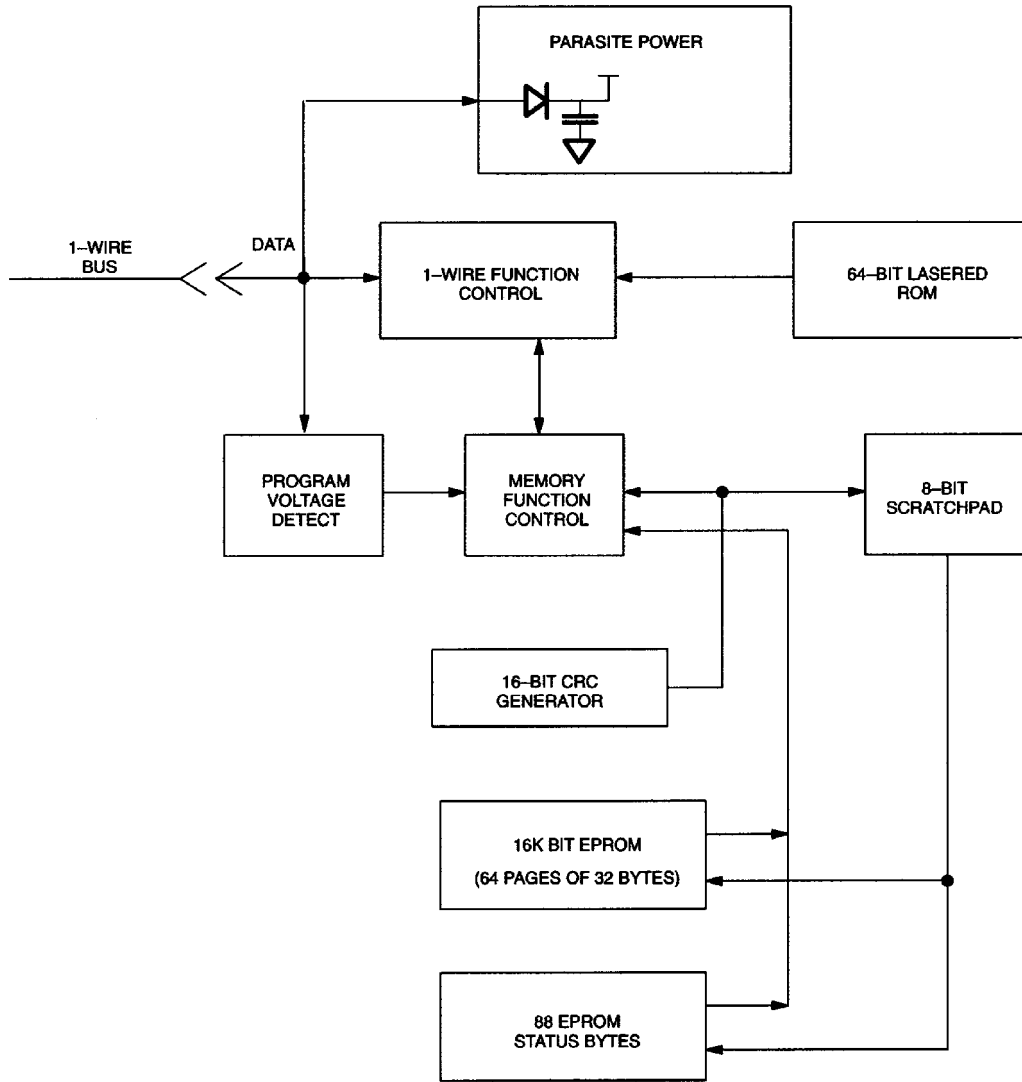


그림 2: 1-Wire 프로토콜의 계층적 구조

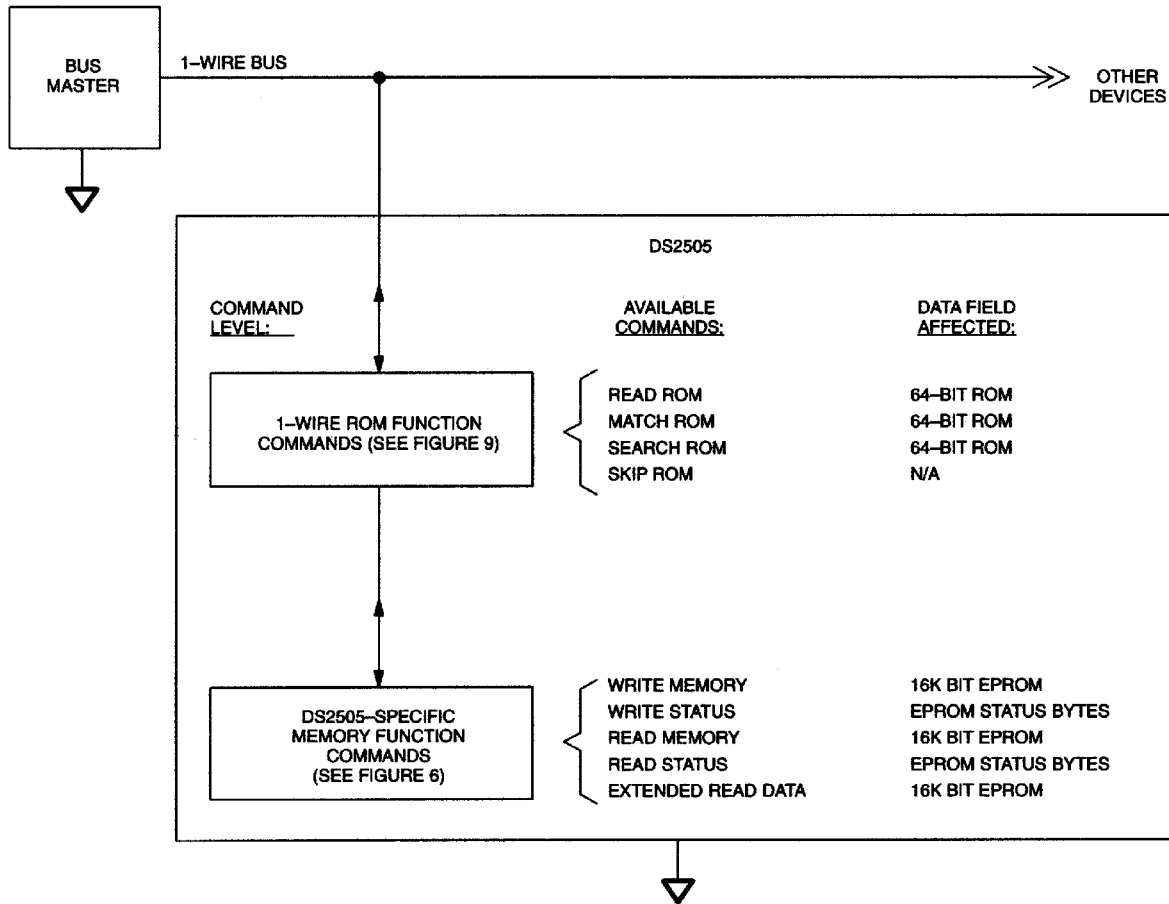


그림 3: 64비트 사전지정 ROM

8-Bit CRC Code		48-Bit Serial Number				8-Bit Family Code (0BH)	
MSB	LSB	MSB	LSB	MSB	LSB	MSB	LSB

16384비트 EPROM

그림 4의 메모리 맵을 보면 DS2505의 16384비트 EPROM이 32바이트의 64개 페이지로 구성되었음을 알 수 있다. 8비트 스크래치패드가 추가적인 레지스터로서 메모리를 프로그래밍할 때 버퍼로 동작한다. 데이터가 먼저 스크래치패드로 쓰이고 DS2505로부터 16비트 CRC를 읽어서 데이터 및 어드레스가 적절하게 수신되었는지를 확인한다. 버퍼 내용이 적절하면 프로그래밍 전압이 인가되고 메모리의 선택된 어드레스에 데이터 바이트가 쓰인다. 이러한 과정으로 메모리를 프로그래밍할 때 데이터 무결성이 보장된다. DS2505의 16384비트 EPROM을 읽고 프로그래밍하는 것에 관해서는 “메모리 기능 명령” 부분에서 자세히 설명하고 있다.

EPROM 상태 바이트

DS2505는 16384비트 데이터 메모리 이외에도 별도의 명령으로 액세스할 수 있는 704비트의 상태 메모리를 제공한다.

EPROM 상태 바이트를 읽거나 프로그램해서 DS2505와 관련해서 소프트웨어에 다양한 조건임을 알려줄 수 있다. EPROM 상태 메모리의 앞 8바이트(어드레스 000에서 007H까지)는 페이지 쓰기 방지 비트로서 해당 쓰기 방지 비트가 설정되었을 때 16384비트 메인 메모리의 해당 페이지의 프로그래밍을 방지한다. 상태 메모리의 페이지 쓰기 방지 섹션에 비트가 프로그램되면 이 비트에 해당되는 전체 32바이트 페이지를 변경할 수 없다. 그러나 읽기는 가능하다.

EPROM 상태 메모리의 다음 8바이트(어드레스 020에서 027H까지)는 쓰기 방지 비트로서 16384비트 메인 메모리 영역의 각 페이지에 해당되는 페이지 어드레스 재지정 바이트의 변경을 방지한다.

EPROM 상태 메모리의 다음 8바이트(어드레스 040에서 047H까지)는 iButton 운영 소프트웨어 TMEX에 사용하기 위한 예비용이다. 이들 바이트는 어느 메모리 페이지가 이미 사용 중인지를 나타낸다. 이들 모든 비트가 처음에는 프로그램되지 않으며 이는 이 디바이스가 데이터를 저장하지 않고 있다는 표시이다. TMEX 제어로 이 디바이스의 어느 페이지에 데이터가 쓰이면 이 비트맵에서 그 페이지에 해당되는 비트가 0으로 프로그램되어서 페이지가 사용 중임을 나타낸다. 이들 비트는 애플리케이션 플래그로서 DS2505의 내부 로직에 영향을 미치지 않는다.

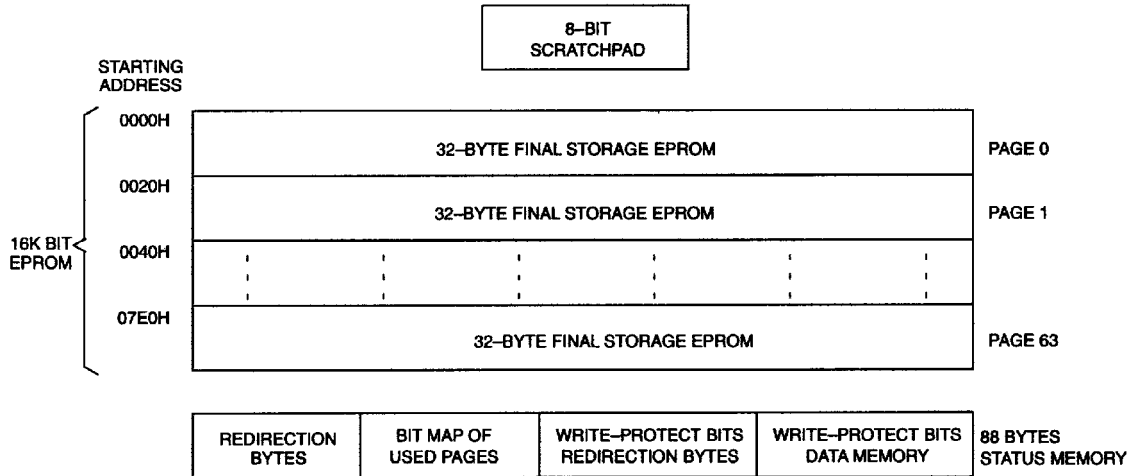
EPROM 상태 메모리의 다음 64바이트(어드레스 100H에서 13FH까지)는 페이지 어드레스 재지정 바이트로서 16384비트 EPROM 섹션의 하나 이상의 데이터 페이지가 소프트웨어에 의해서 무효화되고 해당 재지정 바이트의 페이지 어드레스로 재지정되었다는 것을 나타낸다. DS2505의 하드웨어가 페이지 어드레스 재지정 바이트의 내용을 기반으로 어떠한 결정을 하지 않는다. 상태 EPROM의 이 추가적 바이트를 이용해서 전체 페이지를 다른 페이지 어드레스로 재지정할 수 있으며 이로써 원래 페이지의 데이터는 더 이상 유효하지 않은 것으로 간주된다. EPROM 기술을 이용하면 페이지의 비트를 프로그래밍을 통해 로직 1에서 로직 0으로 변경할 수는 있으나 역으로 변경할 수는 없다. 그러므로 데이터 변경이나 업데이트가 필요할 때 페이지를 다시 쓸 수는 없으나 공간이 허용한다면 원래 페이지에 해당되는 페이지 어드레스 재지정 바이트로 새로운 페이지 어드레스의 1의 보수를 써서 DS2505의 다른 페이지로 전체 데이터 페이지를 재지정할 수 있다.

이 아키텍처는 특정 페이지를 페이지 어드레스 재지정 바이트에서 지정한 페이지로 교체하도록 함으로써 사용자 소프트웨어가 EPROM에 데이터 패치를 할 수 있다. 데이터 패치의 믿을 수 있는 진정한 감시를 위해서는 페이지 재지정이 프로그램된 후에 페이지 어드레스 재지정 바이트의 쓰기 방지 비트를 프로그램할 것이 권장된다. 이 쓰기 방지를 이용하지 않으면 페이지 어드레스 재지정 바이트를 변경해서 원래 메모리 페이지가 아닌 다른 페이지를 재지정할 수 있다.

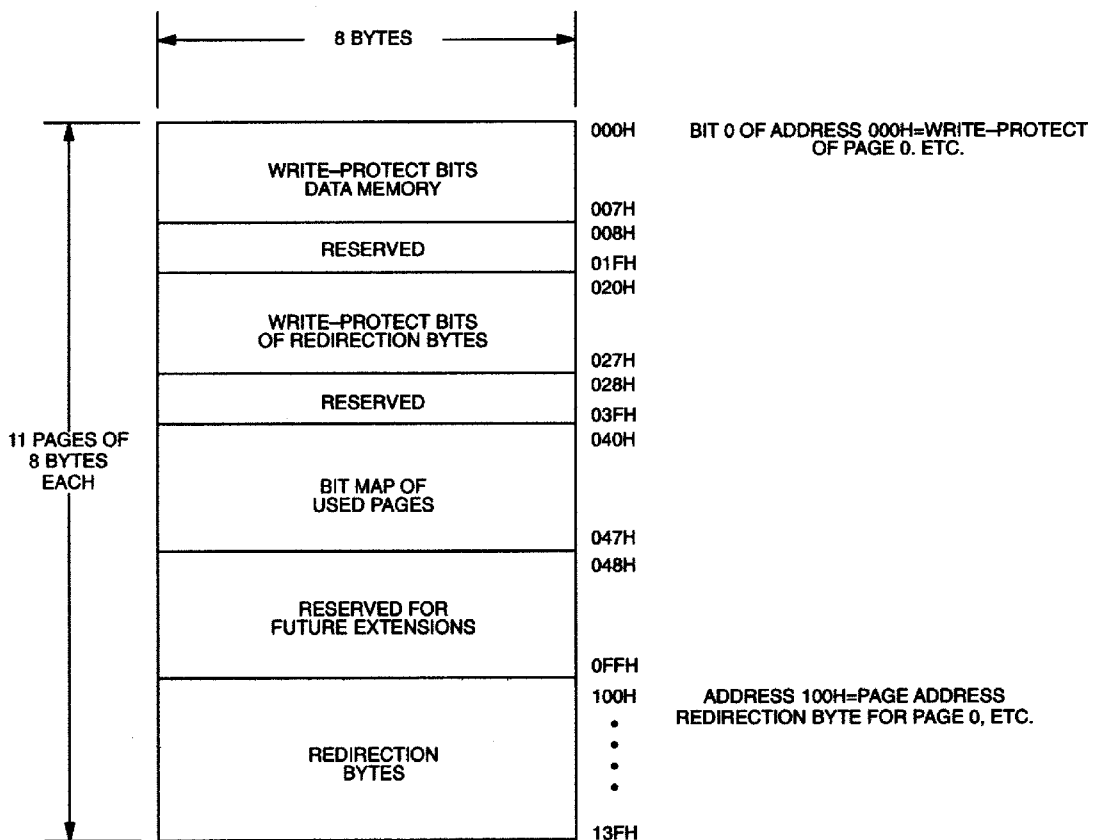
페이지 어드레스 재지정 바이트가 FFH 값이면 이 페이지에 해당되는 메인 메모리의 데이터가 유효하다. 페이지 어드레스 재지정 바이트의 hex 값이 이와 다르면 이 재지정 바이트에 해당되는 페이지의 데이터가 부적절한 것이며 해당 페이지 어드레스 재지정 바이트에 저장된 hex 값이 지정한 페이지 어드레스의 1의 보수 위치에서 유효한 데이터를 찾을 수 있다. 예를 들어 페이지의 재지정 바이트의 값이 FDH이면 업데이트된 데이터가 페이지 2에 있다는 뜻이다. DS2505의 EPROM 상태 메모리 부분을 읽고 프로그래밍하는 것에 관해서는 “메모리 기능 명령” 부분에서 자세히 설명하고 있다.

DS2505의 상태 메모리 어드레스 범위는 000에서 13FH까지이다. 메모리 위치 008H에서 01FH, 028H에서 03FH, 048H에서 0FFH, 140H에서 7FFH는 물리적으로 구현되지 않는다. 이들 위치를 읽으면 일반적으로 결과가 FFH 바이트이다. 이들 위치에 대한 쓰기는 무시된다. 버스 마스터가 7FFH보다 높은 시작 어드레스를 전송하면 이 칩의 내부 회로에 의해 5개의 최상위 어드레스 비트가 0으로 설정된다. 그러면 DS2505가 계산한 CRC와 버스 마스터가 계산한 CRC가 불일치함으로써 에러 상태를 나타낸다.

그림 4: DS2505 메모리 맵



상태 메모리 맵



메모리 기능 명령

그림 5의 “메모리 기능 흐름도”는 DS2505의 다양한 데이터 필드를 액세스하기 위해 필요한 프로토콜을 설명한 것이다. 메모리 기능 제어 섹션, 8비트 스크래치패드, 프로그램 전압 검출 회로가 결합해서 버스 마스터가 발행한 명령을 해석하고 적절한 제어 신호를 생성한다. 버스 마스터에 의해서 3바이트 프로토콜이 발행된다. 이는 동작을 지정하기 위한 명령 바이트와 데이터 필드에서 특정한 시작 바이트 위치를 지정하기 위한 2개 어드레스 바이트로 구성된다. 명령 바이트는 장치를 읽을 것인지 쓸 것인지를 지정한다. 데이터 쓰기를 위해서는 적절한 명령 시퀀스를 발행하고 해당 시점에 12볼트 프로그래밍 전압을 제공해야 한다. 쓰기 시퀀스를 위해서는 데이터 바이트를 먼저 스크래치패드에 로딩하고 선택한 어드레스로 프로그램한다. 쓰기 시퀀스는 언제나 한 번에 한 바이트씩 이루어진다. 읽기 시퀀스를 위해서는 버스 마스터가 시작 어드레스를 발행하면 그 시작 위치에서부터 선택한 데이터 필드의 끝까지 또는 리셋 시퀀스가 발행될 때까지 데이터가 읽힌다. DS2505로 전송되거나 버스 마스터가 수신하는 모든 비트는 최하위 비트부터 전송된다.

메모리 읽기 [FOH]

메모리 읽기 명령을 이용해서 16384비트 EPROM 데이터 필드로부터 데이터를 읽을 수 있다. 버스 마스터가 명령 바이트 다음에 2바이트 어드레스(TA1 = (T7:T0), TA2 = (T15:T8))를 지정해서 데이터 필드에서의 시작 바이트 위치를 지정한다. 그러면 이후의 읽기 데이터 타임 슬롯에 버스 마스터가 시작 어드레스에서 시작해서 16384비트 데이터 비트의 끝까지 또는 리셋 펄스가 발행될 때까지 DS2505로부터 데이터를 수신한다. 메모리 공간의 끝까지 읽기가 발생하면 버스 마스터가 추가적인 16개 읽기 타임 슬롯을 발행하고 DS2505는 명령, 어드레스 바이트, 시작 바이트에서 메모리의 최종 바이트까지 읽은 모든 데이터 바이트의 16비트 CRC를 응답한다. 이 CRC는 CRC 생성기를 소거하고 명령 바이트 및 2개 어드레스 바이트와 지정된 메모리 위치에서 시작해서 EPROM 데이터 메모리의 마지막 바이트까지 계속된 데이터 바이트를 시프트해서 생성된 것이다. 버스 마스터가 CRC를 수신한 다음에는 리셋 펄스가 발행될 때까지 이후의 읽기 타임 슬롯은 로직 1로 나타난다. 메모리 끝에 도달하기 전에 리셋 펄스에 의해서 읽기가 종료되면 16비트 CRC를 이용할 수 없다.

신속한 무오류 데이터 전송을 위해서 일반적으로 16비트 CRC를 저장한다. 이로써 매번 페이지를 읽을 필요 없이 수신 데이터가 적절한지를 검사할 수 있다. (1-Wire 환경에 이용할 수 있는 권장 파일 구조에 관해서는 Book of DS19xx iButton Standards 7장 참조.) 데이터에 CRC 값을 임베딩하면 메모리 읽기 명령일 때 메모리 공간의 끝에 도달해서 리셋 펄스가 발행된다.

상태 읽기 [AAH]

상태 읽기 명령을 이용해서는 EPROM 상태 데이터 필드로부터 데이터를 읽을 수 있다. 버스 마스터가 명령 바이트 다음에 2바이트 어드레스(TA1 = (T7:T0), TA2 = (T15:T8))를 지정해서 데이터 필드에서의 시작 바이트 위치를 지정한다. 그러면 이후의 읽기 데이터 타임 슬롯일 때 버스 마스터가 지정된 어드레스에서 시작해서 EPROM 상태 데이터 필드의 8바이트 페이지의 끝에 도달할 때까지 DS2505로부터 데이터를 수신한다. 그리고 버스 마스터가 명령 바이트, 어드레스 바이트, 상태 데이터 바이트의 16비트 CRC를 수신한다. 이 CRC는 DS2505가 계산하고 버스 마스터가 이를 리드백해서 명령 워드, 시작 어드레스, 데이터가 적절히 수신되었는지를 확인한다. 버스 마스터가 읽은 CRC가 적절하지 않으면 리셋 펄스를 발행하고 전체 시퀀스를 반복해야 한다.

그림 5: 메모리 기능 흐름도(계속)

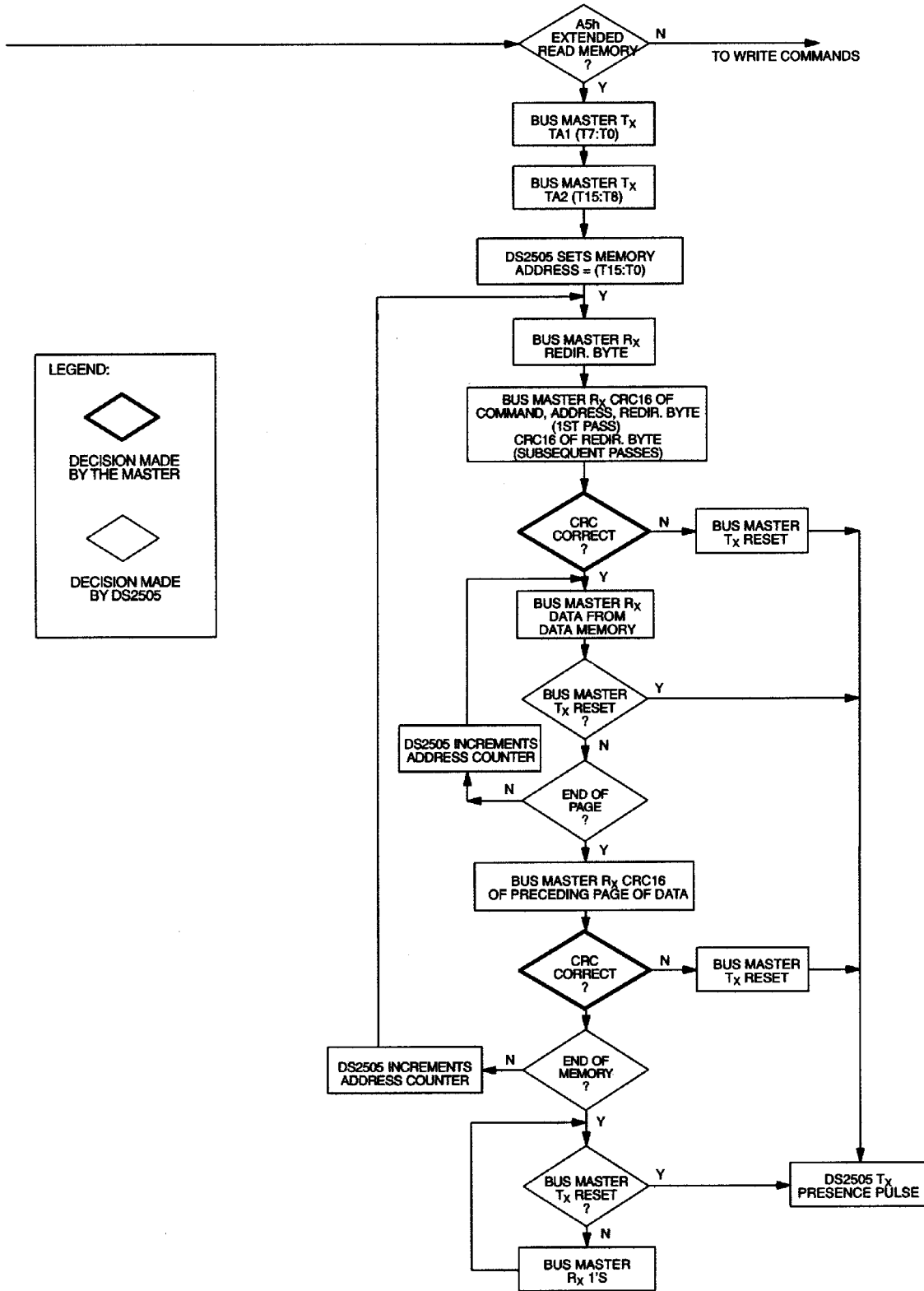
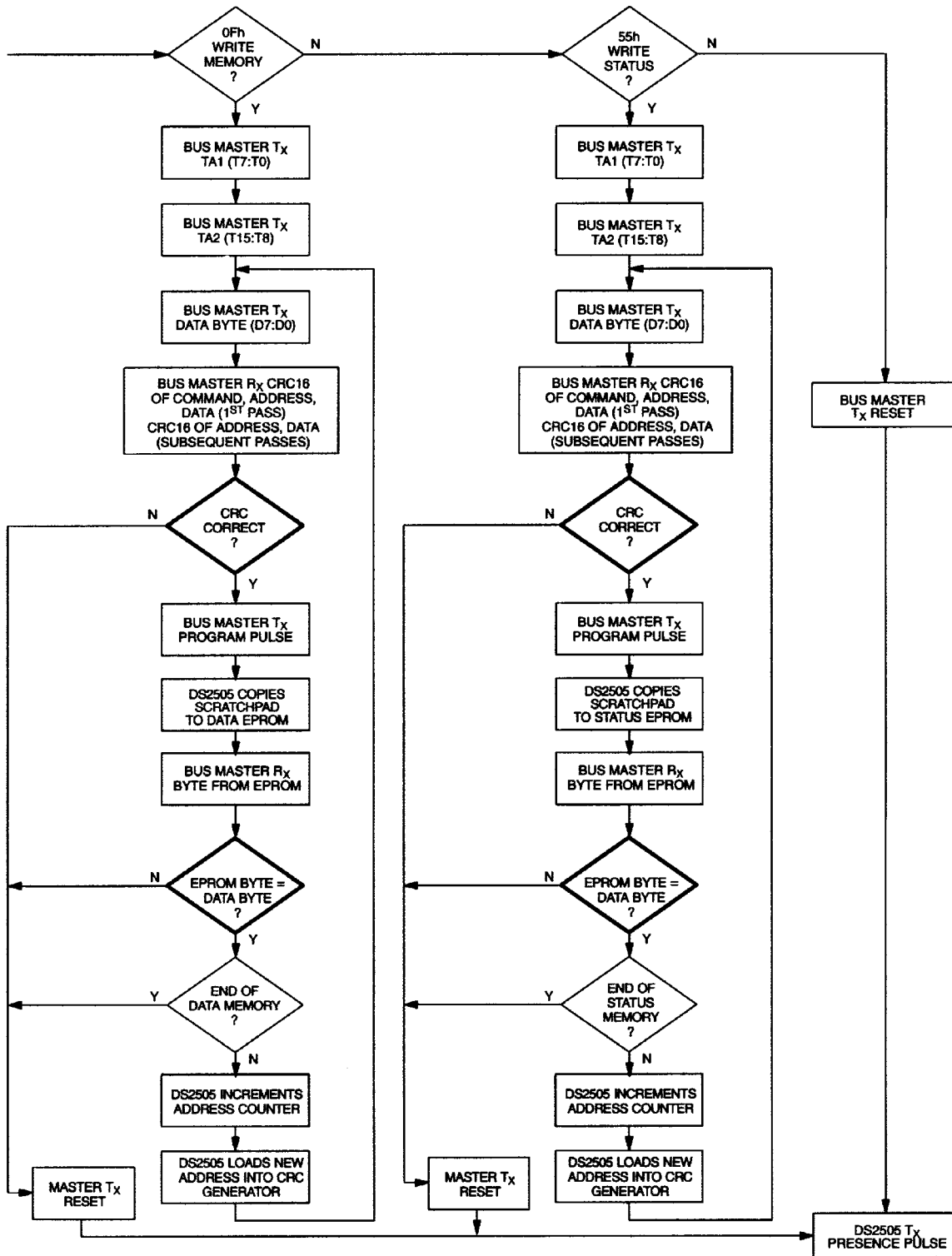


그림 5: 메모리 기능 흐름도(계속)



상태 읽기 흐름도의 첫 패스에는 CRC 생성기를 소거하고 명령 바이트 및 2개 어드레스 바이트와 시작 메모리 위치에서 지정된 EPROM 상태 데이터 페이지의 최종 바이트까지 계속되는 데이터를 시프트해서 16비트 CRC 값이 생성된다. 상태 데이터 페이지의 마지막 바이트는 언제나 xx7 또는 xxFH 어드레스로 끝난다. 상태 읽기 흐름도의 이후 패스에는 CRC 생성기를 소거하고 EPROM 상태 데이터 필드의 다음 페이지의 첫 번째 바이트에서 시작하는 새로운 데이터 바이트를 시프트해서 16비트 CRC를 생성한다.

이 기능이 제공되는 것은 EPROM 상태 정보가 시간의 경과에 따라 변경됨으로써 데이터를 한 번 프로그램하고 언제나 유효한 CRC를 포함시키는 것이 불가능할 수 있기 때문이다. 그러므로 상태 읽기 명령이 EPROM 상태 데이터 필드에 저장된 현재 데이터에 기반한 16비트 CRC를 제공한다. 마지막 EPROM 상태 데이터 페이지의 16비트 CRC를 읽은 후에는 리셋 펄스가 발행될 때까지 버스 마스터가 DS2505로부터 로직 1을 수신한다. 상태 읽기 명령 시퀀스는 언제나 리셋 펄스를 발행해서 종료할 수 있다.

확장 메모리 읽기 [A5H]

확장 메모리 읽기 명령이 16384비트 EPROM 데이터 필드로부터 데이터를 읽을 때 페이지 재지정을 지원한다. 확장 메모리 읽기와 기본적인 메모리 읽기 명령의 가장 큰 차이점은 버스 마스터가 지정된 메모리 위치에서 데이터를 읽기에 앞서 먼저 재지정 바이트를 수신한다는 것이다. 그럼으로써 버스 마스터가 계속해서 지정된 시작 페이지의 데이터를 액세스할 것인지 아니면 읽기 프로세스를 중단하고 재지정 페이지 어드레스로 재시작할 것인지를 신속하게 결정할 수 있다. 재지정되지 않은 페이지는 재지정 바이트에 의해 FFH 값으로 표시된다('EPROM 상태 바이트' 설명 참조). 재지정 바이트가 이 값이 아니면 마스터가 새로운 페이지 번호를 포착해야 한다. 페이지 번호를 32(20H)로 곱해서 마스터가 DS2505로 새로운 어드레스를 전송함으로써 이전 데이터를 교체하는 업데이트된 데이터를 읽을 수 있다. 페이지가 재지정되는 횟수에는 제한이 없다. 다만 DS2505에서 이용 가능한 메모리 페이지 수가 제한적이다.

페이지 재지정과 함께 확장 메모리 읽기 명령은 또한 사용자가 데이터와 함께 16비트 CRC를 저장할 수 없을 때 "비트 지향적" 애플리케이션을 지원한다. 비트 지향적 애플리케이션이 지원됨으로써 EPROM 정보가 페이지 경계 이내에서 시간의 경과에 따라 변경될 수 있고 따라서 언제나 유효한 CRC를 포함할 수 없도록 한다. 그러므로 확장 메모리 읽기 명령이 각 페이지를 마칠 때마다 DS2505가 16384비트 EPROM 데이터 필드의 각 페이지에 저장된 현재 데이터에 기반해서 16비트 CRC를 생성하고 제공한다.

확장 메모리 읽기 명령의 명령 코드를 전송한 후에는 버스 마스터가 명령 바이트와 함께 2바이트 어드레스 (TA1 = (T7:T0), TA2 = (T15:T8))를 지정해서 데이터 필드에서의 시작 바이트 위치를 지정한다. 8개 데이터 읽기 타임 슬롯을 전송해서 마스터가 시작 어드레스에 의해 지정된 페이지의 재지정 바이트를 수신한다. 다음 16개 읽기 데이터 타임 슬롯에 버스 마스터가 명령 바이트, 어드레스 바이트, 재지정 바이트의 16비트 CRC를 수신한다. DS2505가 이 CRC를 계산하고 버스 마스터가 이를 리드백해서 명령 워드, 시작 어드레스, 재지정 바이트가 적절하게 수신되었는지를 확인한다.

버스 마스터가 읽은 CRC가 적절하지 않으면 리셋 펄스를 발행해서 전체 시퀀스를 반복해야 한다. 버스 마스터가 수신한 CRC가 적절하면 버스 마스터가 읽기 타임 슬롯을 발행하고 시작 어드레스에서 시작해서 32바이트 페이지의 끝에 도달할 때까지 DS2505로부터 데이터를 수신한다. 그런 다음 버스 마스터가 추가적으로 16개 읽기 타임 슬롯을 전송하고 CRC 생성기로 시작 바이트에서 현재 페이지의 마지막 바이트까지 모든 데이터 바이트를 시프트한 결과값으로서 16비트 CRC를 수신한다.

다음 24개 데이터 읽기 타임 슬롯에는 마스터가 다음 페이지의 재지정 바이트와 재지정 바이트의 16비트 CRC를 수신한다. 그런 다음에는 새로운 페이지에서 시작해서 16384비트 EPROM 데이터 필드로부터 다시 데이터를 읽는다. 버스 마스터가 마지막 페이지와 이의 CRC를 읽을 때까지 이 시퀀스를 계속한다.

확장 메모리 읽기 명령이 트랜잭션 흐름도의 두 위치에서 16비트 CRC를 제공한다: 1) 재지정 바이트 후와 2) 각 메모리 페이지의 끝에서다. 메모리 페이지 끝에서의 CRC는 CRC 생성기를 소거하고 EPROM 데이터 페이지의 시작 메모리 위치에서 이 페이지의 마지막 페이지까지 데이터 바이트를 시프트한 결과값이다. 재

지정 바이트에 곧바로 이어서 버스 마스터가 수신하는 CRC는 두 가지 방법으로 계산된다. 확장 메모리 읽기 흐름도의 첫 패스에는 16비트 CRC 값이 소거된 CRC 생성기로 명령 바이트와 2개 어드레스 바이트 및 재지정 바이트를 시프트한 결과값이다. 확장 메모리 읽기 흐름도의 이후 패스에 생성되는 16비트 CRC는 CRC 생성기를 소거하고 재지정 바이트만을 시프트한 결과값이다.

마지막 페이지의 16비트 CRC를 읽은 다음에는 버스 마스터가 리셋 펄스가 발행될 때까지 DS2505로부터 로직 1을 수신한다. 확장 메모리 읽기 명령 시퀀스는 어느 때나 리셋 펄스를 발행해서 종료할 수 있다.

메모리 쓰기 [0FH]/메모리 고속 쓰기 [F3]

메모리 쓰기 명령을 이용해서 16384비트 EPROM 데이터 필드를 프로그램할 수 있다. 버스 마스터가 명령 바이트 다음에 2바이트 시작 어드레스(TA1 = (T7:T0), TA2 = (T15:T8)) 및 데이터 바이트(D7:D0)를 지정할 수 있다. DS2505가 명령 바이트, 어드레스 바이트, 데이터 바이트의 16비트 CRC를 계산하고 버스 마스터가 이를 리드백해서 명령 워드, 시작 어드레스, 데이터 바이트가 적절히 수신되었는지를 확인한다.

DS2505에서 가장 높은 시작 어드레스는 07FFH이다. 버스 마스터가 이보다 높은 시작 어드레스를 전송하면 내부 회로에 의해 5개 최상위 어드레스 비트가 0으로 설정된다. 그러면 DS2505가 계산한 CRC와 버스 마스터가 계산한 CRC가 불일치함으로써 오류 조건이 발생한다.

버스 마스터가 읽은 CRC가 부적절하면 리셋 펄스를 발행하고 전체 시퀀스를 반복해야 한다. 버스 마스터가 수신한 CRC가 적절하면 버스 마스터가 프로그래밍 펄스(1-Wire 버스에서 480 μ s 동안 12볼트)를 발행한다. 프로그래밍 전에는 프로그램되지 않은 전체 16384비트 EPROM 데이터 필드가 로직 1로 나타난다. 버스 마스터가 제공한 데이터 바이트에서 로직 0으로 설정된 각 비트에 대해 해당 바이트 위치에 프로그래밍 펄스가 인가되었을 때 16384비트 EPROM의 선택된 바이트의 해당 비트가 로직 0으로 프로그램된다.

480 μ s 후에 프로그래밍 펄스가 인가되고 데이터 라인이 아이들 레벨로 돌아가면 버스 마스터가 8개 읽기 타임 슬롯을 발행해서 해당 비트가 적절히 프로그램되었는지 검증한다. DS2505가 선택된 EPROM 어드레스로부터 최하위 비트부터 전송해서 데이터를 응답한다. 이 바이트가 해당 EPROM 데이터 어드레스에 쓰여진 모든 바이트의 로직 AND를 저장한다. EPROM 데이터 바이트는 1인데 마스터가 발행한 바이트는 0이면 리셋 펄스를 발행하고 현재 바이트 어드레스를 다시 프로그램해야 한다. DS2505 EPROM 데이터 바이트가 동일 비트 위치에 0이면 프로그래밍이 성공적인 것이므로 DS2505가 어드레스 카운터를 자동으로 증가시켜서 16384비트 EPROM 데이터 필드의 다음 바이트를 선택한다. 또한 새로운 2바이트 어드레스가 16비트 CRC 생성기에 시작 값으로 로드된다. 그러면 버스 마스터가 8개 쓰기 타임 슬롯을 이용해서 다음 바이트를 발행한다.

DS2505가 스크래치패드로 이 데이터 바이트를 수신할 때 CRC 생성기로 현재 어드레스와 함께 사전에 로드된 데이터를 시프트하며 이 결과값이 새로운 데이터 바이트 및 새로운 어드레스의 16비트 CRC이다. 버스 마스터가 데이터 바이트를 제공하고 16개 읽기 타임 슬롯을 이용해 DS2505로부터 이 16비트 CRC를 읽어서 어드레스가 적절히 증가되고 데이터 바이트가 적절히 수신되었는지를 확인한다. CRC가 부적절하면 리셋 펄스를 발행하고 메모리 쓰기 명령 시퀀스를 재시작해야 한다. CRC가 적절하면 버스 마스터가 프로그래밍 펄스를 발행하고 메모리에서 지정된 바이트가 프로그램된다.

메모리 쓰기 흐름도의 첫 패스에는 CRC 생성기로 명령 바이트와 2개 어드레스 바이트 및 데이터 바이트를 시프트한 결과값으로서 16비트 CRC 값이 생성된다. DS2505가 어드레스 카운터를 자동으로 증가시켜서 이루어지는 메모리 쓰기 흐름도의 이후 패스에는 CRC 생성기로 새로운 어드레스를 로드하고 새로운 데이터 바이트를 시프트한 결과값으로 16비트 CRC가 생성된다.

어느 경우이든 계속해서 DS2505에 프로그램 펄스를 적용할지를 결정하는 것은 전적으로 버스 마스터에 의해 이루어진다. DS2505는 버스 마스터가 계산한 16비트 CRC가 DS2505가 계산한 16비트 CRC와 일치하는지 판단할 수 없기 때문이다. 부적절한 CRC라서 명령이 무시되고 버스 마스터에 의해 프로그램 펄스가 인

가되면 DS2505에서 부적절한 프로그래밍이 발생할 수 있다. 또한 유의해야 할 점이 선택한 EPROM 바이트의 프로그래밍을 확인하기 위한 8개 읽기 타임 슬롯을 수신한 후에는 DS2505가 내부 어드레스 카운터를 증가시킨다는 것이다. 여기서도 계속할지 결정하는 것은 전적으로 버스 마스터에 의해 이루어진다. 그러므로 EPROM 데이터 바이트가 제공된 데이터 바이트와 일치하지 않으나 마스터가 메모리 쓰기 명령을 계속해서 실행하면 DS2505에서 부적절한 프로그래밍이 이루어진다. 메모리 쓰기 명령은 어느 때나 리셋 펄스를 발행해서 종료할 수 있다.

DS2505의 데이터 메모리의 1개 이상의 연속적 바이트를 쓸 때 시간을 절약하기 위해서는 데이터를 EPROM 메모리에 복사하기 전에 데이터 및 어드레스를 검증하기 위한 16비트 CRC 읽기를 생략할 수 있다. 그럼으로써 프로그램할 각 바이트에 대해 16 타임 슬롯 또는 976 μ s를 절약할 수 있다. 이 고속 프로그래밍 모드는 0FH 대신에 F3H 명령 코드를 이용해 액세스할 수 있다. 이 명령은 기본적으로 메모리 쓰기 명령과 흐름도가 동일하나 프로그램 펄스 바로 전에 CRC를 전송하는 것을 생략한다. 이 명령은 버스 마스터와 DS2505 사이의 전기적 접촉이 견고할 때만 이용할 수 있다. 그렇지 않으면 EPROM 메모리 내부에서 데이터 손상이 발생할 수 있다.

상태 쓰기 [55H]/고속 상태 쓰기 [F5]

상태 쓰기 명령을 이용해서는 EPROM 상태 데이터 필드를 프로그램할 수 있다. 버스 마스터가 명령 바이트에 이어서 2바이트 시작 어드레스(TA1 = (T7:T0), TA2 = (T15:T8))와 상태 데이터 바이트(D7:D0)를 지정한다. DS2505가 명령 바이트, 어드레스 바이트, 데이터 바이트의 16비트 CRC를 계산하고 버스 마스터가 이를 리드백해서 명령 워드, 시작 어드레스, 데이터 바이트가 적절히 수신되었는지를 확인한다.

버스 마스터가 읽은 CRC가 적절하지 않으면 리셋 펄스를 발행하고 전체 시퀀스를 반복해야 한다. 버스 마스터가 수신한 CRC가 적절하면 버스 마스터가 프로그래밍 펄스(1-Wire 버스에서 480 μ s 동안 12볼트)를 발행한다. 프로그래밍 전에는 EPROM 상태 데이터 필드가 로직 1로 나타난다. 버스 마스터가 제공한 데이터 바이트에서 로직 0으로 설정된 각 비트에 대해 해당 바이트 위치에 프로그래밍 펄스가 인가된 후에 EPROM 상태 데이터 필드의 선택된 바이트의 해당 비트가 로직 0으로 프로그램된다.

480 μ s 후에 프로그래밍 펄스가 인가되고 데이터 라인이 아이들 레벨로 돌아가면 버스 마스터가 8개 읽기 타임 슬롯을 발행해서 해당 비트가 적절히 프로그램되었는지 검증한다. DS2505가 선택된 EPROM 어드레스로부터 최하위 비트부터 전송해서 데이터를 응답한다. 이 바이트가 해당 EPROM 데이터 어드레스에 쓰여진 모든 바이트의 로직 AND를 저장한다. EPROM 데이터 바이트는 1인데 마스터가 발행한 바이트는 0이면 리셋 펄스를 발행하고 현재 바이트 어드레스를 다시 프로그램해야 한다. DS2505 EPROM 데이터 바이트가 동일 비트 위치에 0이면 프로그래밍이 성공적인 것이므로 DS2505가 어드레스 카운터를 자동으로 증가시켜서 16384비트 EPROM 데이터 필드의 다음 바이트를 선택한다. 또한 새로운 2바이트 어드레스가 16비트 CRC 생성기에 시작 값으로 로드된다. 그러면 버스 마스터가 8개 쓰기 타임 슬롯을 이용해서 다음 바이트를 발행한다.

DS2505가 스크래치패드로 이 데이터 바이트를 수신할 때 CRC 생성기로 현재 어드레스와 함께 사전에 로드된 데이터를 시프트하며 이 결과값이 새로운 데이터 바이트 및 새로운 어드레스의 16비트 CRC이다. 버스 마스터가 데이터 바이트를 제공하고 16개 읽기 타임 슬롯을 이용해 DS2505로부터 이 16비트 CRC를 읽어서 어드레스가 적절히 증가되고 데이터 바이트가 적절히 수신되었는지를 확인한다. CRC가 부적절하면 리셋 펄스를 발행하고 상태 쓰기 명령 시퀀스를 재시작해야 한다. CRC가 적절하면 버스 마스터가 프로그래밍 펄스를 발행하고 메모리에서 지정된 바이트가 프로그램된다.

상태 쓰기 흐름도의 첫 패스에는 CRC 생성기로 명령 바이트와 2개 어드레스 바이트 및 데이터 바이트를 시프트한 결과값으로서 16비트 CRC 값이 생성된다. DS2505가 어드레스 카운터를 자동으로 증가시켜서 이루어지는 상태 쓰기 흐름도의 이후 패스에는 CRC 생성기로 새로운 어드레스를 로드하고 새로운 데이터 바이트를 시프트한 결과값으로 16비트 CRC가 생성된다.

어느 경우이든 계속해서 DS2505에 프로그램 펄스를 적용할지를 결정하는 것은 전적으로 버스 마스터에 의해 이루어진다. DS2505는 버스 마스터가 계산한 16비트 CRC가 DS2505가 계산한 16비트 CRC와 일치하는지 판단할 수 없기 때문이다. 만약 일치하지 않는 CRC가 무시되고 버스 마스터에 의해 프로그램 펄스가 인가되면 DS2505 내에서 부적절한 프로그래밍이 발생할 수 있다. 또한 유의해야 할 점이 선택한 EPROM 바이트의 프로그래밍을 확인하기 위한 8개 읽기 타임 슬롯을 수신한 후에는 DS2505가 내부 어드레스 카운터를 증가시킨다는 것이다. 여기서도 계속할지 결정하는 것은 전적으로 버스 마스터에 의해 이루어진다. 그러므로 EPROM 데이터 바이트가 제공된 데이터 바이트와 일치하지 않으나 마스터가 상태 쓰기 명령을 계속해서 실행하면 DS2505에서 부적절한 프로그래밍이 이루어진다. 상태 쓰기 명령은 어느 때나 리셋 펄스를 발행해서 종료할 수 있다.

DS2505의 상태 메모리의 1개 이상의 연속적 바이트를 쓸 때 시간을 절약하기 위해서는 데이터를 EPROM 메모리에 복사하기 전에 데이터 및 어드레스를 검증하기 위한 16비트 CRC 읽기를 생략할 수 있다. 그럼으로써 프로그램할 각 바이트에 대해 16 타임 슬롯 또는 976 μ s를 절약할 수 있다. 이 고속 프로그래밍 모드는 55H 대신에 F5H 명령 코드를 이용해 액세스할 수 있다. 이 명령은 기본적으로 상태 쓰기 명령과 흐름도가 동일하나 프로그램 펄스 바로 전에 CRC를 전송하는 것을 생략한다. 이 명령은 버스 마스터와 DS2505 사이의 전기적 접촉이 견고할 때만 이용할 수 있다. 그렇지 않으면 EPROM 메모리 내부에서 데이터 손상이 발생할 수 있다.

1-WIRE 버스 시스템

1-Wire 버스는 단일 버스 마스터 및 하나 이상의 슬레이브로 구성되는 시스템이다. 모든 경우에 DS2505는 슬레이브 장치이다. 버스 마스터는 일반적으로 마이크로컨트롤러이다. 버스 시스템에 관해서 하드웨어 구성, 트랜잭션 시퀀스, 1-Wire 시그널링(신호 유형 및 타이밍)의 세 부분으로 나누어 설명하고자 한다. 1-Wire 프로토콜은 버스 마스터로부터 동기화 펄스의 하강 에지에 시작된 특정 타임 슬롯의 버스 상태와 관련해서 버스 트랜잭션을 정의한다. 프로토콜에 관한 자세한 설명을 위해서는 *Book of DS19xx iButton Standards* 4장 참조.

하드웨어 구성

1-Wire 버스는 말 그대로 단일 라인이다. 버스의 각각의 장치가 해당 시간이 이 라인을 구동할 수 있도록 해야 한다. 이를 위해서는 1-Wire 버스에 연결된 각 장치가 오픈 드레인 연결 또는 3상 출력을 제공해야 한다. DS2505는 오픈 드레인 부품으로서 내부 회로가 그림 6의 것과 동등하다. 버스 마스터도 동일한 등가 회로일 수 있다. 양방향 핀을 이용할 수 없을 때는 각각의 출력 및 입력 핀을 연결할 수 있다.

버스 마스터가 버스의 마스터 측에서 풀업 저항을 필요로 하며, 버스 마스터 회로는 (그림 7a) 및 (그림 7b)와 같다. 라인 길이가 짧을 때는 풀업 저항의 값이 약 5k Ω 이어야 한다.

멀티드롭 버스는 1-Wire 버스와 다중의 슬레이브로 구성된다. 1-Wire 버스는 초당 최대 데이터 속도가 16.3kbit이다. DS2505의 EPROM 부분의 프로그래밍을 위해 버스 마스터가 필요할 때는 480 μ s 동안 12볼트로 10밀리암페어를 제공할 수 있는 프로그래밍 전원이 필요하다. 1-Wire 버스의 아이들 상태는 하이이다. 어떤 이유로 트랜잭션을 중단해야 할 경우 트랜잭션 재개를 위해서는 버스를 아이들 상태로 두어야 한다. 그렇지 않고 버스가 120 μ s 이상 로우를 유지하면 버스의 하나 이상의 장치가 리셋된다.

트랜잭션 시퀀스

1-Wire 포트를 통해 DS2505를 액세스하기 위한 시퀀스는 다음과 같다.

- 초기화
- ROM 기능 명령
- 메모리 기능 명령

- 읽기/메모리 쓰기/상태 쓰기

초기화

1-Wire 버스 상에서 이루어지는 모든 트랜잭션은 초기화 시퀀스로 시작된다. 초기화 시퀀스는 버스 마스터가 리셋 펄스를 전송하고 슬레이브가 존재 펄스를 전송하는 것으로 이루어진다.

존재 펄스에 의해서 버스 마스터가 DS2505가 버스 상에 존재하고 동작할 준비가 되었다는 것을 알 수 있다. 이에 관해서는 “1-Wire 시그널링” 부분 참조.

ROM 기능 명령

버스 마스터가 장치를 인식했으면 4개 ROM 기능 명령의 하나를 발행할 수 있다. 모든 ROM 기능 명령은 8비트 길이이다. 이들 명령은 다음과 같다(그림 8의 흐름도 참조).

ROM 읽기 [33H]

이 명령을 이용해서 버스 마스터가 DS2505의 8비트 제품 코드, 고유의 48비트 시리얼 넘버, 8비트 CRC를 읽을 수 있다. 이 명령은 버스에 단일 DS2505만 연결되었을 때 이용할 수 있다. 버스에 하나 이상의 슬레이브가 존재하면 슬레이브가 동시에 전송하려고 함으로써 데이터 충돌이 발생한다(오픈 드레인이 wired-AND 결과값을 발생시킨다).

그림 6: DS2505 등가 회로

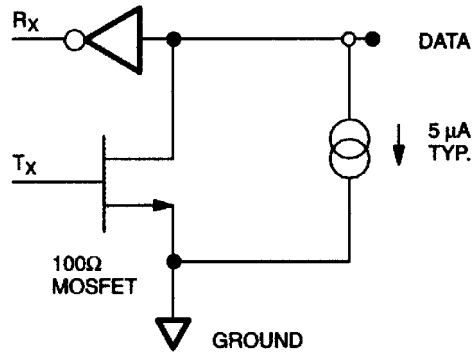


그림 7: 버스 마스터 회로

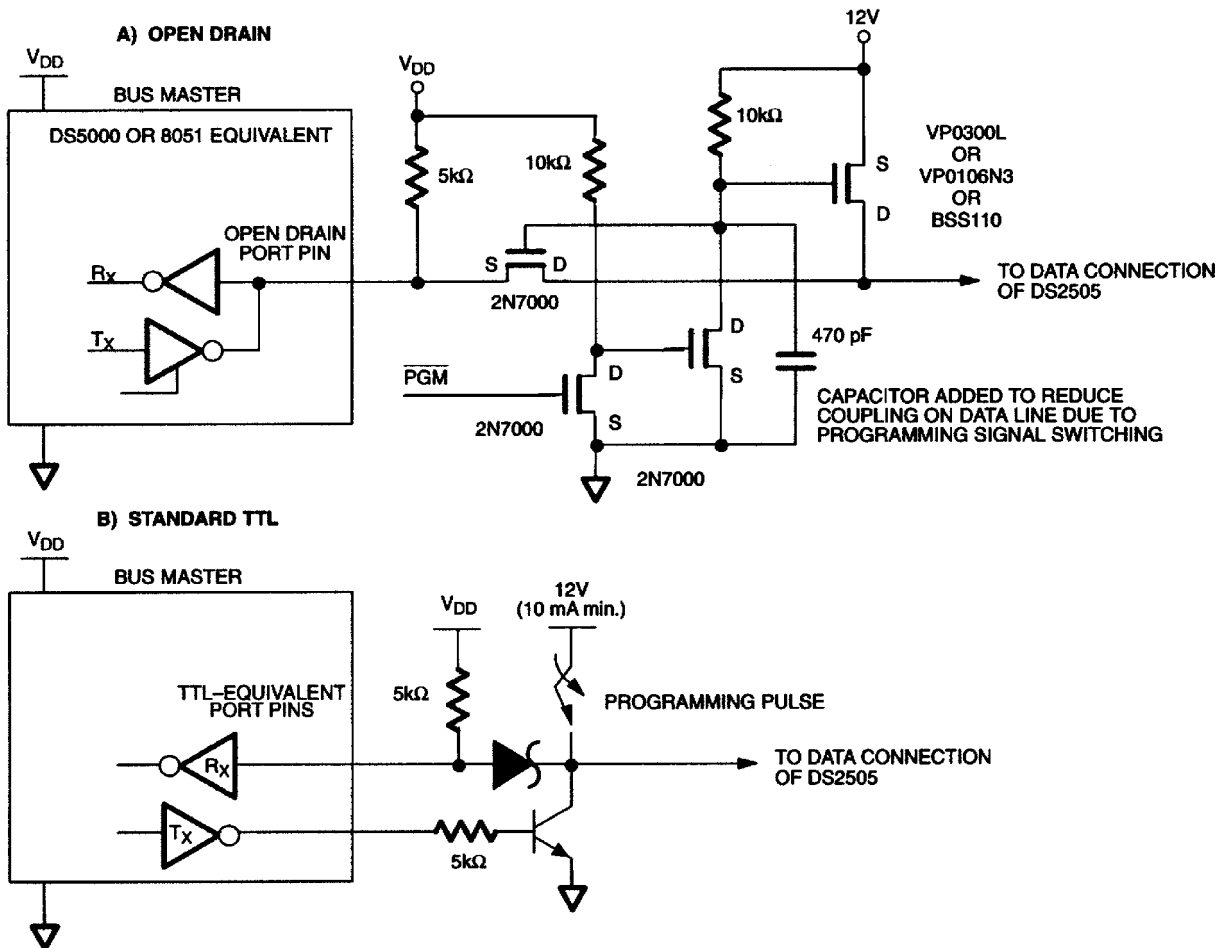
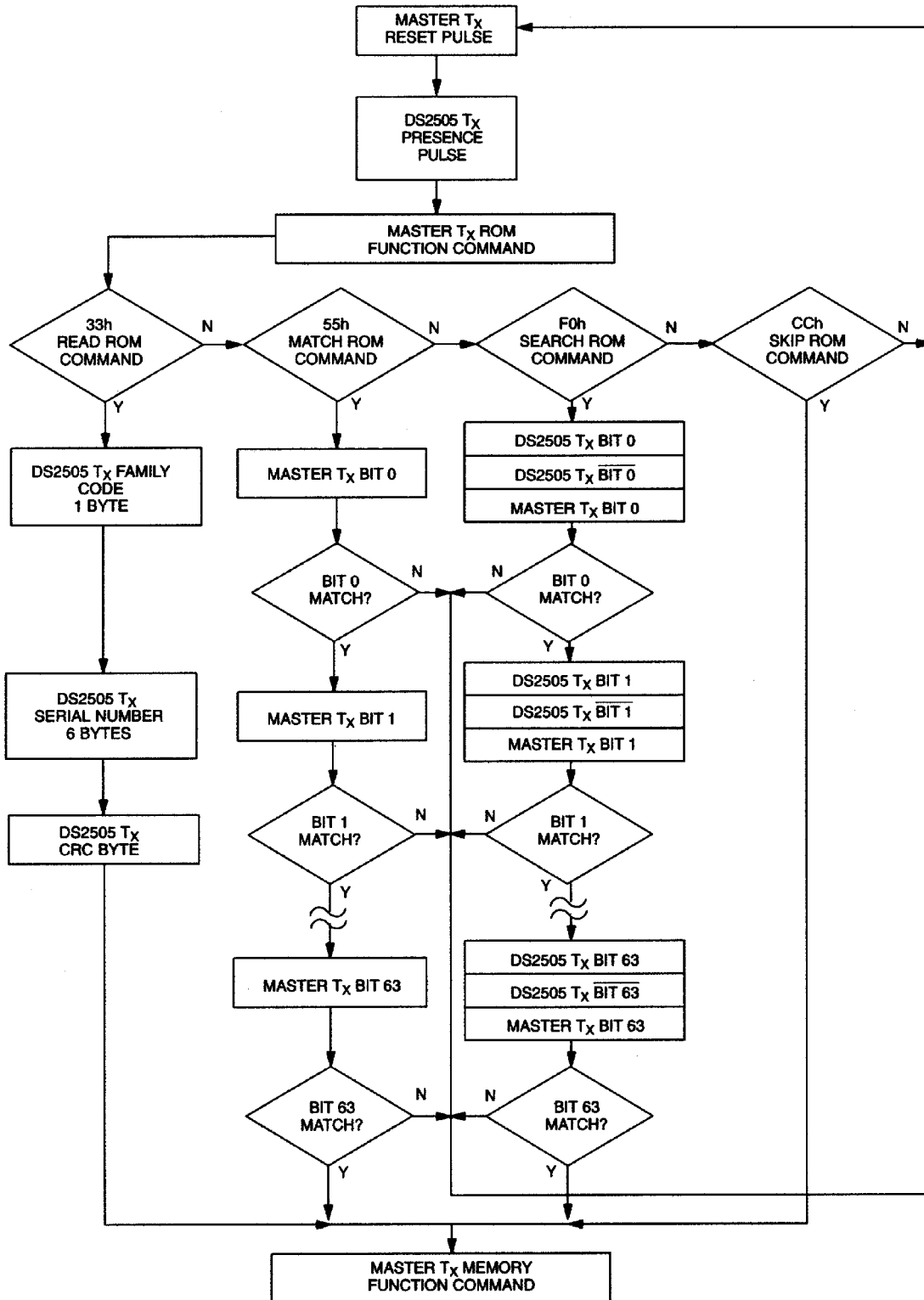


그림 8: ROM 기능 흐름도



(SEE FIGURE 5)

ROM 매치 [55H]

ROM 매치 명령과 64비트 ROM 시퀀스를 이용해서 버스 마스터가 멀티드롭 버스의 특정 DS2505를 지정할 수 있다. 64비트 ROM 시퀀스에 정확히 일치하는 DS2505만이 이후의 메모리 기능 명령에 응답한다. 64비트 ROM 시퀀스와 일치하지 않는 모든 슬레이브는 리셋 펄스를 기다린다. 이 명령은 버스의 단일 또는 다중 장치에 이용할 수 있다.

ROM 스킵 [CCH]

이 명령은 버스 마스터가 64비트 ROM 코드를 제공하지 않고 메모리 기능을 액세스할 수 있도록 함으로써 단일 드롭 버스 시스템에서 시간을 절약한다. 버스에 하나 이상의 슬레이브가 존재하고 ROM 스킵 명령 다음에 읽기 명령을 발행하면 다중 슬레이브가 동시에 전송함으로써 데이터 충돌이 발생할 수 있다(오픈 드레인 풀다운이 wired-AND 결과값을 발생시킨다).

ROM 검색 [F0H]

시스템을 처음으로 작동시키면 버스 마스터가 1-Wire 버스 상의 장치 수나 이들의 64비트 ROM 코드를 알지 못할 수 있다. ROM 검색 명령을 이용함으로써 버스 마스터가 버스의 모든 슬레이브 장치의 64비트 ROM 코드를 식별할 수 있다. ROM 검색 프로세스는 비트를 읽고, 비트의 보수를 읽고, 이 비트의 원하는 값을 쓰는 3단계 루틴을 반복하는 것이다. 버스 마스터가 ROM의 각 비트에 대해 이 3단계 루틴을 수행한다. 한 패스를 완료한 후에는 버스 마스터가 한 장치의 ROM 내용을 알 수 있다. 추가적인 패스로 다른 장치와 이들의 ROM 코드를 식별할 수 있다. 실제 예를 포함한 ROM 검색에 관한 자세한 설명을 위해서는 Book of DS19xx iButton Standards 5장 참조.

1-Wire 시그널링

DS2505는 데이터 무결성을 위해 엄격한 프로토콜을 요구한다. 이 프로토콜은 단일 라인에서 다음과 같은 5개 유형의 시그널링으로 구성된다: 리셋 펄스 및 존재 펄스를 이용한 리셋 시퀀스, 0 쓰기, 1 쓰기, 데이터 읽기, 프로그램 펄스. 존재 펄스를 제외한 이들 모든 신호는 버스 마스터에 의해 발행된다. DS2505와 통신을 시작하기 위해 필요한 초기화 시퀀스는 그림 9와 같다. 리셋 펄스에 이은 존재 펄스는 DS2505가 ROM 명령을 수신할 준비가 되었다는 것을 알려준다. 버스 마스터가 리셋 펄스(t_{RSTL} , 최소 480 μ s)를 전송(TX)한다. 그러면 버스 마스터가 라인을 해제하고 수신 모드(RX)가 된다. 1-Wire 버스가 풀업 저항을 통해 하이 상태로 풀링된다. 데이터 핀에서 상승 에지를 탐지한 후 DS2505가 대기 상태가 되었다가(t_{PDH} , 15~60 μ s) 존재 펄스를 전송한다(t_{PDL} , 60~240 μ s).

읽기/쓰기 타임 슬롯

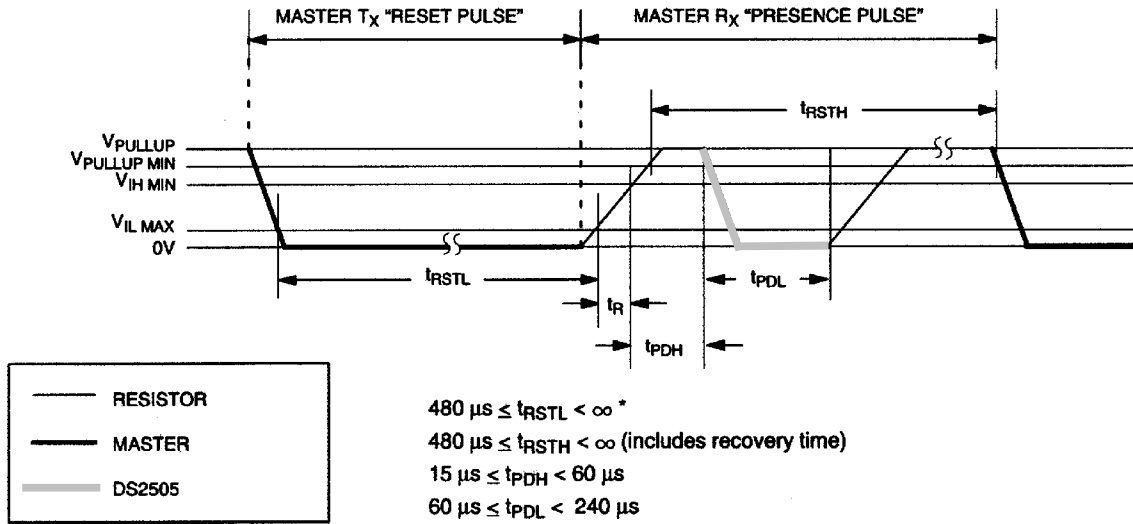
쓰기 및 읽기 타임 슬롯은 그림 10과 같이 정의된다. 모든 타임 슬롯은 마스터가 데이터 라인을 로우로 구동해서 시작된다. 데이터 라인의 하강 에지가 DS2505의 지연 회로를 트리거해서 DS2505를 마스터로 동기화한다. 쓰기 타임 슬롯에는 지연 회로가 DS2505가 언제 데이터 라인을 샘플링할지를 결정한다. 데이터 읽기 타임 슬롯일 때 0을 전송해야 한다면 DS2505가 얼마나 오래 데이터 라인을 로우로 유지해서 마스터가 생성한 1을 겹쳐쓰기할지 지연 회로가 결정한다. 데이터 비트가 1이면 장치가 읽기 데이터 타임 슬롯을 변경하지 않는다.

프로그램 펄스

8비트 스크래치패드에서 EPROM 데이터 또는 상태 메모리로 데이터를 복사하기 위해서는 버스 마스터가 현재 바이트의 CRC가 적절한지 확인 한 후 데이터 라인에 12볼트의 프로그램 펄스가 인가된다. 프로그래밍일 때는 데이터 라인이 풀업 저항을 통해 하이로 유지하는 상태에서 데이터 라인을 역동적으로 12볼트의 프로그래밍 전압으로 구동해서 DS2505로 최소 10mA의 전류를 공급하는 상태로의 전환을 버스 마스터가 제어한다. 이 프로그래밍 전압(그림 11)이 480 μ s 동안 인가되어야 하며, 그런 다음에는 버스 마스터가 풀업 저항을 통해 데이터 라인을 아이들 하이 상태로 되돌린다. 1-Wire EPROM 장치의 고전압 프로그래밍 요구 때문에 프로그래밍 동안에는 DS2505를 이용해서 non-EPROM 기반 1-Wire 장치를 멀티드롭할 수 없다.

non-EPROM 기반 1-Wire 장치의 내부 다이오드가 약 8볼트로 데이터 라인을 클램핑함으로써 이들 장치를 손상시킬 수 있다.

그림 9: 초기화 과정 “리셋 및 존재 펄스”



* 1-Wire 버스의 다른 장치가 인터럽트 시그널링을 마스킹하지 않도록 하기 위해서는 $t_{RSTL} + t_R$ 이 960 μs 미만이어야 한다.

그림 10: 읽기/쓰기 타이밍 다이어그램

Write-one Time Slot

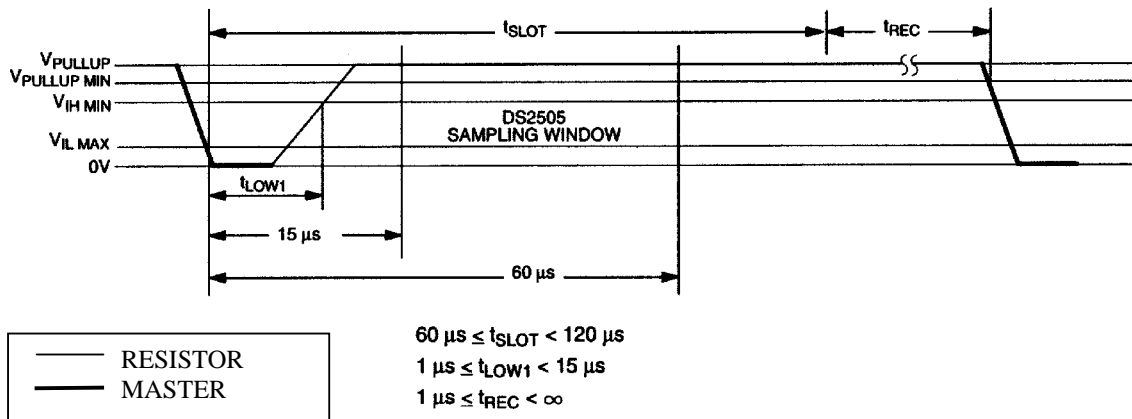
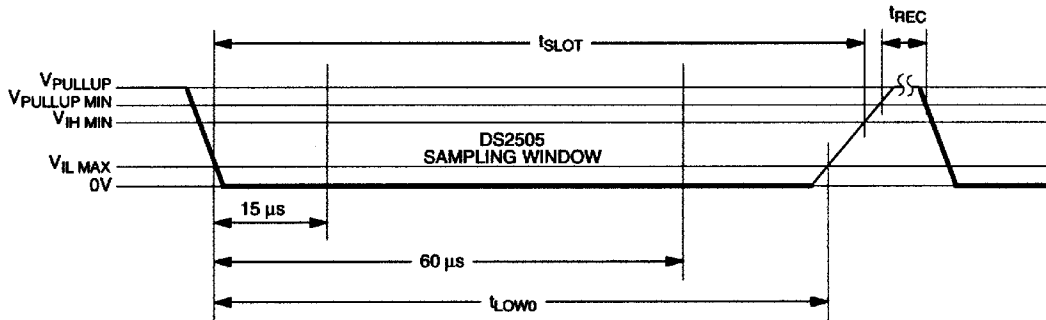


그림 10: 읽기/쓰기 타이밍 다이어그램(계속)

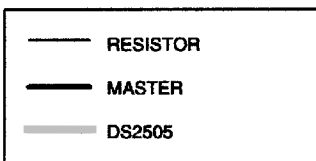
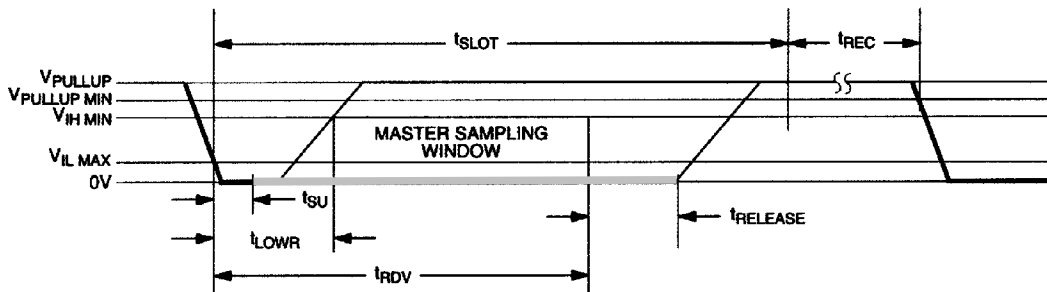
Write-zero Time Slot



$$60 \mu\text{s} \leq t_{\text{LOW0}} < t_{\text{SLOT}} < 120 \mu\text{s}$$

$$1 \mu\text{s} \leq t_{\text{REC}} < \infty$$

Read-Data Time Slot



$$60 \mu\text{s} \leq t_{\text{SLOT}} < 120 \mu\text{s}$$

$$1 \mu\text{s} \leq t_{\text{LOWR}} < 15 \mu\text{s}$$

$$0 \leq t_{\text{RELEASE}} < 45 \mu\text{s}$$

$$1 \mu\text{s} \leq t_{\text{REC}} < \infty$$

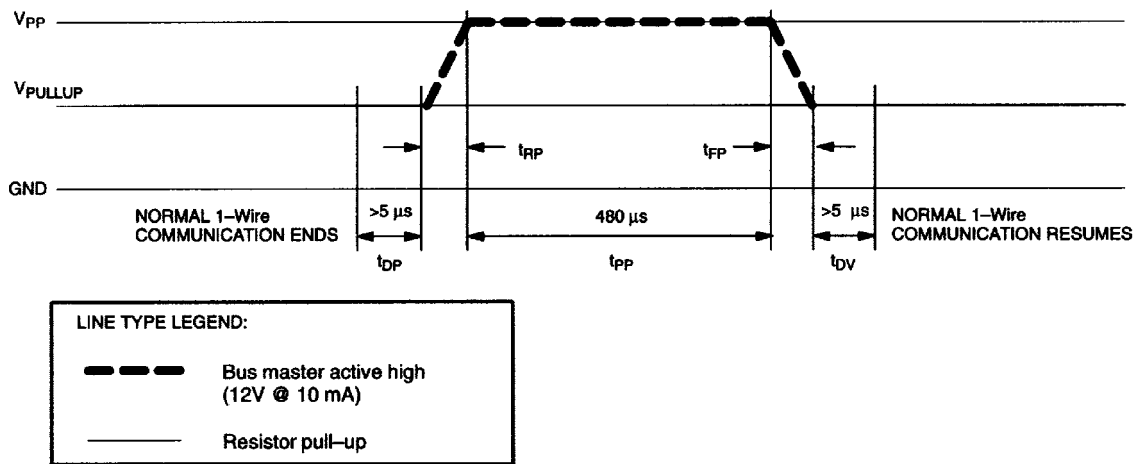
$$t_{\text{RDV}} = 15 \mu\text{s}$$

$$t_{\text{SU}} < 1 \mu\text{s}$$

주의:

데이터 읽기 타임 슬롯의 경우 마스터의 최적 샘플링 지점은 $15\mu\text{s}$ 윈도우를 초과하지 않으면서 되도록 t_{RDV} 기간의 끝에 근접해야 한다. 일회 읽기 슬롯의 경우 이렇게 함으로써 풀업 저항이 라인을 하이로 복구하기 위한 시간을 극대화할 수 있다. 0 읽기 타임 슬롯의 경우에는 가장 빠른 1-Wire 장치가 라인을 해제하기 전에 ($t_{\text{RELEASE}} = 0$) 읽기가 이루어진다.

그림 11: 프로그램 펄스 타이밍 다이어그램



CRC 생성

DS2505에는 두 가지 유형의 CRC(cyclic redundancy check)가 이용된다. 하나는 8비트 유형으로서 64비트 ROM의 최상위 바이트에 저장된다. 버스 마스터가 64비트 ROM의 앞 56비트를 이용해 CRC 값을 계산하고 이를 DS2505에 저장된 값과 비교해서 버스 마스터가 ROM 데이터를 적절히 수신했는지를 판단한다. 이 CRC의 등가 다항식 함수는 $X^8 + X^5 + X^4 + 1$ 이다. DS2505의 ROM을 읽을 때 이 8비트 CRC가 원래(비반전) 형태로 수신된다. 이 CRC가 사전에 지정되어서 ROM에 저장된다.

또 다른 CRC는 16비트 유형으로 표준화된 CRC16 다항식 함수 $X^{16} + X^{15} + X^2 + 1$ 에 따라 생성된다. 데이터 메모리 또는 상태 메모리를 읽을 때 이 CRC를 이용해서 사용자 정의 EPROM 데이터를 보호할 수 있다. 이 CRC가 NV RAM 기반 iButtons에서 iButton 파일 구조의 데이터 패킷을 보호하기 위해 이용되는 것과 동일하다. 8비트 CRC와 달리 16비트 CRC는 언제나 보수(반전) 형태로 돌아간다. 그림 5의 명령 흐름도에서 볼 수 있는 각각의 상황에 DS2505 칩(그림 12) 내부의 CRC 생성기가 새로운 16비트 CRC를 계산한다.

DS2505가 버스 마스터로 이 CRC 값을 제공해서 명령, 어드레스, 데이터의 전송을 확인한다. 메모리 읽기 명령을 이용해 DS2505의 데이터 메모리를 읽을 때는 메모리 끝에 도달했을 때만 16비트 CRC가 전송된다. 이 CRC는 CRC 생성기를 소거하고 명령, 하위 어드레스, 상위 어드레스, 시작 메모리 위치에서 시작해서 구현 데이터 메모리의 끝에 도달할 때까지의 모든 데이터 바이트를 시프트해서 생성된다.

상태 읽기 명령을 이용해 상태 메모리를 읽을 때는 상태 메모리의 각 8바이트 페이지의 끝에 도달했을 때 16비트 CRC가 전송된다. 상태 읽기 흐름도의 첫 패스에는 CRC 생성기를 소거하고 명령 바이트, 하위 어드레스, 상위 어드레스, 시작 메모리 위치에서 해당 EPROM 상태 데이터 페이지의 마지막 바이트에 도달할 때까지의 데이터 바이트를 시프트해서 16비트 CRC가 생성된다. 상태 읽기 흐름도의 이후 패스에는 CRC 생성기를 소거하고 EPROM 상태 데이터 필드의 다음 페이지의 첫 번째 바이트에서 시작해서 이 페이지의 마지막 바이트에 도달할 때까지의 새로운 데이터 바이트를 시프트해서 16비트 CRC가 생성된다.

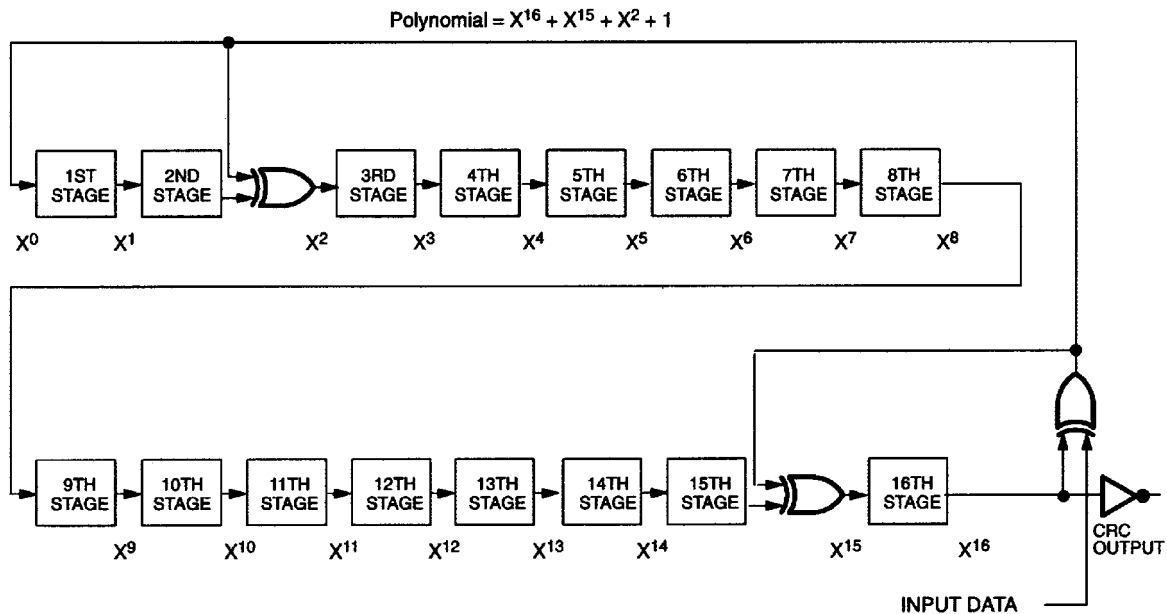
확장 메모리 읽기 명령을 이용해 DS2505의 데이터 메모리를 읽을 때는 두 가지 방법으로 16비트 CRC가 전송된다. 하나는 재지정 바이트에 이은 것이고, 다른 하나는 메모리 데이터 페이지의 마지막 바이트를 읽은 후에 수신한 것이다. 메모리 페이지의 끝에서 생성되는 CRC는 CRC 생성기를 소거하고 EPROM 데이터 페이지의 지정된 시작 메모리 위치에서 이 페이지의 마지막 바이트에 도달할 때까지의 데이터 바이트를 시프트해서 생성된다. 확장 메모리 읽기 흐름도의 첫 패스에는 16비트 CRC 값이 소거된 CRC 생성기에 명령 바

이트와 2개 어드레스 바이트 및 재지정 바이트를 시프트해서 생성된 것이다. 확장 메모리 읽기 흐름도의 이후 패스에는 CRC 생성기를 소거하고 재지정 바이트만을 시프트해서 16비트 CRC가 생성된다.

DS2505에 쓰기 위해서는(데이터 메모리 또는 상태 메모리) 프로그래밍 펄스를 인가하기에 앞서 버스 마스터가 16비트 CRC를 수신해서 데이터 전송이 적절한지를 확인한다. 메모리/상태 쓰기 흐름도의 첫 패스에는 CRC 생성기를 소거하고 명령, 하위 어드레스, 상위 어드레스, 데이터 바이트를 시프트해서 16비트 CRC가 생성된다. 메모리/상태 쓰기 흐름도의 이후 패스에는 DS2505가 자동으로 어드레스 카운터를 증가시키므로 CRC 생성기로 새로운 어드레스를 로드하고 새로운 데이터 바이트를 시프트해서 16비트 CRC가 생성된다.

CRC 값을 비교하고 동작을 계속 수행할지를 결정하는 것은 전적으로 버스 마스터에 의해 이루어진다. DS2505는 저장하거나 계산한 CRC가 버스 마스터가 생성한 값과 일치하지 않을 때 명령 시퀀스가 진행되는 것을 방지하기 위한 회로를 포함하지 않는다. 하드웨어 및 소프트웨어 구현 예를 포함해서 CRC 생성에 관한 자세한 설명을 위해서는 Book of DS19xx iButton Standards 참조.

그림 12: 하드웨어 및 다항식



ABSOLUTE MAXIMUM RATINGS*

▪ Voltage on any Pin Relative to Ground	-0.5V to +12.0V
▪ Operating Temperature	-40°C to +85°C
▪ Storage Temperature	-55°C to +125°C
▪ Soldering Temperature	See J-STD-020A specification

* This is a stress rating only and functional operation of the device at these or any other conditions outside those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

DC ELECTRICAL CHARACTERISTICS ($V_{PUP}=2.8V$ to $6.0V$; $-40^{\circ}C$ to $+85^{\circ}C$)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1	V_{IH}	2.2			V	1, 6
Logic 0	V_{IL}	-0.3		+0.8	V	1, 10
Output Logic Low @ 4 mA	V_{OL}			0.4	V	1
Output Logic High	V_{OH}		V_{PUP}	6.0	V	1, 2
Input Load Current	I_L		5		μA	3
Operating Charge	Q_{OP}			30	nC	7, 8
Programming Voltage @ 10 mA	V_{PP}	11.5		12.0	V	11

CAPACITANCE ($t_A = 25^{\circ}C$)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Data (1-Wire)	$C_{IN/OUT}$			800	pF	9

AC ELECTRICAL CHARACTERISTICS ($V_{PUP}=2.8V$ to $6.0V$; $-40^{\circ}C$ to $+85^{\circ}C$)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Time Slot	t_{SLOT}	60		120	μs	
Write 1 Low Time	t_{LOW1}	1		15	μs	
Write 0 Low Time	t_{LOW0}	60		120	μs	
Read Data Valid	t_{RDV}		15		μs	12
Release Time	$t_{RELEASE}$	0	15	45	μs	
Read Data Setup	t_{SU}			1	μs	5
Recovery Time	t_{REC}	1			μs	
Reset Time High	t_{RSTH}	480			μs	4
Reset Time Low	t_{RSTL}	480			μs	
Presence Detect High	t_{PDH}	15		60	μs	
Presence Detect Low	t_{PDL}	60		240	μs	
Delay to Program	t_{DP}	5			μs	
Delay to Verify	t_{DV}	5			μs	
Program Pulse Width	t_{PP}	480			μs	11
Program Voltage Rise Time	t_{RP}	0.5		5.0	μs	11
Program Voltage Fall Time	t_{FP}	0.5		5.0	μs	11

비고

1. 모든 전압은 접지로 레퍼런스된다.
2. V_{PUP} = 외부 풀업 전압. V_{PUP} 가 3.0V보다 낮으면 읽은 첫 번째 바이트(모든 읽기 명령)이 해당 메모리 내용을 재현하지 못할 수 있다. 그러므로 저전압 조건일 때는 TA2의 최상위 비트 또는 5개 최상위 비트를 1로 설정할 것이 권장된다. 이들 5개 비트가 어드레스 카운터 및 CRC 생성기로 시프트되기 전에 이 칩의 내부 회로가 이들 비트를 다시 0으로 전환한다.
3. 입력 부하는 접지에 대한 것이다.
4. 리셋 하이 시간이 완료될 때까지 추가적인 리셋 또는 통신 시퀀스를 시작할 수 없다.
5. 데이터 읽기 셋업 시간은 비트를 읽기 위해 호스트가 1-Wire 버스를 로우로 풀링해야 하는 시간을 말한다. 데이터가 이 하강 에지의 $1\mu\text{s}$ 동안 유효할 것이 보장되며 최소 $14\mu\text{s}$ 동안 유효하다(1-Wire 버스의 하강 에지로부터 총 $15\mu\text{s}$).
6. V_{IH} 는 외부 풀업 저항과 V_{PUP} 의 함수이다.
7. 5.0V로 72 타임 슬롯 당 30nC
8. $V_{CC} = 5.0\text{V}$ 일 때 V_{CC} 에 대해 $5\text{k}\Omega$ 풀업 및 $120\mu\text{s}$ 의 최대 타임 슬롯
9. 전력을 처음 인가했을 때 데이터 핀의 커패시턴스가 800pF 가 될 수 있다. 전력이 인가된 후 $5\mu\text{s}$ 에 $5\text{k}\Omega$ 저항을 이용해 데이터 라인을 V_{CC} 로 올리면 기생 커패시턴스가 정상적인 통신에 영향을 미치지 않는다.
10. 저전압 조건일 때는 존재 펄스를 보장하기 위해 V_{ILMAX} 를 최저 0.5V로 낮추어야 한다.
11. 메모리 프로그래밍의 동작 온도범위는 $-40^{\circ}\text{C}\sim+50^{\circ}\text{C}$ 이다.
12. 데이터 읽기 타임 슬롯의 경우에는 마스터의 최적 샘플링 지점이 $15\mu\text{s}$ 윈도우를 초과하지 않으면서 되도록 t_{RDV} 기간 끝에 가까워야 한다. 일회 읽기 슬롯의 경우에 이렇게 함으로써 풀업 저항이 라인을 하이로 복구하기 위한 시간을 극대화할 수 있다. 0 읽기 타임 슬롯의 경우에는 가장 빠른 1-Wire 장치가 라인을 해제하기 전에($t_{RELEASE} = 0$) 읽기가 이루어진다.