

マルチ出力ネットワーククロックジェネレータ

概要

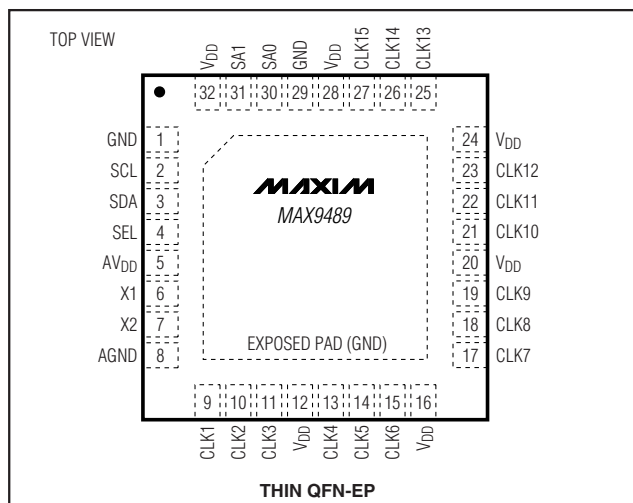
クロックジェネレータのMAX9489は、ネットワークルータに最適なマルチクロック出力を備えています。MAX9489は15個のバッファ付きクロック出力を備えており、各出力は133MHz、125MHz、100MHz、83MHz、80MHz、66MHz、62.5MHz、50MHz、33MHz、または25MHzの10個の異なる周波数にプログラム可能です。出力のすべてはシングルエンドのLVCMOSです。MAX9489はI²C™インタフェースを通して制御されます。パワーアップ時、出力CLK1の周波数は3レベル入力SELによって100MHz、125MHz、または133MHzに設定されますが、他のすべての出力はロジックローです。その後、すべての出力は、I²Cを通して選択可能な任意の周波数にプログラム可能となります。さらに、すべての出力周波数は、I²Cインタフェースを通して5%または10%のマージンで上下に調整可能です。

MAX9489は、水晶または外部クロック信号のどちらかの25MHzリファレンスを必要とします。MAX9489は、+3.0V~+3.6Vの電源を必要とし、放熱用エクスポーズドパッド付きの32ピン薄型QFNパッケージで提供されます。

アプリケーション

ネットワークルータ
 テレコム/ネットワーク機器
 ストレージエリアネットワーク/
 ネットワーク接続ストレージ

ピン配置



Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI²C部品を購入することにより、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたこととなります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

特長

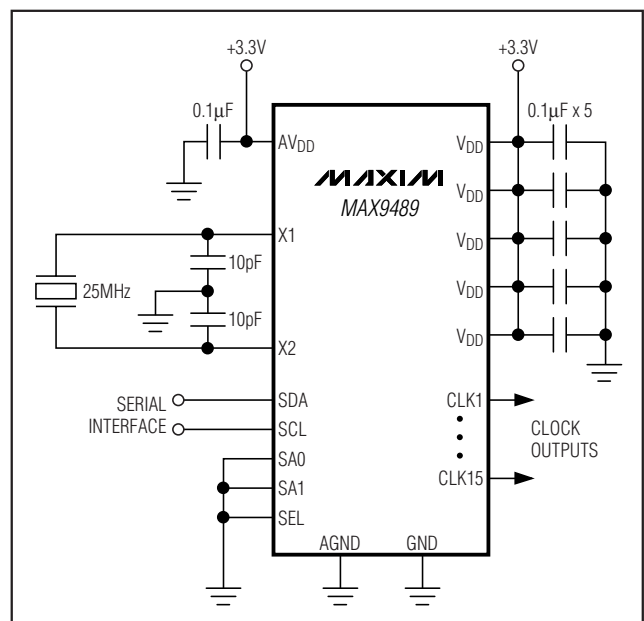
- ◆ 15のLVCMOS出力(133MHz、125MHz、100MHz、83MHz、80MHz、66MHz、62.5MHz、50MHz、33MHz、または25MHzの10個の異なる周波数にプログラム可能)
- ◆ 25MHzの水晶、またはクロック入力リファレンス
- ◆ I²Cインタフェースを通してプログラム可能
- ◆ プログラム可能な出力周波数マージン：
±5%または±10%
- ◆ CLK1出力のピン選択可能なパワーアップ時の周波数：
100MHz、125MHz、または133MHz
- ◆ 低出力周期ジッタ：48ps_{RMS}以下
- ◆ 出力間スキュー：200ps以下
- ◆ 32ピン、5mm x 5mm x 0.8mm、
薄型QFNパッケージ
- ◆ 電源：+3.0V~+3.6V
- ◆ 電力損失：450mW(typ)
- ◆ 拡張温度範囲：-40°C~+85°C

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX9489ETJ	-40°C to +85°C	32 Thin QFN-EP* 5mm x 5mm x 0.8mm

* EP = エクスポーズドパッド

標準動作回路



マルチ出力ネットワーククロックジェネレータ

MAX9489

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +4.0V
 AGND to GND-0.3V to +0.3V
 All Other Pins to GND-0.3V to (V_{DD} + 0.3V)
 Short-Circuit Duration for all CLK_ OutputsContinuous
 Continuous Power Dissipation (T_A = +70°C)
 32-Pin Thin QFN (derate 21.3mW/°C above +70°C)1702mW

Storage Temperature Range-65°C to +150°C
 Maximum Junction Temperature+150°C
 Operating Temperature Range-40°C to +85°C
 ESD Rating (Human Body Model)±2kV
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{DD} = AV_{DD} = +3.0V to +3.6V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = AV_{DD} = +3.3V, T_A = +25°C.)
 (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CLOCK INPUT (X1)						
Input High Level	V _{IH1}		2.0			V
Input Low Level	V _{IL1}				0.8	V
Input Current	I _{IL1} , I _{IH1}	V _{X_} = 0 to V _{DD}	-5		+5	μA
CLOCK OUTPUTS (CLK_)						
Output High Level	V _{OH}	I _{OH} = -100μA	V _{DD} - 0.2			V
		I _{OH} = -4mA	2.4			
		I _{OH} = -8mA	2.1			
Output Low Level	V _{OL}	I _{OL} = 100μA			0.2	V
		I _{OL} = 4mA			0.4	
		I _{OL} = 8mA			0.75	
Output Short-Circuit Current	I _{OS}	CLK_ = V _{DD} or GND			45	mA
Output Capacitance	C _O	(Note 2)			5	pF
TRI-LEVEL INPUTS (SEL, SA0, SA1)						
Input High Level	V _{IH2}		2.5			V
Input Low Level	V _{IL2}				0.8	V
Input Open Level	V _{IO2}		1.35		1.90	V
Input Current	I _{IL2} , I _{IH2}	V _{IL2} = 0 or V _{IH2} = V _{DD}	-10		+10	μA
SERIAL INTERFACE (SCL, SDA) (Note 3)						
Input High Level	V _{IH}		0.7 x V _{DD}		V _{DD}	V
Input Low Level	V _{IL}		0		0.3 x V _{DD}	V
Input leakage Current	I _{IH} , I _{IL}		-1		+1	μA
Low-Level Output	V _{OL}	I _{SINK} = 4mA	0		0.4	V
Input Capacitance	C _i	(Note 2)			10	pF

マルチ出力ネットワーククロックジェネレータ

MAX9489

DC ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = AV_{DD} = +3.0V$ to $+3.6V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = AV_{DD} = +3.3V$, $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLIES						
Digital Power-Supply Voltage	V_{DD}		3.0		3.6	V
Analog Power-Supply Voltage	AV_{DD}		3.0		3.6	V
Total Supply Current		$C_L = 10pF$ (with all CLK_ outputs at 133MHz)		134	160	mA
Total Power-Down Current	I_{PD}	All clock registers = 0x00		38	47	mA

AC ELECTRICAL CHARACTERISTICS

($V_{DD} = AV_{DD} = +3.0V$ to $+3.6V$, $C_L = 10pF$, unless otherwise noted. Typical values are at $V_{DD} = AV_{DD} = +3.3V$, $T_A = +25^{\circ}C$, with all CLK_ outputs at 133MHz.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
OUTPUTS (CLK_)						
Crystal Frequency Tolerance	Δf_A		-50		+50	ppm
Output-to-Output Skew	t_{SKO}	Any two CLK_ outputs			200	ps
Rise Time	t_{R1}	20% V_{DD} to 80% V_{DD}		1.8	2.5	ns
Fall Time	t_{F1}	80% V_{DD} to 20% V_{DD}		1.8	2.5	ns
Duty Cycle			40		60	%
Output Period Jitter	J_P	RMS		53		ps
Power-Up Time	t_{PO}	$V_{DD} > 2.8V$ to PLL lock		2		ms
PLL Lockup Time	t_{Lock}	PLL dividing ratio set to PLL lock		20		μs
Margin Accuracy		Select $\pm 5\%$ or $\pm 10\%$ margin	-1		+1	%

マルチ出力ネットワーククロックジェネレータ

MAX9489

SERIAL INTERFACE TIMING

($V_{DD} = AV_{DD} = +3.3V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$.) (Note 1, Figure 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock	f _{SCL}				400	kHz
Bus Free Time Between STOP and START Conditions	t _{BUF}		1.3			μs
Hold Time, Repeated START Condition	t _{HD,STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU,STA}		0.6			μs
STOP Condition Setup Time	t _{SU,STO}		0.6			μs
Data Hold Time Master	t _{HD,DAT}	(Note 4)	15		900	ns
Data Hold Time Slave	t _{HD,DAT}	(Note 4)	15		900	ns
Data Setup Time	t _{SU,DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.7			μs
Rise Time of SDA and SCL, Receiving	t _R	(Notes 2, 5)	20 + 0.1C _b		300	ns
Fall Time of SDA and SCL, Receiving	t _F	(Notes 2, 5)	20 + 0.1C _b		300	ns
Fall Time of SDA, Transmitting	t _{F,TX}	(Notes 2, 5)	20 + 0.1C _b		250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Notes 2, 6)	0		50	ns
Capacitive Load for Each Bus Line	C _b	(Note 2)			400	pF

Note 1: All DC parameters tested at $T_A = +25^{\circ}C$. Specifications over temperature are guaranteed by design.

Note 2: Guaranteed by design.

Note 3: No high output level is specified but only the output resistance to the bus. For I²C, the high-level voltage is provided by pullup resistors on the bus.

Note 4: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) to bridge the undefined region of SCL's falling edge.

Note 5: C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3(V_{DD}) and 0.7(V_{DD}).

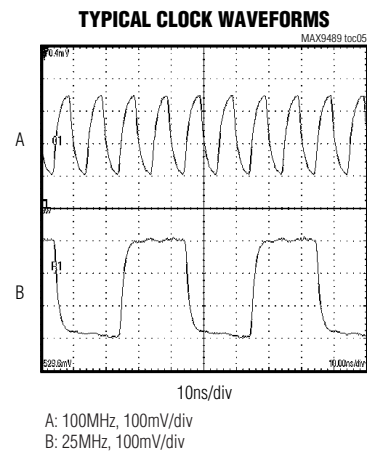
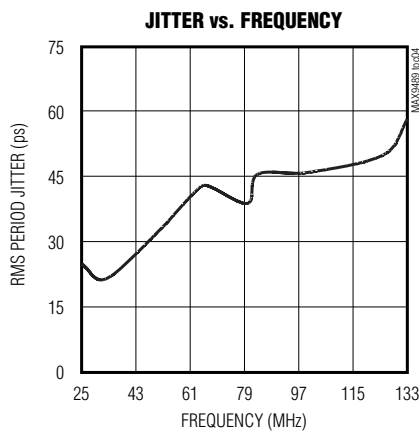
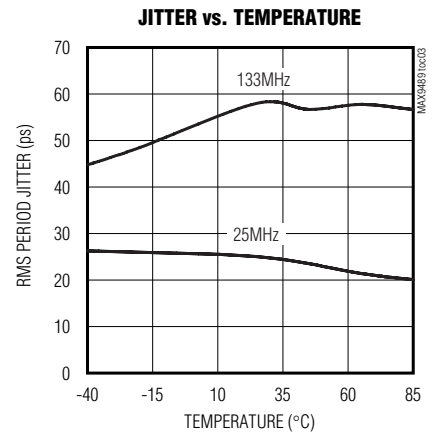
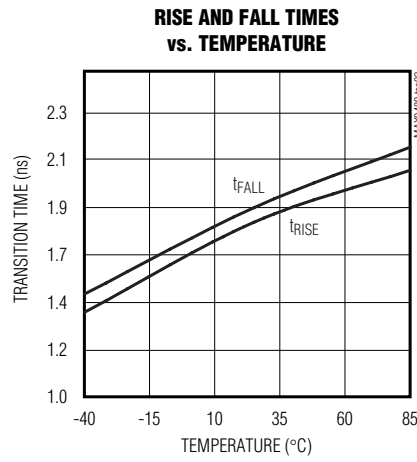
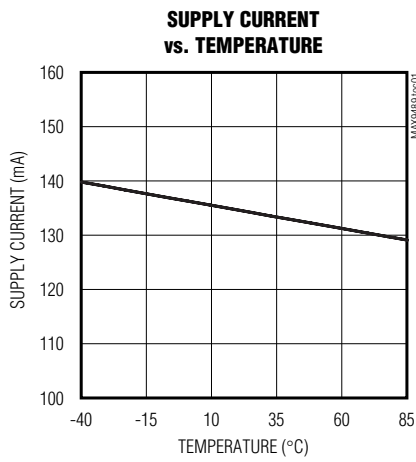
Note 6: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

マルチ出力ネットワーククロックジェネレータ

MAX9489

標準動作特性

($V_{DD} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



マルチ出力ネットワーククロックジェネレータ

MAX9489

端子説明

端子	名称	機能
1, 29	GND	デジタルグランド
2	SCL	シリアルクロック入力。シリアルインタフェースクロック
3	SDA	シリアルデータI/O。シリアルインタフェースのデータI/O
4	SEL	CLK1の周波数選択。パワーアップ時のCLK1の周波数を選択します。SELは3レベル入力です。CLK1 = 100MHzの場合は、SELをハイにしてください。CLK1 = 125MHzの場合は、SELを開放のままにしてください。CLK1 = 133MHzの場合は、SELをローにしてください。
5	AVDD	アナログ回路の電源入力
6	X1	水晶接続端子またはクロック入力。25MHzの水晶を使用する場合は、これをX1とX2に接続してください。リファレンスクロックを使用する場合は、クロック信号をX1に接続し、X2をフローティング状態にしてください。[標準動作回路]をご覧ください。
7	X2	
8	AGND	アナログGND
9	CLK1	クロック1出力
10	CLK2	クロック2出力
11	CLK3	クロック3出力
12, 16, 20, 24, 28, 32	VDD	デジタル回路の電源入力
13	CLK4	クロック4出力
14	CLK5	クロック5出力
15	CLK6	クロック6出力
17	CLK7	クロック7出力
18	CLK8	クロック8出力
19	CLK9	クロック9出力
21	CLK10	クロック10出力
22	CLK11	クロック11出力
23	CLK12	クロック12出力
25	CLK13	クロック13出力
26	CLK14	クロック14出力
27	CLK15	クロック15出力
30	SA0	シリアルインタフェースのアドレス選択入力。SA0とSA1は、表1に示すように、シリアルインタフェースのアドレスを選択します。SA0とSA1は、3レベル入力で、9種類のアドレスの組合せが可能です。
31	SA1	
EP	—	エクスポーズドパッド。GNDに接続してください。

マルチ出力ネットワーククロックジェネレータ

詳細

クロックジェネレータのMAX9489は、15のクロック信号CLK1~CLK15を生成します。各出力は、制御レジスタによって133MHz、125MHz、100MHz、83MHz、80MHz、66MHz、62.5MHz、50MHz、33MHz、または25MHzの10種類の異なる周波数にプログラム可能です。さらに、すべての出力の周波数は、周波数マージン制御レジスタによって±5%または±10%の変更をすることができます。パワーアップ時のCLK1の周波数は、ピンによって100MHz、125MHz、または133MHzにプログラム可能で、他のすべてのCLK出力はロジックローです。必要な25MHz入力リファレンス周波数は、水晶または外部クロック信号のどちらに合わせることもできます。図1はMAX9489の機能ブロック図を示します。

MAX9489は、そのI²Cシリアルインタフェースを通してプログラムされます。I²Cアドレスは2つの3レベル入力によって選択され、最大9つのMAX9489デバイスが同じI²Cバスを共有することができます。電源とロジックインタフェース信号は+3.0V~+3.6Vです。MAX9489の動作状態は、制御レジスタへの書込みによって設定され、制御レジスタの読取りによって読み取られます。

リファレンス周波数入力

MAX9489にはリファレンス周波数が必要です。リファレンスは、25MHzの水晶または外部クロック信号とすることができます。25MHzの水晶を使用する場合、これをX1とX2の間に接続し、10pFのコンデンサをX1とX2

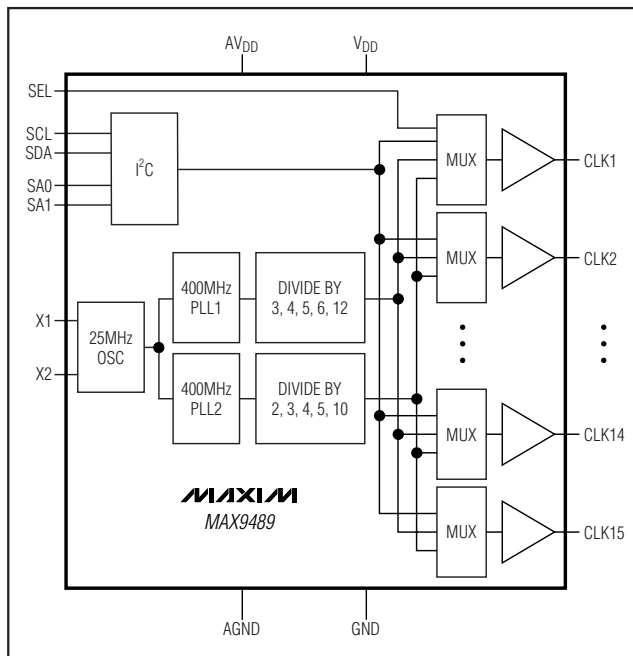


図1. MAX9489のファンクションダイアグラム

からGNDに接続してください（「標準動作回路」をご覧ください）。外部クロックを使用する場合、信号をX1に接続し、X2をフローティング状態にしてください。

シリアルインタフェース

MAX9489はI²Cインタフェースを通してプログラムされます。このインタフェースは、クロック、SCL、及び双方向データラインSDAを備えています。I²Cシステムでは、マスタ（通常はマイクロコントローラ）が、スレーブデバイスとの間で双方向のデータ転送を開始し、データ転送に同期したクロックを生成します。

MAX9489はスレーブデバイスとして動作します。SDA及びSCL信号のタイミングを図2の「シリアルインタフェースのタイミング」図に詳しく示します。SDAは、入力としてもオープンドレイン出力としても動作します。SDAには、通常4.7kΩのプルアップ抵抗器が必要です。SCLは入力としてのみ動作します。2線式バスに複数のマスタが存在する場合や、単一マスタシステム内のマスタがオープンドレインSCL出力を備えている場合は、SCLに通常4.7kΩのプルアップ抵抗器が必要です。

ビット転送

各SCLクロックサイクルで1データビットが転送されます。SCLがハイの間は、SDAが安定な状態を保つ必要があります。SCLがハイの間のSDAの変化がSTART及びSTOP制御信号になるからです。SDAとSCLはともにアイドル状態でハイです。

スタート及びストップ条件

マスタは、SCLがハイの間にSDAをハイからローに遷移させることで、これをSTART条件として伝送開始信号を送出します（図2）。通信終了後、マスタは、SCLがハイの間にSDAをローからハイに遷移させることでSTOP条件を送出します。その後、バスは次の伝送に解放されます。

アクノレッジビット

各8ビットが転送された後、受信デバイスは9番目のクロックパルスの持続期間中にSDAをローに駆動することによってアクノレッジ信号を発生します。受信デバイスがSDAをローに駆動しなければ、ノットアクノレッジが発生します（図3）。

デバイスアドレス

MAX9489は、2つの3レベルアドレス入力SA1とSA0によってピン設定される7ビットのデバイスアドレスを備えています。デバイスアドレスを選択するためには、表1に示すように、SA1とSA0をV_{DD}、GNDに接続するか、または開放状態にしてください。MAX9489は、9つを

マルチ出力ネットワーククロックジェネレータ

MAX9489

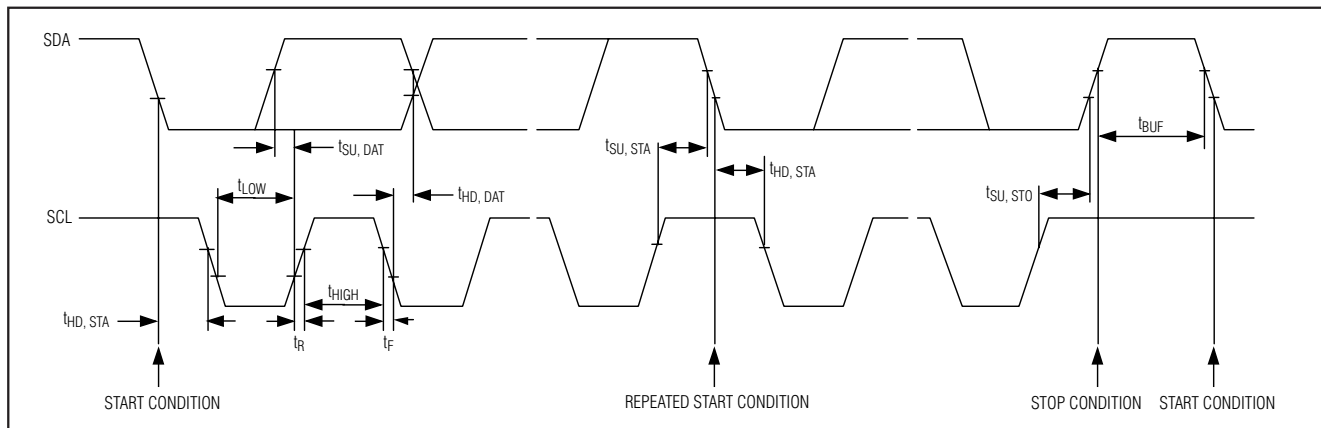


図2. シリアルインタフェースのタイミング

表1. デバイスのI²Cアドレスの選択

PIN		DEVICE ADDRESS
SA1	SA0	
Open	V _{DD}	110 0010
Open	GND	110 0100
Open	Open	110 1000
GND	V _{DD}	111 0000
GND	GND	110 1001
GND	Open	110 1100
V _{DD}	V _{DD}	111 0100
V _{DD}	GND	111 0010
V _{DD}	Open	111 0001

限度とするアドレスを備えているため、最大9つのMAX9489デバイスが同じインタフェースバスを共有することができます。

MAX9489への書き込み

MAX9489への書き込みは、START条件で始まります(図3と4)。START条件に続いて、SCLの各パルスがデータの1ビットを転送します。最初の7ビットはデバイスアドレスを構成します(「デバイスアドレス」の項参照)。8番目のビットは書き込み動作を示すローです。その後、アクノレッジビットがMAX9489によって生成され、MAX9489がそのアドレスを認識していることを伝えます。次の8ビットは、レジスタアドレスバイトを構成し(表2)、次のデータバイトを受信する制御レジスタを決定します。つぎに、MAX9489はもう1つのアクノレッジビットを生成します。さらに、データバイトは、MAX9489のアドレス指定されたレジスタに書き込まれます。MAX9489が送出するアクノレッジビットに続いて、マスタが所要のSTOP条件を送出することで通信が終了します。デバイスに再び書き込むためには、書き込み手順全体を繰り返してください。MAX9489ではI²Cバースト書き込みモードがサポートされていません。

MAX9489セットアップの読取り

MAX9489レジスタからの読取りは、書き込みビットをローに設定した状態でSTART条件及びデバイスアドレスで始まり、つぎに読取り対象のレジスタアドレスに続いて書き込みビットをハイに設定した状態でSTART条件とデバイスアドレスが反復されて、最後にデータがシフトアウトされます(図4)。START条件に続く最初の7ビットは、デバイスアドレスを構成します。8番目のビットはローで、(次のレジスタアドレスに書き込むための)書き込み動作を示します。その後、アクノレッジビットがMAX9489によって生成され、MAX9489がそのアドレスを認識していることを伝えます。次の8ビットは、レジスタアドレスを構成し、読み取るデータの場所を示し、これに続くもう1つの、MAX9489によって再度アクノレッジが生成されます。つぎに、マスタはSTART条件を繰り返し生成し、デバイスアドレスを再び指定します。このときR/Wビットはハイで、読取り動作を指示します(図4)。MAX9489は、アクノレッジビットを生成してMAX9489がそのアドレスを認識していることを伝えます。その後、データバイトがMAX9489からクロックアウトされます。マスタが生成する(マスタが要求しない)最終ノットアクノレッジビット、及びマスタがさらに生成するSTOP条件によって通信が終了します。デバイスから再び読み取るためには、読取り手順全体を繰り返します。MAX9489ではI²Cバースト読取りモードがサポートされていません。

デバイス制御レジスタ

MAX9489は、17個の制御レジスタを備えています。これらのレジスタのアドレスと機能を表2に示します。最初の16個のレジスタは15の出力を設定するために使用され、レジスタ0x00はすべての出力を同時に制御し、残りのレジスタは各出力に割り当てられます。レジスタ0x10は、周波数マージン制御にアクセスします。その他すべてのアドレスは予備であり、使用することはできません。

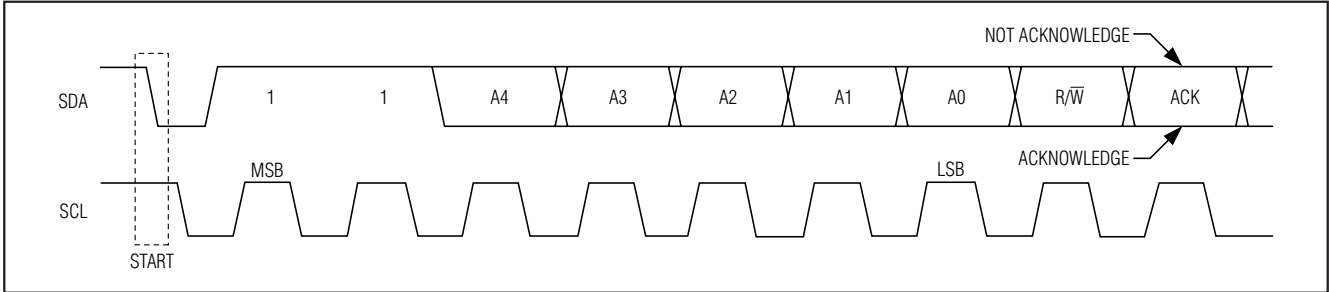


図3. I²Cアドレス及びアクノレッジ

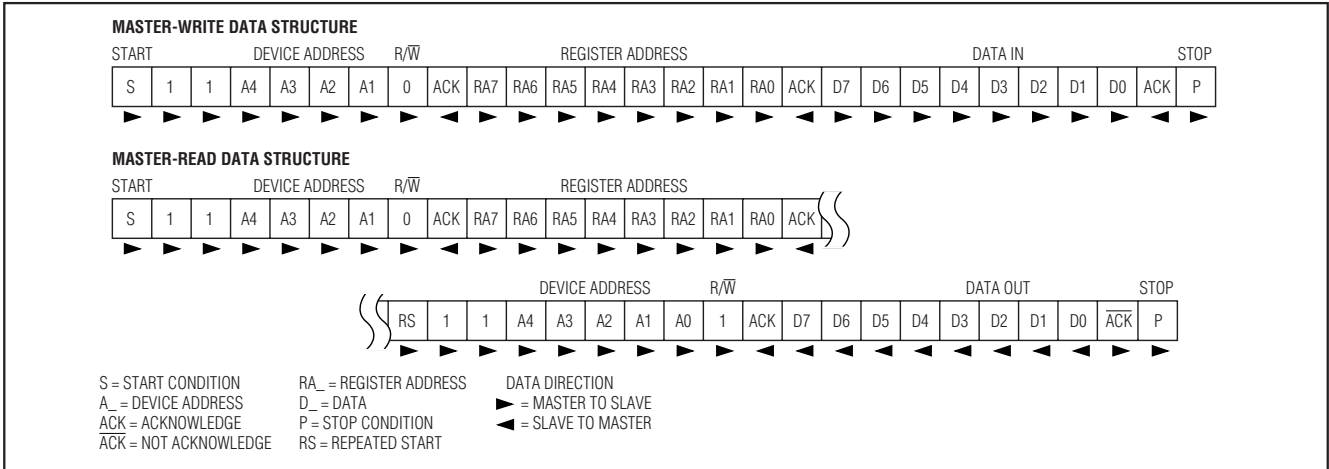


図4. I²Cインタフェースのデータ構造

クロック周波数の設定

各CLK_出力は、対応する制御レジスタを備えています。レジスタの内容は、レジスタに対応する出力の周波数を決定します。表3はレジスタの周波数割当てを示します。例：CLK3を80MHzにプログラムするためには、まず、R/Wをローにしてデバイスアドレスを指定し、つぎに、レジスタのアドレスバイト0x03に続いてデータバイト0x05を送出します(図5)。

周波数マージンの制御

周波数マージンは、制御レジスタ0x10から制御されます。表4は選択可能なマージンの対応を示します。選択されたマージンはすべての出力に適用されます。

例：すべてのクロック出力を5%増加するためには、デバイスアドレスを指定した後、レジスタのアドレスバイト0x10に続いてデータバイト0x01を送出します。

電源

MAX9489では、3.0V~3.6V電源をV_{DD}に接続し、3.0V~3.6VをAV_{DD}に接続します。

デバイスの各V_{DD}を0.1μFのコンデンサでバイパスしてください。また、デバイスのAV_{DD}を0.1μFのコンデンサでバイパスしてください。さらに、電源を回路基板に接続する位置に10μFのバルクバイパスコンデンサを配置してください。

基板のレイアウトに関して

すべての高周波デバイスの場合と同様に、基板のレイアウトは適切な動作にとってきわめて重要です。水晶はX1とX2のできる限り近くに配置し、水晶リード周辺の寄生容量を最小にしてください。エクスポーズドパッドがGNDに十分に接触するようにしてください。

チップ情報

TRANSISTOR COUNT: 15,219
PROCESS: CMOS

マルチ出力ネットワーククロックジェネレータ

MAX9489

表2. レジスタのアドレスマップ

REGISTER ADDRESS BYTE	REGISTER FUNCTION
0x00	Broadcast to all CLK registers
0x01	CLK1
0x02	CLK2
0x03	CLK3
0x04	CLK4
0x05	CLK5
0x06	CLK6
0x07	CLK7
0x08	CLK8
0x09	CLK9
0x0A	CLK10
0x0B	CLK11
0x0C	CLK12
0x0D	CLK13
0x0E	CLK14
0x0F	CLK15
0x10	Frequency margin control
0x11 – 0xFF	Reserved, do not use

表3. 出力周波数の制御

CLK_ REGISTER DATA BYTE	OUTPUT FREQUENCY (MHz)
0x00	Logic low*
0x01	133.3
0x02	125
0x03	100
0x04	83.3
0x05	80
0x06	66.6
0x07	62.5
0x08	50
0x09	33
0x0A	25

* CLK2~CLK15のパワーアップ時のデフォルト

表4. 出力周波数のマージン制御

MARGIN REGISTER DATA BYTE	OUTPUT FREQUENCY (MHz)
0x00	0%
0x01	5%
0x02	10%
0x07	-5%
0x06	-10%



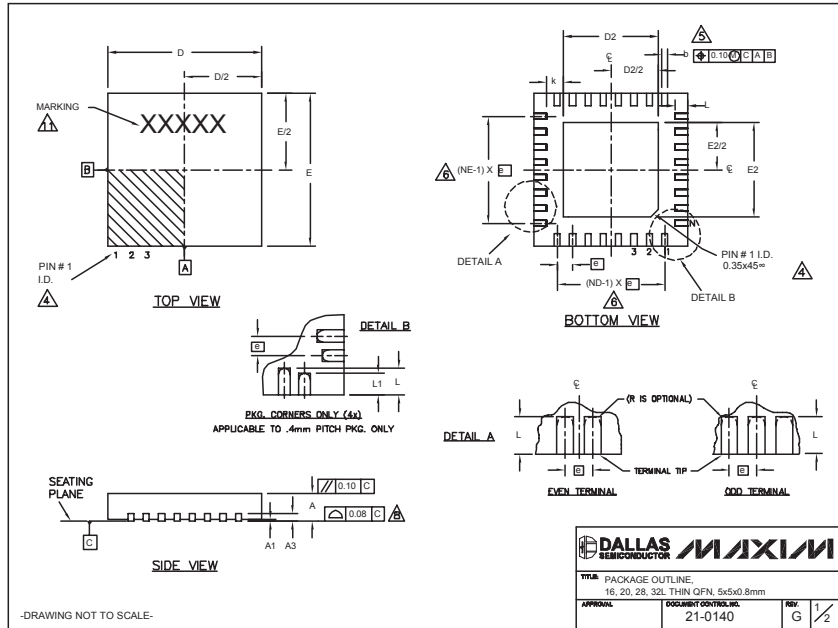
図5. 例 — CLK3を80MHzに設定

マルチ出力ネットワーククロックジェネレータ

MAX9489

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



COMMON DIMENSIONS												
PKG.	16L 5x5			20L 5x5			28L 5x5			32L 5x5		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A3	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.25	0.30	0.20	0.25	0.30	0.30
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
L1	-	-	-	-	-	-	-	-	-	-	-	-
N	16			20			28			32		
ND	4			5			7			8		
NE	4			5			7			8		
JEDEC	WHHB			WHHC			WHHD-1			WHHD-2		

EXPOSED PAD VARIATIONS												
PKG. CODES	D2			E2			L	DOWN BONES ALLOWED				
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.						
T1655-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35	0.40	Y				
T2855-1	3.15	3.25	3.35	3.15	3.25	3.35	**	NO				
T2855-2	2.60	2.70	2.80	2.60	2.70	2.80	**	NO				
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35	**	YES				
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80	**	YES				
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80	**	NO				
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35	**	NO				
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80	**	YES				
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35	0.40	Y				
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35	**	NO				
T3255-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				

**SEE COMMON DIMENSIONS TABLE

DALLAS SEMICONDUCTOR MAXIM

TITLE: PACKAGE OUTLINE:
16, 20, 28, 32L THIN QFN, 5x5x0.8mm

APPROVAL: DOCUMENT CONTROL, INC. 21-0140

REV. G 1/2

-DRAWING NOT TO SCALE-

- NOTES:
1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
 2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
 3. N IS THE TOTAL NUMBER OF TERMINALS.
- △ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- △ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- △ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- △ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-1, T2855-3 AND T2855-6.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.
- △ MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 11

© 2004 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products.