

MAX9485の評価キット

概要

MAX9485の評価キット(EVキット)は、プログラマブルな複数出力クロックジェネレータのMAX9485を評価します。このEVキットは、27MHz固定のリファレンスクロック出力のCLK0と、バッファ付きの2つのクロック出力のCLK1およびCLK2を備えています。出力周波数は、I²Cインタフェースまたはハードワイヤ端子を通じて選択されるサンプリング周波数の256倍、384倍、または768倍です。サンプリング周波数は、12kHz、32kHz、44.1kHz、48kHz、64kHz、88.2kHz、および96kHzです。このEVキットは3.3Vの単一電源で動作します。

特長

- ◆ 単一低電圧源：3.3V
- ◆ 制御された50Ω同一プレーン配線パターン
- ◆ I²Cインタフェースまたは搭載ハードワイヤオプションによる出力クロックの選択
- ◆ 完全実装および試験済み

型番

PART	TEMP RANGE	IC PACKAGE
MAX9485EVKIT	0°C to +70°C	20 TSSOP

部品リスト

DESIGNATION	QTY	DESCRIPTION
C1, C2, C3	3	10μF ±20%, 6.3V X5R ceramic capacitors (0805) Taiyo Yuden JMK212BJ106MG TDK C2012X5R0J106M
C4, C5, C6, C9, C10, C11	6	0.01μF ±10%, 16V X7R ceramic capacitors (0402) Taiyo Yuden EMK105BJ103K or Murata GRM36X7R103K016
C7, C8, C17, C18, C19	0	Not installed, ceramic capacitors (0402)
C12, C13, C14	3	0.001μF ±10%, 50V X7R ceramic capacitors (0402) TDK C1005X7R1H102K
C15, C16	2	4.0pF ±0.25pF, 50V C0G ceramic capacitors (0402) TDK C1005C0G1H4R0CT

DESIGNATION	QTY	DESCRIPTION
C20	0	Not installed, ceramic capacitor (0603)
JU1-JU8	8	3-pin headers
JU9, JU10, JU11	3	2-pin headers
R1	0	Not installed, resistor (0402)
U1	1	MAX9485EUP (20-pin TSSOP)
INPUT, CLK0, CLK1, CLK2	4	SMA edge-mount connectors
Y1	1	Through-hole crystal resonator (with 14pF load capacitance) Ecliptek ECX-5527-27.000M
Y2	0	Not installed, SMD crystal resonator
—	8	Shunts
—	1	MAX9485 PC board

部品メーカー

SUPPLIER	PHONE	FAX	WEBSITE
Ecliptek	800-433-1280	714-433-1234	www.ecliptek.com
Murata	770-436-1300	770-436-3030	www.murata.com
Taiyo Yuden	800-348-2496	847-925-0899	www.t-yuden.com
TDK	847-803-6100	847-390-4405	www.component.tdk.com

注：これらの部品メーカーにお問い合わせする際には、MAX9485を使用していることをお知らせください。

MAX9485の評価キット

クイックスタート

MAX9485のEVキットは、完全実装および試験済みです。接続がすべて完了するまで、電源をオンにしないでください。

推奨機器

- 3.3V、500mAの電源
- オプションの0.0V~3.0Vの10mA電源(VCXO同調用)
- 周波数カウンタ/500MHzオシロスコープ

手順

- 1) シャントがJU1とJU2の間に配置されていないことを確認してください。シャントがJU3の端子1と端子2の間に配置されていることを確認してください(CLK1およびCLK2を73.728MHzに設定してください)。
- 2) シャントがJU4にはなくて、JU5の端子1と端子2の間に配置されていることを確認してください(CLK0、CLK1およびCLK2をイネーブルにしてください)。
- 3) シャントがJU6の端子1と端子2の間(ハードワイヤモード)、JU7の端子1と端子2の間(内部電源リセット)、およびJU8の端子1と端子2の間に配置されていることを確認してください。
- 4) シャントがJU9、JU10、およびJU11の間に配置されていないことを確認してください。
- 5) 周波数カウンタをCLK0、またはCLK1、またはCLK2のSMAコネクタに接続してください。
- 6) 電源の正端子をVDD、VDDP、およびDVDDパッドに接続してください。
- 7) 電源グランドをGNDパッドに接続してください。
- 8) 電源をオンにして、周波数カウンタをイネーブルしてください。
- 9) 出力周波数CLK0が約27.000MHzで、CLK1およびCLK2が約73.728MHzであることを確認してください。

詳細

MAX9485のEVキットは、プログラマブルな複数出力クロックジェネレータのMAX9485を搭載しています。出力CLK0は27MHz固定リファレンス出力を備え、CLK1およびCLK2はI²Cインタフェースまたは搭載ハードワイヤオプションを通じて選択されるサンプリング周波数の256倍、384倍、または768倍の2つのバッファ付きクロック出力を備えています。MAX9485デバイスのMODE、RST、およびTUN端子を制御するジャンパJU6、JU7、およびJU8を搭載しています。JU6の機能については表1を、JU7の機能については表2を、JU8の機能については表3を参照してください。

ハードワイヤモード

このEVキットは、搭載ハードワイヤの選択オプションを備えています。ジャンパJU1~JU5は、それぞれ端子SCL/FS0、SDA/FS1、FS2、SAO2、およびSAO1を制御します。このEVキットをハードワイヤモードに設

定するには、シャントがジャンパJU6の端子1と端子2の間に配置されていることを確認してください(MODE = ハイ)。ジャンパJU1はサンプリング周波数を制御し、ジャンパJU2は周波数スケーリングファクタを制御し、ジャンパJU3はサンプリングレートを設定します。JU1、JU2、およびJU3の機能については、表4を参照してください。

ジャンパJU4およびJU5は、MAX9485デバイスのSAO2およびSAO1端子をそれぞれ制御します。JU5の機能については表5を、JU4機能については表6を参照してください。

ソフトウェアモード

I²C対応2線式インタフェースを使用するには、シャントがジャンパJU6の端子2と端子3の間に配置されていることを確認してください(MODE = ロー)。ジャンパJU1、JU2、およびJU3は取り外したままにしてください。外部I²CクロックをSCLパッドに、I²CデータをSDAパッドに接続してください。ソフトウェアモードでは、ジャンパJU4およびJU5はデバイスアドレスの8ビットレジスタを設定します。デバイスアドレスの設定については表7を参照してください。制御レジスタのビットマッピングについては、MAX9485 ICのデータシートの「ソフトウェアモードのプログラミング」の項を参照してください。

リファレンス入力としての外部クロックの使用方法

外部クロックをリファレンス入力として使用するには、ボード上の水晶(Y1またはY2)を取り外し、R1パッドに0Ω抵抗を取り付け、外部クロックをINPUTコネクタに接続してください。この場合は、出力周波数の同調機能は無効です。

表1. JU6の機能(MODE)

SHUNT LOCATION	MODE PIN	OPERATING MODE
Pins 1 and 2 (default)	Connected to DVDD	Hardwire mode
Pins 2 and 3	Connected to GND	Software mode

表2. JU7の機能(RST)

SHUNT LOCATION	RST PIN	CHIP RESET FUNCTION
Pins 1 and 2 (default)	Connected to DVDD	On-chip internal power-on reset
Pins 2 and 3	Connected to GND	External reset

表3. JU8の機能(TUN)

SHUNT LOCATION	TUN PIN
Pins 1 and 2 (default)	TUN = DVDD.
Pins 2 and 3	TUN = 0.0V.
Not installed	To tune VCO frequency, apply a 0.0V to 3.0V power supply to TUN pad.

表4. JU1、JU2、およびJU3の機能

JU1	SAMPLING FREQUENCY	JU3	SAMPLING RATE	CLK1 AND CLK2 FREQUENCY (MHz)					
	f_s (kHz)			JU2	$256 \times f_s$	JU2	$384 \times f_s$	JU2	$768 \times f_s$
Any Setting	12	Not installed	Standard	Pins 2 and 3	3.072	Pins 1 and 2	4.608	Not installed	9.126
Pins 2 and 3	32	Pins 2 and 3	Standard	Pins 2 and 3	8.1920	Pins 1 and 2	12.2880	Not installed	24.5760
Pins 1 and 2	44.1	Pins 2 and 3	Standard	Pins 2 and 3	11.2896	Pins 1 and 2	16.9344	Not installed	33.8688
Not installed	48	Pins 2 and 3	Standard	Pins 2 and 3	12.2880	Pins 1 and 2	18.4320	Not installed	36.8640
Pins 2 and 3	64	Pins 1 and 2	Double	Pins 2 and 3	16.3840	Pins 1 and 2	24.5760	Not installed	49.1520
Pins 1 and 2	88.2	Pins 1 and 2	Double	Pins 2 and 3	22.5792	Pins 1 and 2	33.8688	Not installed	67.7376
Not installed (default)	96	Pins 1 and 2 (default)	Double	Pins 2 and 3	24.5760	Pins 1 and 2	36.8640	Not installed (default)	73.7280

表5. JU5の機能(SAO1)

SHUNT LOCATION	SAO1 PIN	CLK0
Pins 1 and 2 (default)	Connected to DVDD	Enabled
Pins 2 and 3	Connected to GND	Disabled
Not installed	Open	Reserved

表6. JU4の機能(SAO2)

SHUNT LOCATION	SAO2 PIN	CLK1	CLK2
Pins 1 and 2	Connected to DVDD	Disabled	Enabled
Pins 2 and 3	Connected to GND	Enabled	Disabled
Not installed	Floating	Enabled	Enabled

表7. デバイスアドレスの設定

JU5	SAO1 PIN	JU4	SAO2 PIN	DEVICE ADDRESS
Not installed	Open	Not installed	Open	110 0000
Pins 2 and 3	Connected to GND	Not installed	Open	110 0011
Pins 1 and 2	Connected to DVDD	Not installed	Open	110 0010
Not installed	Open	Pins 2 and 3	Connected to GND	110 0100
Pins 2 and 3	Connected to GND	Pins 2 and 3	Connected to GND	110 1000
Pins 1 and 2	Connected to DVDD	Pins 2 and 3	Connected to GND	111 0000
Not installed	Open	Pins 1 and 2	Connected to DVDD	111 0001
Pins 2 and 3	Connected to GND	Pins 1 and 2	Connected to DVDD	111 0010
Pins 1 and 2	Connected to DVDD	Pins 1 and 2	Connected to DVDD	111 0100

MAX9485の評価キット

Evaluates: MAX9485

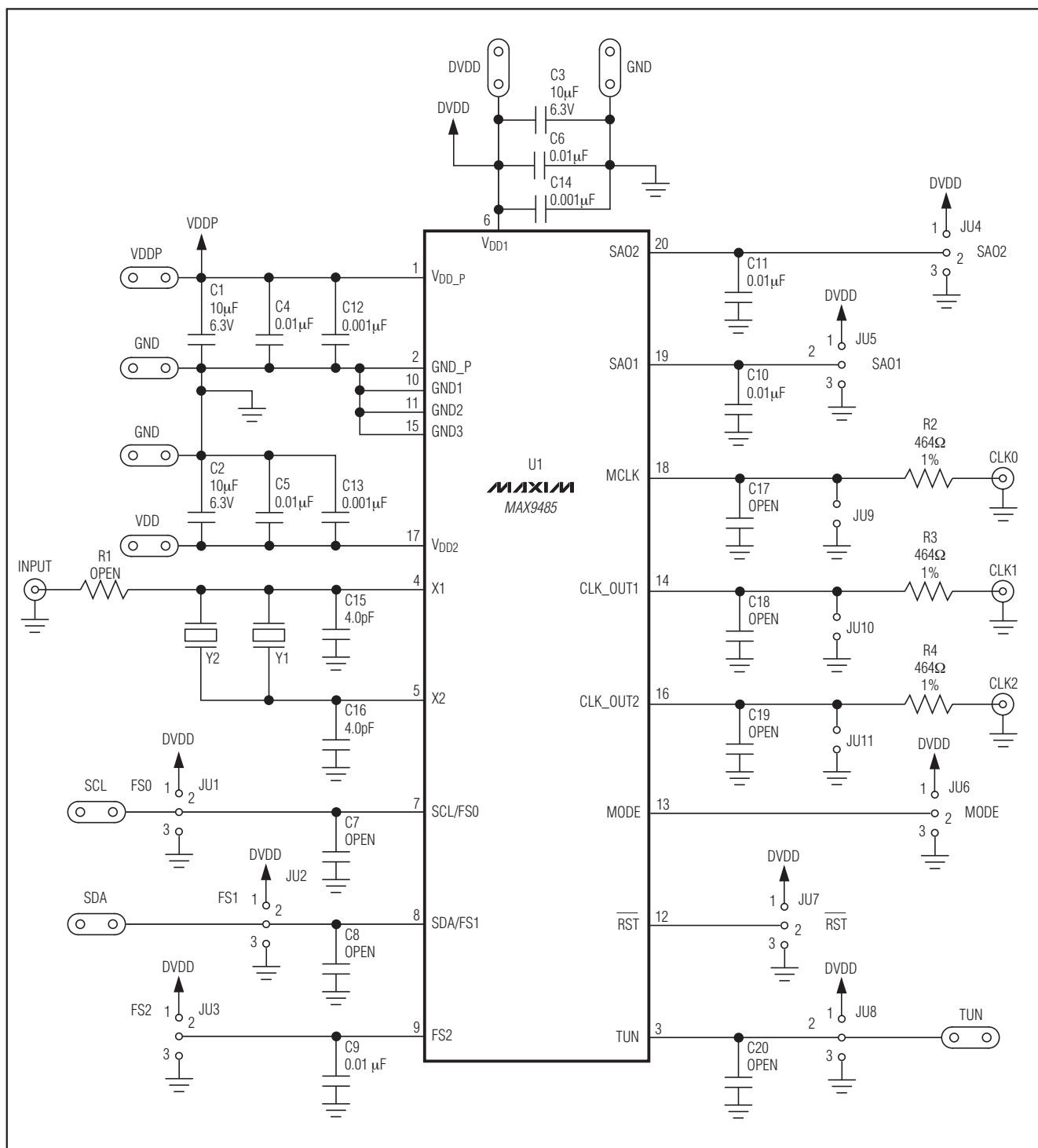


図1. MAX9485のEVキット回路図

MAX9485の評価キット

Evaluates: MAX9485

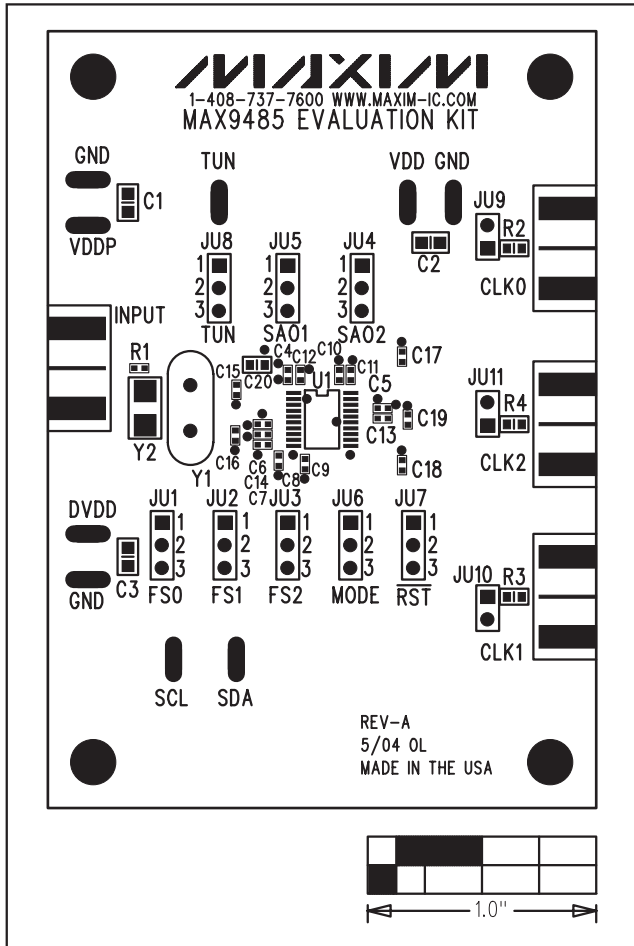


図2. MAX9485のEVキットの部品配置ガイド—部品面側

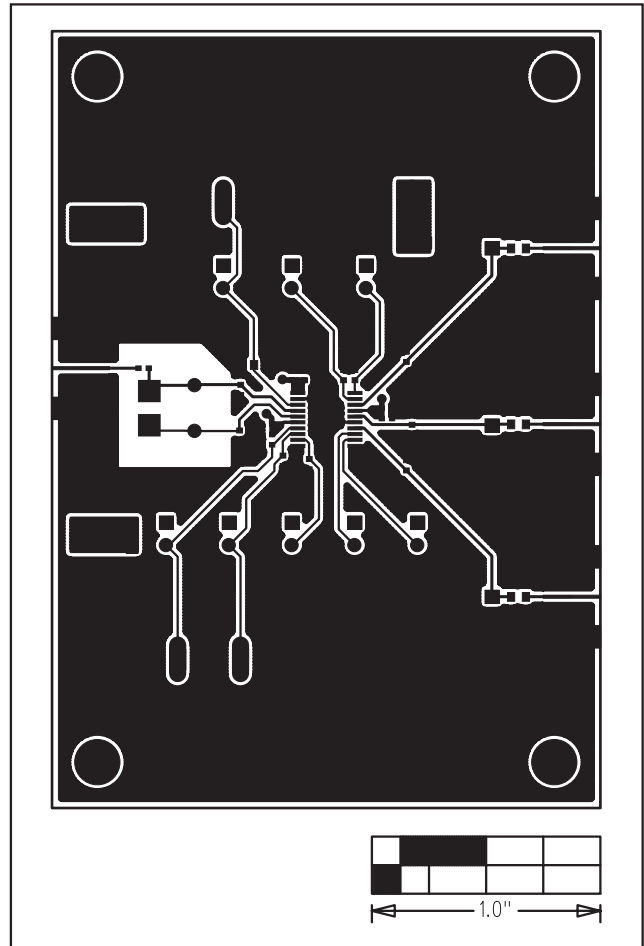


図3. MAX9485のEVキットのPCBレイアウト—部品面側

MAX9485の評価キット

Evaluates: MAX9485

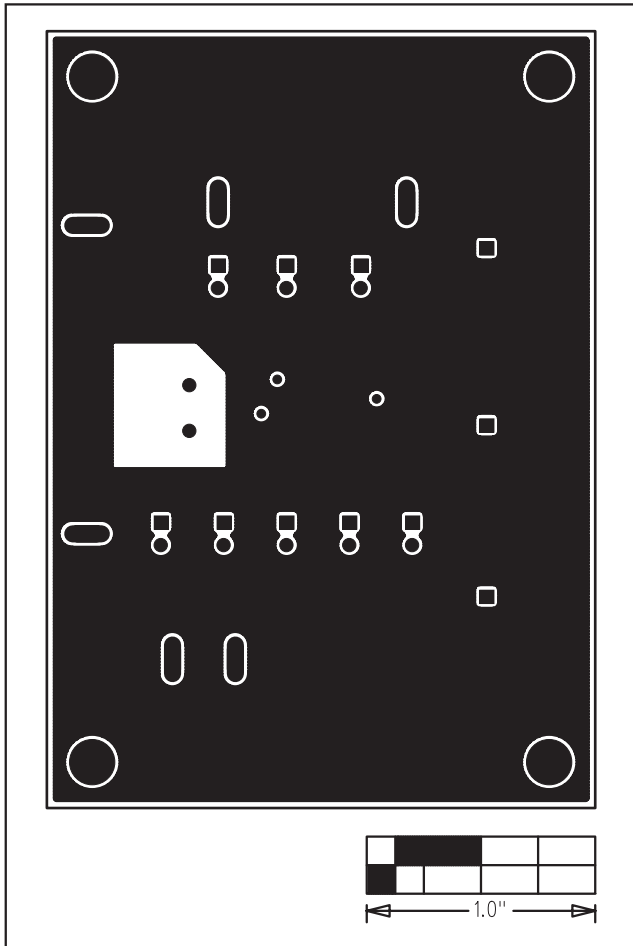


図4. MAX9485のEVキットのPCBレイアウト—第2内層 (GND層)

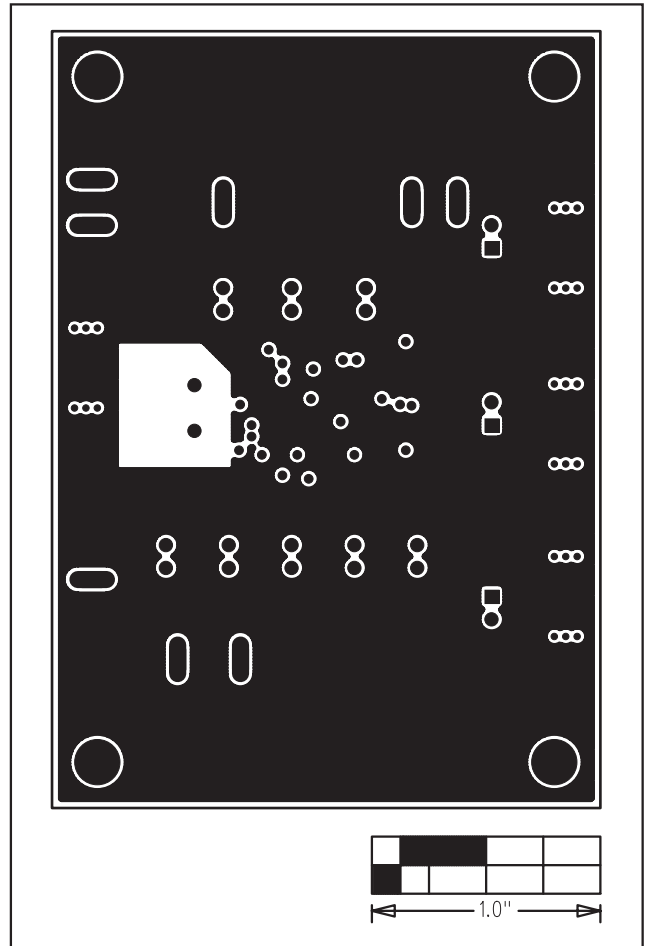


図5. MAX9485のEVキットのPCBレイアウト—第3内層 (DVDD層)

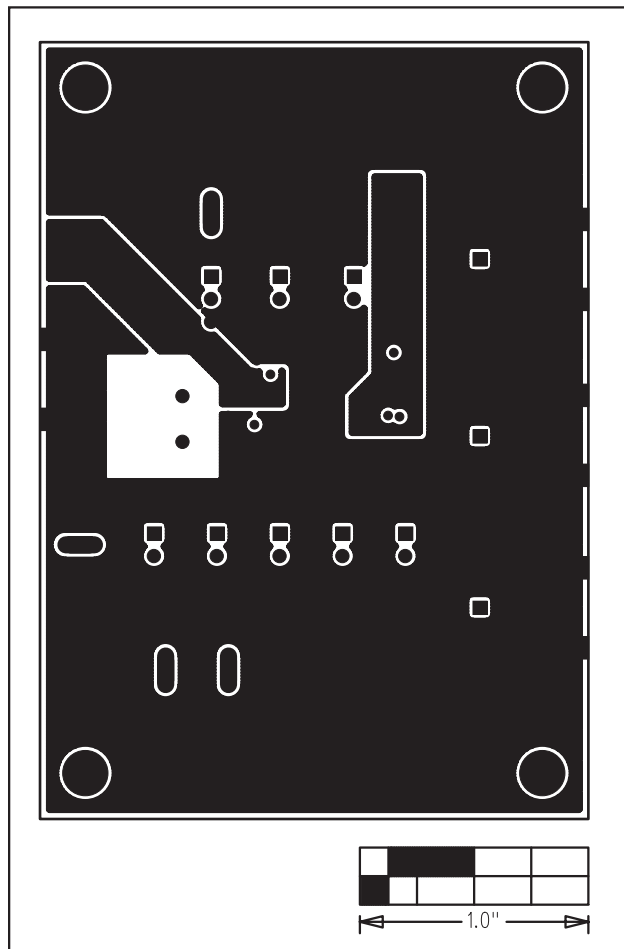


図6. MAX9485のEVキットのPCBレイアウト—半田面側

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 7

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.