

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

概要

シリアライザMAX9257は、デシリアライザMAX9258との組合せで、完全なデジタルビデオシリアルリンクを形成します。MAX9257/MAX9258は、プログラマブルなパラレルデータ幅、パラレルクロック周波数範囲、スペクトラム拡散、およびプリエンファシスを備えています。内蔵された制御チャネルが、ビデオブランキング期間にビデオデータと同じ差動ペアでパワーアップ時に双方向のデータ伝送を行います。この機能によって、診断やプログラミングを目的とする外付けのCANまたはLINインタフェースが不要です。MAX9258では入力シリアルデータからクロックが復元されるため、外部からのリファレンスクロックが不要です。

MAX9257は、AC結合とするための符号化ビット2ビットを付加して、10、12、14、16、および18ビットのシリアライズを行います。デシリアライザMAX9258は、MAX9257とリンクして、最高シリアルデータ速度840Mbpsでピクセル/パラレルクロック時間当たり最大20 (データ + 符号化)ビットのデシリアライズを行います。より高いピクセル/パラレルクロック周波数に対応するためにワード長は可変です。ピクセルクロックは、シリアルワード長に依存して5MHz~70MHzの範囲で可変です。パリティをイネーブルした場合、シリアルワードに2ビットのパリティビットが付加されます。この符号化ビットによってISI (信号間干渉)が減少し、AC結合が可能になります。

MAX9258は、制御チャネル期間に電子制御ユニット(ECU)からプログラミング命令を受信して、シリアルビデオリンクを通してMAX9257に送信します。これらの命令によって、MAX9257、MAX9258、またはカメラなどの外部周辺装置のプログラムや更新を行うことができます。MAX9257はI²CまたはUARTを使用して周辺装置との通信を行います。

MAX9257/MAX9258は+3.3Vのコア電源で動作し、+1.8V~+3.3Vのロジックレベルにインタフェースするための独立した電源を備えています。これらのデバイスは、40ピンTQFNまたは48ピンLQFPパッケージで提供されます。これらのデバイスは、-40°C~+105°Cの温度範囲での動作が保証されています。

アプリケーション

- 車載カメラ
- 産業用カメラ
- ナビゲーションシステムディスプレイ
- 車載エンターテインメントシステム

標準動作回路およびピン配置はデータシートの最後に記載されています。

特長

- ◆ 10/12/14/16/18ビットにプログラム可能なパラレルデータ幅
- ◆ リファレンスクロック不要(MAX9258)
- ◆ ビデオおよび制御チャネルのパリティ保護
- ◆ プログラム可能なスペクトラム拡散
- ◆ プログラム可能なHSYNC、VSYNC、およびクロックの立上り/立下りエッジ
- ◆ リモートからプログラム可能な最大10個のGPIO (MAX9257)
- ◆ ロックを喪失した場合は自動的に再同期化
- ◆ MAX9257はバイパス付きパラレルクロックジッタ用フィルタPLL搭載
- ◆ DC平衡符号化によりAC結合が可能
- ◆ 5レベルのプリエンファシスにより最大20mのSTPケーブルを駆動
- ◆ チップ上のプログラマブルPRBSジェネレータおよびチェッカを使用する完全性テスト
- ◆ LVDS I/OはISO 10605 ESD保護に適合 (±10kV接触および±30kV気中放電)
- ◆ LVDS I/OはIEC 61000-4-2 ESD保護に適合 (±8kV接触および±20kV気中放電)
- ◆ LVDS I/Oは±200VマシンモデルESD保護に適合
- ◆ 動作温度範囲: -40°C~+105°C
- ◆ 省スペース、エクスポーズドパッド付き40ピンTQFN (5mm x 5mm)または48ピンLQFPパッケージ
- ◆ コア電源: +3.3V

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX9257GTL+	-40°C to +105°C	40 TQFN-EP*	T4055+1
MAX9257GCM+	-40°C to +105°C	48 LQFP	C48+3
MAX9258GCM+	-40°C to +105°C	48 LQFP	C48+3

+は鉛フリーパッケージを示します。

*EP = エクスポーズドパッド

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

ABSOLUTE MAXIMUM RATINGS

V _{CC_} to GND	-0.5V to +4.0V
Any Ground to Any Ground	-0.5V to +0.5V
SDI+, SDI-, SDO+, SDO- to GND	-0.5V to +4.0V
SDO+, SDO- Short Circuit to GND or V _{CC} LVDS	Continuous
DIN[0:15], GPIO[0:9], PCLK_IN, HSYNC_IN, VSYNC_IN, SCL/TX, SDA/RX, REM to GND	-0.5V to (V _{CCIO} + 0.5V)
DOUT[0:15], PCLK_OUT, HSYNC_OUT, VSYNC_OUT, RX, LOCK, TX, PD, ERROR to GND	-0.5V to (V _{CCOUT} + 0.5V)
Continuous Power Dissipation (T _A = +70°C)	
40-Lead TQFN	
Multilayer PCB (derate 35.7mW/°C above +70°C)2857mW
48-Lead LQFP	
Multilayer PCB (derate 21.7mW/°C above +70°C)1739mW
Junction-to-Case Thermal Resistance (θ _{JC}) (Note 1)	
40-Lead TQFN1.7°C/W
48-Lead LQFP10°C/W
Junction-to-Ambient Thermal Resistance (θ _{JA}) (Note 1)	
40-Lead TQFN28°C/W
48-Lead LQFP46°C/W

ESD Protection	
Human Body Model (R _D = 1.5kΩ, C _S = 100pF)	
All Pins to GND±3kV
IEC 61000-4-2 (R _D = 330Ω, C _S = 150pF)	
Contact Discharge	
(SDI+, SDI-, SDO+, SDO-) to GND±8kV
Air Discharge	
(SDI+, SDI-, SDO+, SDO-) to GND±20kV
ISO 10605 (R _D = 2kΩ, C _S = 330pF)	
Contact Discharge	
(SDI+, SDI-, SDO+, SDO-) to GND±10kV
Air Discharge	
(SDI+, SDI-, SDO+, SDO-) to GND±30kV
Machine Model (R _D = 0Ω, C _S = 200pF)	
All Pins to GND±200V
Storage Temperature Range-65°C to +150°C
Junction Temperature+150°C
Lead Temperature (soldering, 10s)+300°C

Note 1: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a 4-layer board. For detailed information on package thermal considerations, refer to www.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

MAX9257 DC ELECTRICAL CHARACTERISTICS

(V_{CC_} = +3.0V to +3.6V, R_L = 50Ω ±1%, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{CC_} = +3.3V, T_A = +25°C.) (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS						
High-Level Input Voltage	V _{IH}	V _{CCIO} = +1.71V to +3V	0.65 x V _{CCIO}		V _{CCIO} + 0.3	V
		V _{CCIO} = +3V to +3.6V	2		V _{CCIO} + 0.3	
		REM input	2		V _{CC} + 0.3	
Low-Level Input Voltage	V _{IL}	V _{CCIO} = +1.71V to +3V	0		0.3 x V _{CCIO}	V
		V _{CCIO} = +3V to +3.6V	0		0.8	
		REM input	0		0.8	
Input Current	I _{IN}	V _{IN} = 0 to V _{CCIO} V _{CCIO} = +1.71V to +3.6V	-20		+20	μA
		V _{IN} = 0 to V _{CC} , REM input	-20		+20	
Input Clamp Voltage	V _{CL}	I _{CL} = -18mA			-1.5	V
SINGLE-ENDED OUTPUTS						
High-Level Output Voltage	V _{OH}	I _{OH} = -100μA			V _{CCIO} - 0.1	V
		I _{OH} = -2mA			V _{CCIO} - 0.35	

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9257 DC ELECTRICAL CHARACTERISTICS (continued)

(V_{CC_} = +3.0V to +3.6V, R_L = 50Ω ±1%, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{CC_} = +3.3V, T_A = +25°C.) (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Low-Level Output Voltage	V _{OL}	I _{OL} = 100μA			0.1	V
		I _{OL} = 2mA			0.3	
Output Short-Circuit Current	I _{OS}	Shorted to GND	-44		-10	mA
		Shorted to V _{CC_}	10		44	
I²C/UART I/O						
Input Leakage Current	I _{LKG}	V _I = V _{CC}	-1		+1	μA
High-Level Input Voltage SDA/RX	V _{IH2}		0.7 x V _{CC}			V
Low-Level Input Voltage SDA/RX	V _{IL2}				0.3 x V _{CC}	V
Low-Level Output Voltage SCL, SDA	V _{OL2}	R _{PULLUP} = 1.6kΩ			0.4	V
LVDS OUTPUTS (SDO+, SDO-)						
Differential Output Voltage	V _{OD}	Preemphasis off (Figure 1)	250	350	460	mV
Change in V _{OD} Between Complementary Output States	ΔV _{OD}		20			mV
Common-Mode Voltage	V _{OS}		1.050	1.25	1.375	V
Change in V _{OS} Between Complementary Output States	ΔV _{OS}		20			mV
Output Short-Circuit Current	I _{OS}	V _{SDO+} or V _{SDO-} = 0 or 3.6V	-15		+15	mA
Magnitude of Differential Output Short-Circuit Current	I _{OSD}	V _{OD} = 0			15	mA
CONTROL CHANNEL TRANSCEIVER						
Differential Output Voltage	V _{OD}		250	350	460	mV
Input Hysteresis (Figure 2)	V _{HYST+}	Differential low-to-high threshold	25	90	135	mV
	V _{HYST-}	Differential high-to-low threshold	-25	-90	-135	

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9257 DC ELECTRICAL CHARACTERISTICS (continued)

(V_{CC_} = +3.0V to +3.6V, R_L = 50Ω ±1%, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{CC_} = +3.3V, T_A = +25°C.) (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER SUPPLY						
Worst-Case Supply Current (Figure 3) C _L = 8pF, 12 bits	I _{CCW}	±2% spread, preemphasis off, PRATE = 60MHz, SRATE = 840Mbps		104	126	mA
		No spread, preemphasis off, PRATE = 60MHz, SRATE = 840Mbps		99	121	
		No spread, preemphasis = 20%, PRATE = 60MHz, SRATE = 840Mbps		99	120	
		No spread, preemphasis = 60%, PRATE = 60MHz, SRATE = 840Mbps		108	127	
		No spread, preemphasis = 100%, PRATE = 60MHz, SRATE = 840Mbps		110	129	
		±2% spread, preemphasis off, PRATE = 28.57MHz, SRATE = 400Mbps		78	96	
		No spread, preemphasis off, PRATE = 28.57MHz, SRATE = 400Mbps		77	94	
		No spread, preemphasis = 100%, PRATE = 28.57MHz, SRATE = 400Mbps		86	105	
		±2% spread, preemphasis off, PRATE = 14.29MHz, SRATE = 200Mbps		55	68	
		No spread, preemphasis off, PRATE = 14.29MHz, SRATE = 200Mbps		54	67	
		No spread, preemphasis = 100%, PRATE = 14.29MHz, SRATE = 200Mbps		59	73	
		±2% spread, preemphasis off, PRATE = 7.14MHz, SRATE = 100Mbps		44	55	
		No spread, preemphasis off, PRATE = 7.14MHz, SRATE = 100Mbps		43	54	
		No spread, preemphasis = 100%, PRATE = 7.14MHz, SRATE = 100Mbps		46	57	
		±2% spread, preemphasis off, PRATE = 5MHz, SRATE = 70Mbps		34	43	
		No spread, preemphasis off, PRATE = 5MHz, SRATE = 70Mbps		34	42	
No spread, preemphasis = 100%, PRATE = 5MHz, SRATE = 70Mbps		36	45			
Sleep Mode Supply Current	I _{CCS}	Sleep mode			92	μA

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9257 AC ELECTRICAL CHARACTERISTICS

(V_{CC_} = +3.0V to +3.6V, R_L = 50Ω ±1%, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{CC_} = +3.3V, T_A = +25°C.) (Notes 5, 9)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PCLK_IN TIMING REQUIREMENTS						
Clock Period	t _T		14.28		200.00	ns
Clock Frequency	f _{CLK}	1/t _T	5		70	MHz
Clock Duty Cycle	DC	t _{HIGH} /t _T or t _{LOW} /t _T	35	50	65	%
Clock Transition Time	t _R , t _F	(Figure 7)			4	ns
SWITCHING CHARACTERISTICS						
LVDS Output Rise Time	t _R	20% to 80% (Figure 4)		315	370	ps
LVDS Output Fall Time	t _F	20% to 80% (Figure 4)		315	370	ps
Control Transceiver Transition Time	t _{R1A} , t _{F1A}	20% to 80% (Figure 16)	642	970	1390	ps
	t _{R2} , t _{F2}		810	1140	1420	
	t _{R1B} , t _{F1B}		290	386	490	
Input Setup Time	t _S	(Figure 5)	0			ns
Input Hold Time	t _H	(Figure 5)	3			ns
Parallel-to-Serial Delay	t _{PSD1}	Spread off (Figure 6)		(4.55 × t _T) + 11		ns
	t _{PSD2}	±4% spread		(36.55 × t _T) + 11		
PLL Lock Time	t _{LOCK}	Combined FPLL and SPLL; PCLK_IN stable		32,768 × t _T		ns
Random Jitter	t _{RJ}	420MHz LVDS output, spread off, FPLL = bypassed			12	ps (RMS)
Deterministic Jitter	t _{DJ}	2 ¹⁸ - 1 PRBS, SRATE = 840Mbps, 18 bits, no spread			142	ps (P-P)
SCL/TX, SDA/RX						
Rise Time	t _{RS}	0.3 × V _{CC} to 0.7 × V _{CC} , C _L = 30pF	R _{PULLUP} = 10kΩ		400	ns
			R _{PULLUP} = 1.6kΩ		60	
Fall Time	t _{FS}	0.7 × V _{CC} to 0.3 × V _{CC} , C _L = 30pF			40	ns
Pulse Width of Spike Suppressed in SDA	t _{SPK}	95kbps to 400kbps		100		ns
		400kbps to 1000kbps		50		
		1000kbps to 4250kbps		10		
		DC to 10Mbps (bypass mode)		10		
Data Setup Time	t _{SETUP}	400kbps		100		ns
		4.25Mbps, C _L = 10pF		60		
Data Hold Time	t _{HOLD}	400kbps		100		ns
		4.25Mbps, C _L = 10pF		0		
I²C TIMING (Note 8)						
Maximum SCL Clock Frequency	f _{SCL}			4.25		MHz
Minimum SCL Clock Frequency	f _{SCL}			95		kHz
Start Condition Hold Time	t _{HD:STA}	(Figure 30)	0.6			μs

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257 AC ELECTRICAL CHARACTERISTICS (continued)

(V_{CC_} = +3.0V to +3.6V, R_L = 50Ω ±1%, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{CC_} = +3.3V, T_A = +25°C.) (Notes 5, 9)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Low Period of SCL Clock	t _{LOW}	(Figure 30)	1.1			μs
High Period of SCL Clock	t _{HIGH}	(Figure 30)	0.6			μs
Repeated START Condition Setup Time	t _{SU:STA}	(Figure 30)	0.5			μs
Data Hold Time	t _{HD:DAT}	(Figure 30)	0		0.9	μs
Data Setup Time	t _{SU:DAT}	(Figure 30)	100			ns
Setup Time for STOP Condition	t _{SU:STO}	(Figure 30)	0.5			μs
Bus Free Time	t _{BUF}	(Figure 30)	1.1			μs

MAX9258 DC ELECTRICAL CHARACTERISTICS

(V_{CC_} = +3.0V to +3.6V, R_L = 50Ω ±1%, differential input voltage |V_{ID}| = 0.05V to 1.2V, input common-mode voltage V_{CM} = |V_{ID}|/2 to V_{CC} - |V_{ID}|/2, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{CC_} = +3.3V, |V_{ID}| = 0.2V, V_{CM} = 1.2V, T_A = +25°C.) (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SINGLE-ENDED INPUTS						
High-Level Input Voltage	V _{IH}		2.0		V _{CC}	V
Low-Level Input Voltage	V _{IL}		0		0.8	V
Input Current	I _{IN}	V _{IN} = 0 to V _{CC}	TXIN		+60	μA
			PD	-20	+20	
Input Clamp Voltage	V _{CL}	I _{CL} = -18mA			-1.5	V
SINGLE-ENDED OUTPUTS						
High-Level Output Voltage	V _{OH}	I _{OH} = -100μA	V _{CCOUT} - 0.1		V	
		I _{OH} = -2mA	V _{CCOUT} - 0.35			
Low-Level Output Voltage	V _{OL}	I _{OL} = 100μA	0.1		V	
		I _{OL} = 2mA	0.3			
High-Impedance Output Current	I _{OZ}	PD = low, V _O = 0 to V _{CCOUT}	-1		+1	μA
Output Short-Circuit Current	I _{OS}	V _O = 0V (Note 4)	-16		-65	mA
		PCLK_OUT, V _O = 0V	-22		-80	
OPEN-DRAIN OUTPUTS						
Output Low Voltage	V _{OL}	V _{CCOUT} = +3V, I _{OL} = 6.4mA			0.55	V
Output Low Voltage	V _{OL}	V _{CCOUT} = +1.71V, I _{OL} = 1.95mA			0.3	V
Leakage Current	I _{LEAK}	V _O = 0 or V _{CC}			1	μA
LVDS INPUTS (SDI+, SDI-)						
Differential Input High Threshold	V _{TH}				50	mV
Differential Input Low Threshold	V _{TL}		-50			mV
Input Current	I _{IN+} , I _{IN-}		-60		+60	μA
Power-Off Input Current	I _{IINO+} , I _{IINO-}	V _{CC_} = 0 or open	-70		+70	μA
CONTROL CHANNEL TRANSCEIVER						
Differential Output Voltage	V _{OD}		250		460	mV

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9258 DC ELECTRICAL CHARACTERISTICS (continued)

(V_{CC-} = +3.0V to +3.6V, R_L = 50Ω ±1%, differential input voltage |V_{ID}| = 0.05V to 1.2V, input common-mode voltage V_{CM} = |V_{ID}|/2 to V_{CC-} - |V_{ID}|/2, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{CC-} = +3.3V, |V_{ID}| = 0.2V, V_{CM} = 1.2V, T_A = +25°C.) (Notes 2, 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Hysteresis (Figure 2)	V _{HYST+}	Differential low-to-high threshold	25	90	135	mV
	V _{HYST-}	Differential high-to-low threshold	-25	-90	-135	
POWER SUPPLY						
Worst-Case Supply Current C _L = 8pF, 12 bits (Figure 8)	I _{CCW}	±4% spread, PRATE = 60MHz, SRATE = 840Mbps		85	128	mA
		Spread off, PRATE = 60MHz, SRATE = 840Mbps		71	115	
		±4% spread, PRATE = 28.57MHz, SRATE = 400Mbps		67	102	
		Spread off, PRATE = 28.57MHz, SRATE = 400Mbps		57	84	
		±4% spread, PRATE = 14.29MHz, SRATE = 200Mbps		55	82	
		Spread off, PRATE = 14.29MHz, SRATE = 200Mbps		46	67	
		±4% spread, PRATE = 5MHz, SRATE = 70Mbps		42	57	
		Spread off, PRATE = 5MHz, SRATE = 70Mbps		34	49	
Power-Down Supply Current	I _{CCZ}	\overline{PD} = low		10	50	μA

MAX9258 AC ELECTRICAL CHARACTERISTICS

(V_{CC-} = +3.0V to +3.6V, R_L = 50Ω ±1%, C_L = 8pF, differential input voltage |V_{ID}| = 0.1V to 1.2V, input common-mode voltage V_{CM} = |V_{ID}|/2 to V_{CC-} - |V_{ID}|/2, T_A = -40°C to +105°C, unless otherwise noted. Typical values are at V_{CC-} = +3.3V, |V_{ID}| = 0.2V, V_{CM} = 1.2V, T_A = +25°C. (Notes 5, 6, and 7)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SWITCHING CHARACTERISTICS						
Output Transition Time	t _R , t _F	(Figure 9)	0.7		2.2	ns
Output Transition Time, PCLK_OUT	t _R , t _F	(Figure 9)	0.5		1.5	ns
Output Transition Time	t _R , t _F	V _{CCOUT} = 1.71V (Figure 9)	1.0		2.8	ns
Output Transition Time, PCLK_OUT	t _R , t _F	V _{CCOUT} = 1.71V (Figure 9)	0.7		2.2	ns
Control Channel Transition Time	t _{R1A} , t _{F1A} , t _{R1B} , t _{F1B}	(Figure 16)	0.5		1.2	ns
Control Channel Transition Time	t _{R2} , t _{F2}	(Figure 16)	0.6		1.3	ns
PCLK_OUT High Time	t _{HIGH}	(Figure 10)	0.4 x t _T		0.6 x t _T	ns
PCLK_OUT Low Time	t _{LOW}	(Figure 10)	0.4 x t _T		0.6 x t _T	ns

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9258 AC ELECTRICAL CHARACTERISTICS (continued)

$V_{CC_} = +3.0V$ to $+3.6V$, $R_L = 50\Omega \pm 1\%$, $C_L = 8pF$, differential input voltage $|V_{ID}| = 0.1V$ to $1.2V$, input common-mode voltage $V_{CM} = |V_{ID}|/2$ to $V_{CC} - |V_{ID}|/2$, $T_A = -40^\circ C$ to $+105^\circ C$, unless otherwise noted. Typical values are at $V_{CC_} = +3.3V$, $|V_{ID}| = 0.2V$, $V_{CM} = 1.2V$, $T_A = +25^\circ C$. (Notes 5, 6, and 7)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Data Valid Before PCLK_OUT	t _{DVB}	(Figure 11)		0.35 x t _T			ns
Data Valid After PCLK_OUT	t _{DVA}	(Figure 11)		0.35 x t _T			ns
Serial-to-Parallel Delay	t _{SPD1}	Spread off (Figure 14)		8t _T			ns
	t _{SPD2}	±4% spread		40t _T			
Power-Up Delay	t _{PUD}	(Figure 12)		100			ns
Power-Down to High Impedance	t _{PDD}	(Figure 13)		100			ns
Jitter Tolerance	t _{JT}	Each half of the UI, 12 bit, SRATE = 840Mbps, PRBS pattern (Figure 15)	No spread	0.25	0.30		UI

Note 2: Current into a pin is defined as positive. Current out of a pin is defined as negative. All voltages are referenced to ground except V_{TH} and V_{TL} .

Note 3: Maximum and minimum limits over temperature are guaranteed by design and characterization. Devices are production tested at $T_A = +105^\circ C$.

Note 4: One output at a time.

Note 5: AC parameters are guaranteed by design and characterization, and are not production tested.

Note 6: C_L includes probe and test jig capacitance.

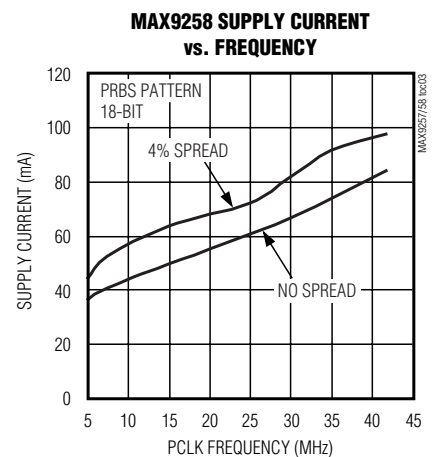
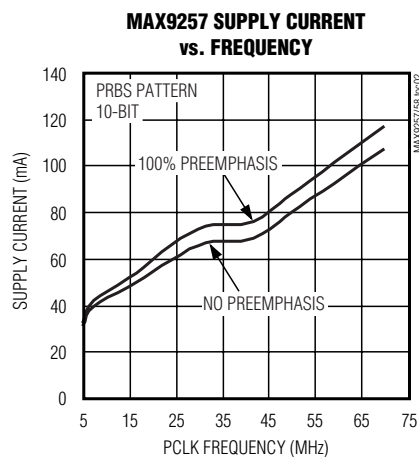
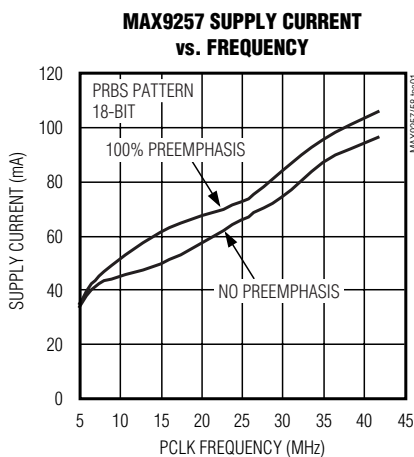
Note 7: t_T is the period of the PCLK_OUT.

Note 8: For high-speed mode timing, see the *Detailed Description* section.

Note 9: I²C timing parameters are specified for fast-mode I²C. Max data rate = 400kbps.

標準動作特性

($V_{CC_} = +3.3V$, $R_L = 50\Omega$, $C_L = 8pF$, $T_A = +25^\circ C$, unless otherwise noted.)

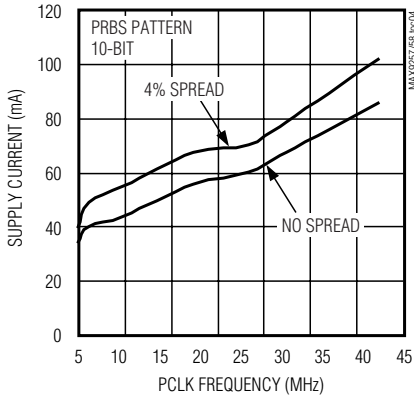


UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

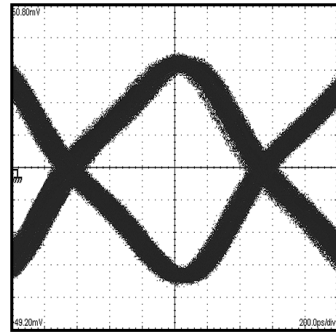
標準動作特性(続き)

(V_{CC} = +3.3V, R_L = 50Ω, C_L = 8pF, T_A = +25°C, unless otherwise noted.)

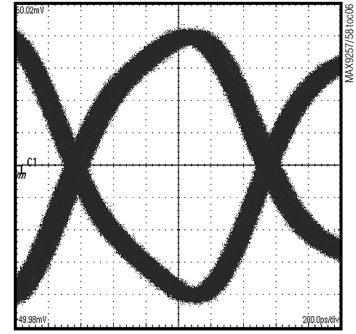
MAX9258 SUPPLY CURRENT vs. FREQUENCY



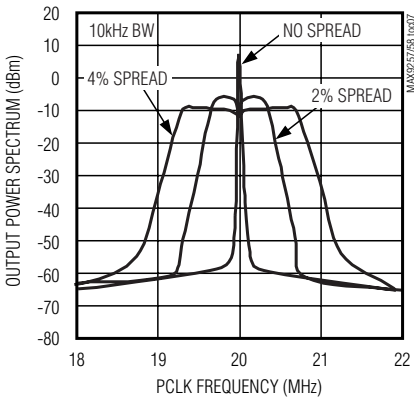
SERIAL LINK SWITCHING PATTERN WITHOUT PREEMPHASIS (BIT RATE = 840MHz, 2m STP CABLE)



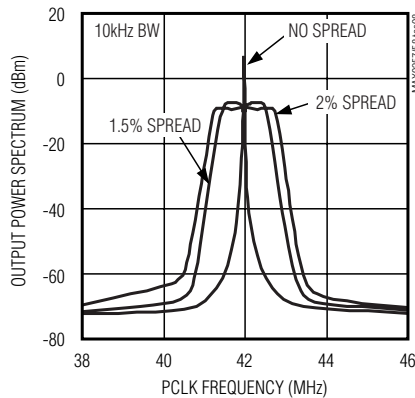
SERIAL LINK SWITCHING PATTERN WITH PREEMPHASIS (BIT RATE = 840MHz, 2m STP CABLE) (PREEMPHASIS = 100%)



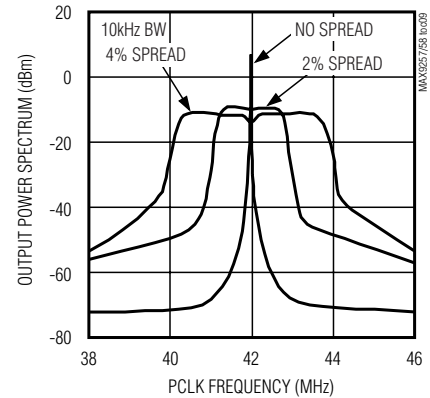
MAX9257 OUTPUT POWER SPECTRUM vs. PCLK FREQUENCY



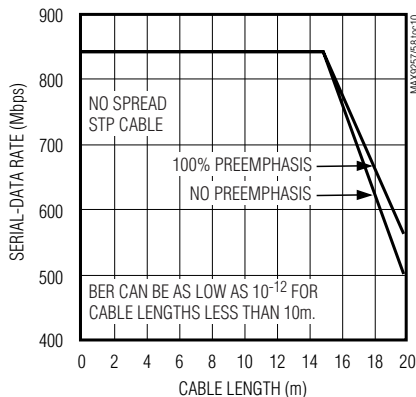
MAX9257 OUTPUT POWER SPECTRUM vs. PCLK FREQUENCY



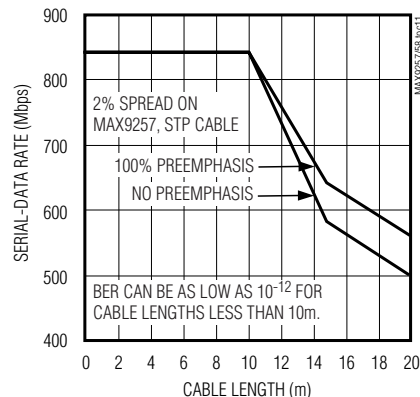
MAX9258 OUTPUT POWER SPECTRUM vs. PCLK FREQUENCY



BIT ERROR RATE (< 10⁻⁹) vs. CABLE LENGTH



BIT ERROR RATE (< 10⁻⁹) vs. CABLE LENGTH



UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257の端子説明

端子		名称	機能
TQFN	LQFP		
1, 18	2, 21	V _{CCIO}	シングルエンド入出力バッファ電源電圧。最小値のコンデンサが最もV _{CCIO} に近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CCIO} をGNDにバイパスしてください。
2, 11, 19, 34	3, 14, 22, 41	GND	デジタル電源グラウンド
3-8	4-9	DIN[9:14]/GPIO[1:6]	データ入力/汎用入出力。シリアルデータワードのワード長が18ビットより短い場合、データ入力としてプログラムされていないDIN _n はGPIOになります(表22)。DIN[9:14]は内部でグラウンドにプルダウンされています。
9	10	GND _{FPLL}	フィルタPLLグラウンド
10	11	V _{CCFPLL}	フィルタPLL電源電圧。最小値のコンデンサが最もV _{CCFPLL} に近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CCFPLL} をGND _{FPLL} にバイパスしてください。
12	15	DIN15/GPIO7	データ入力/汎用入出力。シリアルデータワードのワード長が18ビットより短い場合、データ入力としてプログラムされていないDIN _n はGPIOになります(表22)。DIN15は内部でグラウンドにプルダウンされています。
13	16	HSYNC_IN	水平SYNC入力。HSYNC_INは内部でグラウンドにプルダウンされています。
14	17	VSYNC_IN	垂直SYNC入力。VSYNC_INは内部でグラウンドにプルダウンされています。
15	18	PCLK_IN	パラレルクロック入力。PCLK_INはデータおよび同期入力をラッチして、PLLリファレンスクロックを供給します。PCLK_INは内部でグラウンドにプルダウンされています。
16	19	SCL/TX	オープンドレインの制御チャネル出力。UART/I ² C変換がアクティブの場合、SCL/TXはSCL出力になります。UART/I ² C変換がバイパスされている場合、SCL/TXはTX出力になります。外部でV _{CC} にプルアップしてください。
17	20	SDA/RX	オープンドレインの制御チャネル入出力。UART/I ² C変換がアクティブの場合、SDA/RXは双方向のSDAになります。UART/I ² C変換がバイパスされている場合、SDA/RXはRX入力になります。SDA出力は、V _{CC} へのプルアップが必要です。
20, 33	23, 40	V _{CC}	デジタル電源電圧。最小値のコンデンサが最もV _{CC} に近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CC} をグラウンドにバイパスしてください。
21	26	GPIO8	汎用入出力
22	27	GPIO9	汎用入出力
23	28	V _{CCSPLL}	拡散PLL電源電圧。最小値のコンデンサが最もV _{CCSPLL} に近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CCSPLL} をGND _{SPLL} にバイパスしてください。
24	29	GND _{SPLL}	SPLLグラウンド
25	30	GND _{LVDS}	LVDSグラウンド
26	31	SDO-	シリアルLVDS反転出力
27	32	SDO+	シリアルLVDS非反転出力
28	33	V _{CCLVDS}	LVDS電源電圧。最小値のコンデンサが最もV _{CCLVDS} に近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CCLVDS} をGND _{LVDS} にバイパスしてください。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9257の端子説明(続き)

端子		名称	機能
TQFN	LQFP		
29	34	REM	リモートパワーアップ/パワーダウン選択入力。パワーアップをV _{CC} に追従させる場合は、REMをグランドに接続してください。リモートパワーアップを行う場合は、10kΩの抵抗を通してREMをV _{CC} に接続してハイにしてください。REMは内部でGNDにプルダウンされています。
30, 31, 32, 35-39	35, 38, 39, 42-46	DIN[0:7]	データ入力。DIN[0:7]は内部でグランドにプルダウンされています。
40	47	DIN8/GPIO0	データ入力/汎用入出力。シリアルデータワードのワード長が18ビットより短い場合、データ入力としてプログラムされていないDIN _n はGPIOになります(表22)。DIN8は内部でグランドにプルダウンされています。
—	1, 12, 13, 24, 25, 36, 37, 48	N.C.	接続なし。内部で接続されていません。
—	—	EP	TQFNパッケージのみのエクスポーズドパッド。EPをグランドに接続してください。

MAX9258の端子説明

端子	名称	機能
1, 12, 13, 24, 25, 36, 37	N.C.	接続なし。内部で接続されていません。
2	V _{CC}	デジタル電源電圧。最小値のコンデンサが最もV _{CC} に近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CC} をGNDにバイパスしてください。
3, 14	GND	デジタル電源グランド
4	PD	LVCNMOS/LVTTLパワーダウン入力。デバイスをパワーアップしてすべての出力をイネーブルするには、PDをハイに駆動してください。すべての出力をハイインピーダンスにして電源電流を減少させるには、PDをローに駆動してください。PDは内部でグランドにプルダウンされています。
5	V _{CC} LVDS	LVDS電源電圧。最小値のコンデンサが最もV _{CC} LVDSに近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CC} LVDSをGND _{LVDS} にバイパスしてください。
6	SDI-	シリアルLVDS反転入力
7	SDI+	シリアルLVDS非反転入力
8	GND _{LVDS}	LVDS電源グランド
9	GND _{PLL}	PLL電源グランド
10	V _{CC} PLL	PLL電源電圧。最小値のコンデンサが最もV _{CC} PLLに近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CC} PLLをGND _{PLL} にバイパスしてください。
11	ERROR	アクティブロー、オープンドレインのエラー出力。ERRORがローにアサートされることによって、データ伝送エラーが検出されたことを示します(パリティ、PRBS、またはUART制御チャネルエラー)。ERRORがハイのとき、エラーが検出されていないことを示します。パリティ、制御チャネルエラーの場合はエラーレジスタの読み取りを行ったとき、およびPRBSエラーの場合はPRBSイネーブルビットがリセットされたとき、ERRORがリセットされます。1kΩの抵抗でV _{CC} OUTにプルアップしてください。
15	RX	LVCNMOS/LVTTL制御チャネルUART出力

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9258の端子説明(続き)

端子	名称	機能
16	TX	LVC MOS/LVTTL制御チャネルUART入力。TXは内部でV _{CCOUT} にプルアップされています。
17	LOCK	オープンドレインのロック出力。LOCKがハイにアサートされることによって、PLLが正しいシリアルワード境界アラインメントにロックされていることを示します。LOCKがローにアサートされることによって、PLLがロックされていないか、誤ったシリアルワード境界アラインメントが検出されたことを示します。1kΩの抵抗でV _{CCOUT} にプルアップしてください。
18	PCLK_OUT	LVC MOS/LVTTL復元クロック出力
19	VSYNC_OUT	LVC MOS/LVTTL垂直SYNC出力
20	HSYNC_OUT	LVC MOS/LVTTL水平SYNC出力
21, 28–35, 40–46	DOUT[15:0]	LVC MOS/LVTTLデータ出力
22, 39	V _{CCOUT}	出力電源電圧。V _{CCOUT} は、すべての出力バッファの電源です。最小値のコンデンサが最もV _{CCOUT} に近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CCOUT} をGND _{OUT} にバイパスしてください。
23, 38, 48	GND _{OUT}	出力電源グランド
26	V _{CCSPLL}	スペクトラム拡散PLL電源電圧。最小値のコンデンサが最もV _{CCSPLL} に近くなるように可能な限りデバイスの近くに配置した0.1μFと0.001μFの並列コンデンサで、V _{CCSPLL} をGND _{SPLL} にバイパスしてください。
27	GND _{SPLL}	SPLLグランド
47	CCEN	LVC MOS/LVTTL制御チャネルイネーブル出力。CCENがハイにアサートされることによって、制御チャネルがイネーブルされていることを示します。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

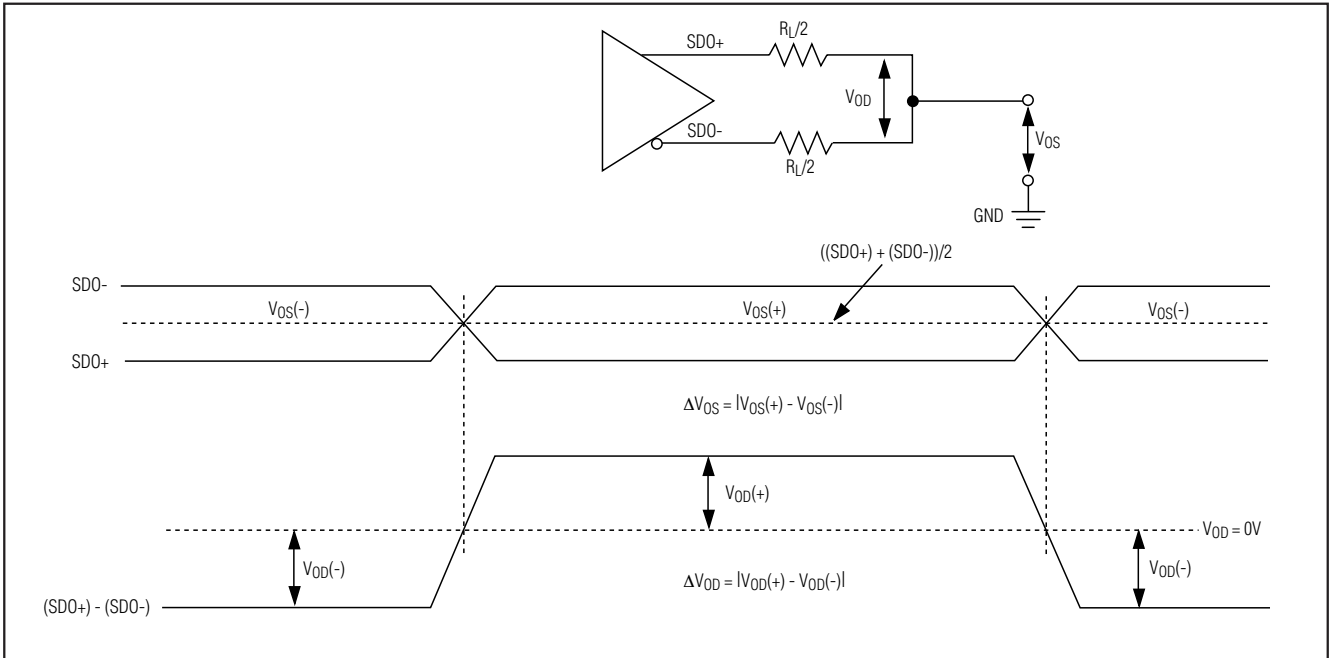


図1. MAX9257のLVDSのDC出力パラメータ

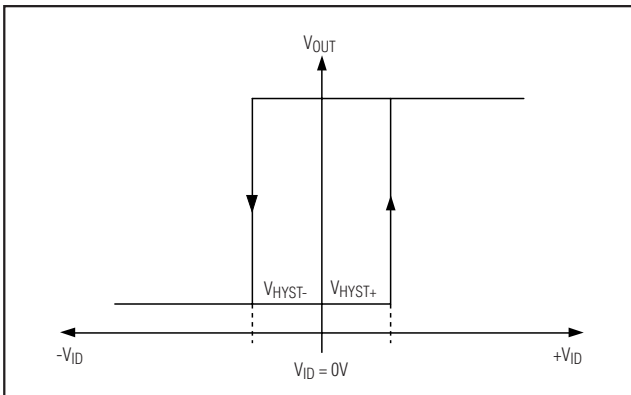


図2. 入力ヒステリシス

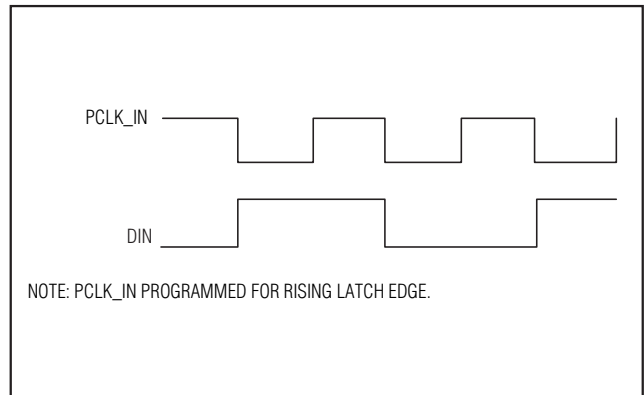


図3. MAX9257のワーストケースのパターンの入力

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

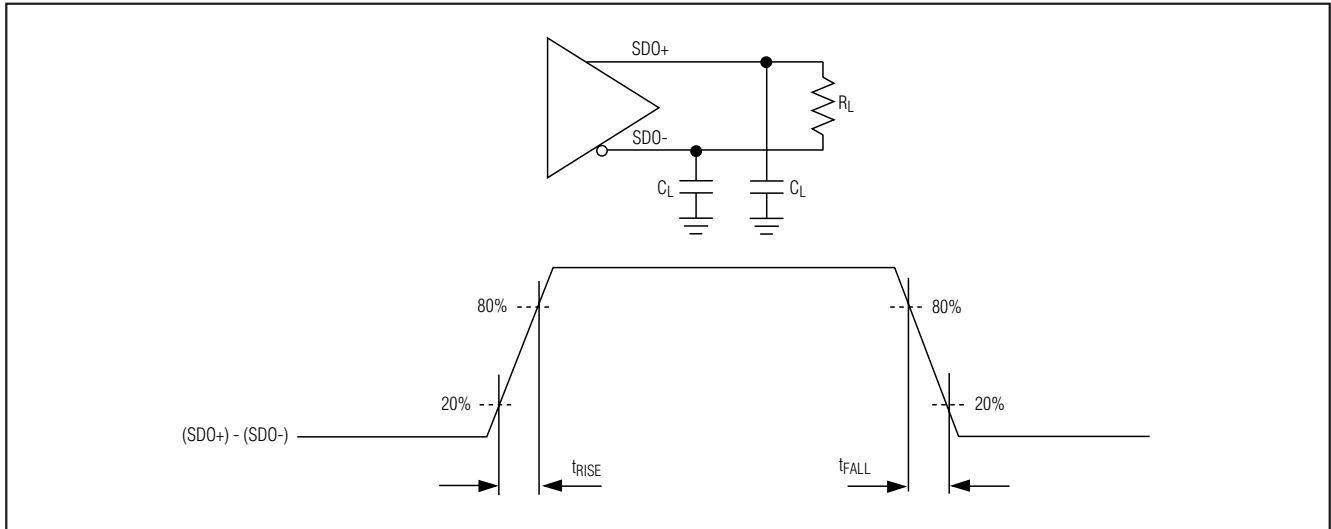


図4. MAX9257のLVDS制御チャネル出力の負荷および出力の立上り/立下り時間

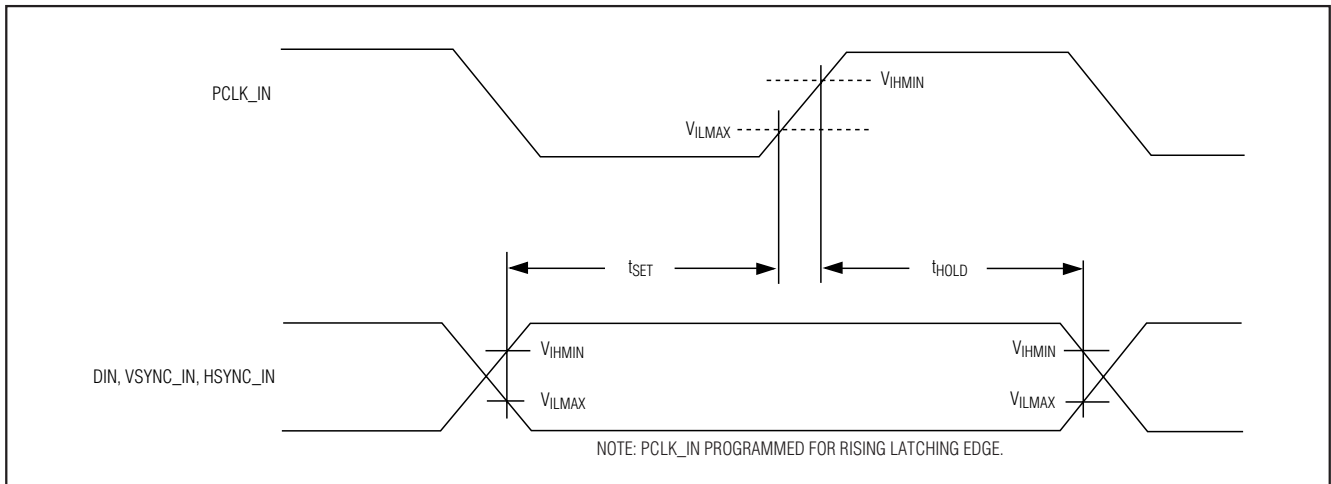


図5. MAX9257の入力のセットアップおよびホールド時間

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

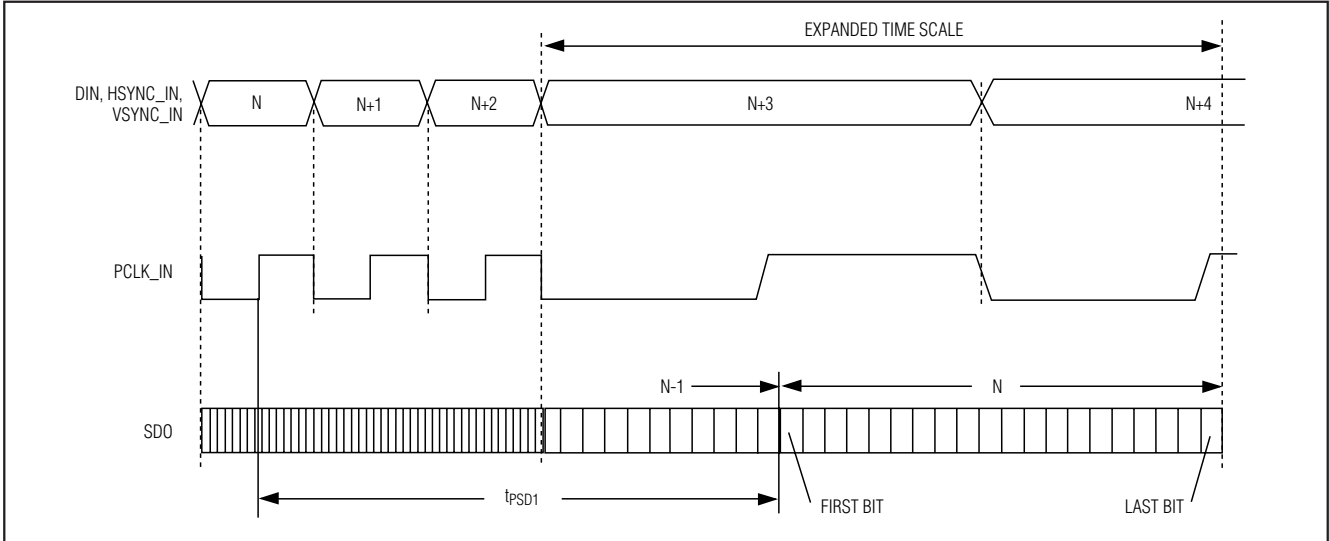


図6. MAX9257の平行/シリアル変換遅延

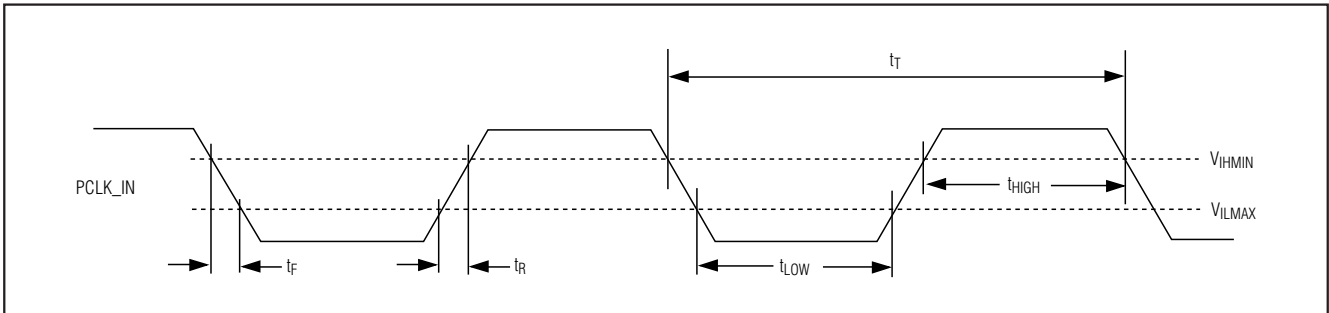


図7. MAX9257の平行入カクロックの要件

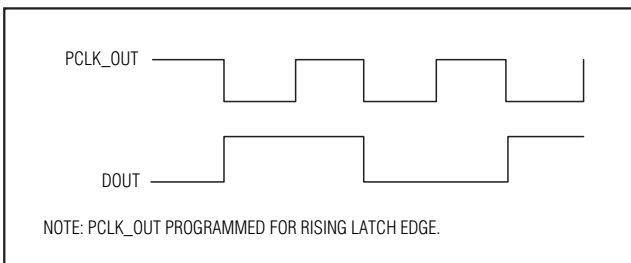


図8. MAX9258のファーストケースのパターンの出力

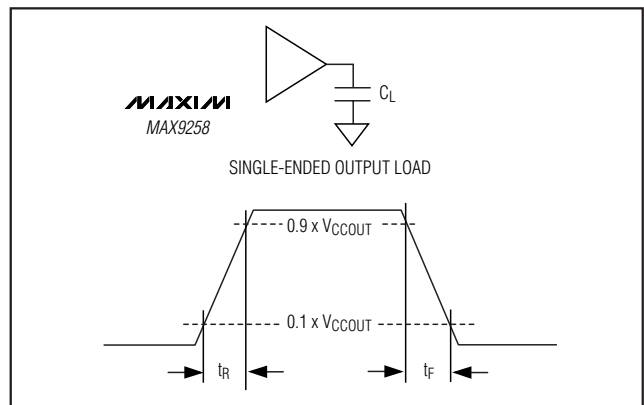


図9. MAX9258の出力の立上りおよび立下り時間

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

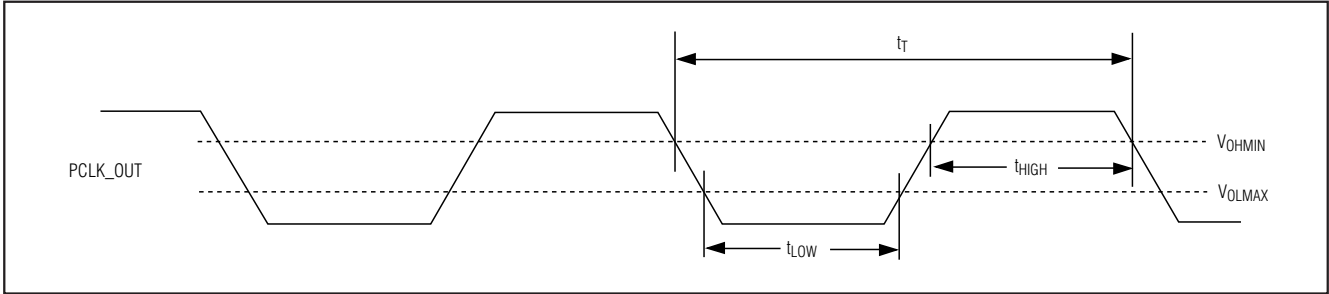


図10. MAX9258のクロック出力のハイおよびロー時間

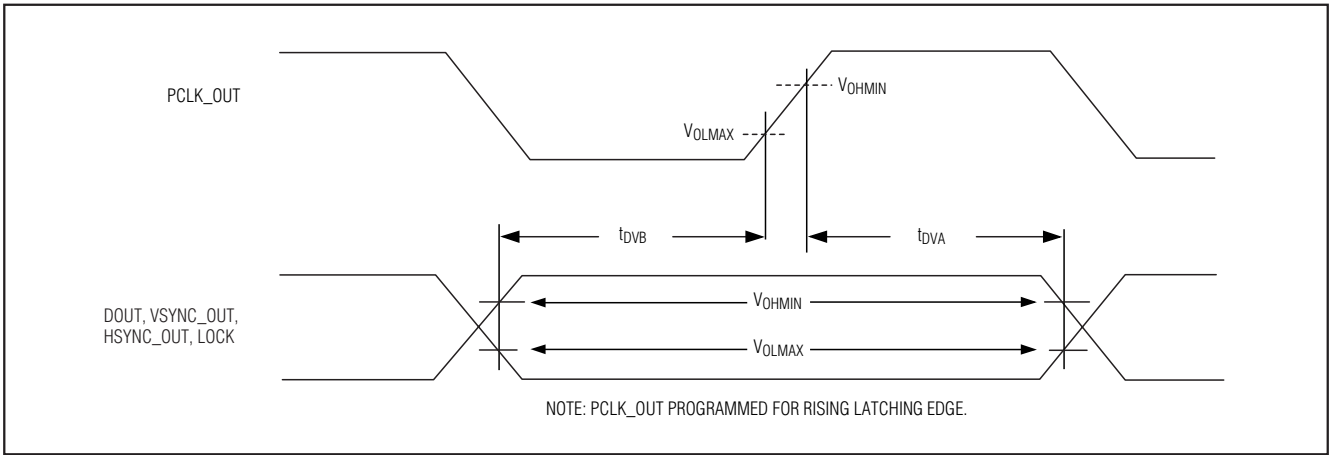


図11. MAX9258の出力のデータ有効時間

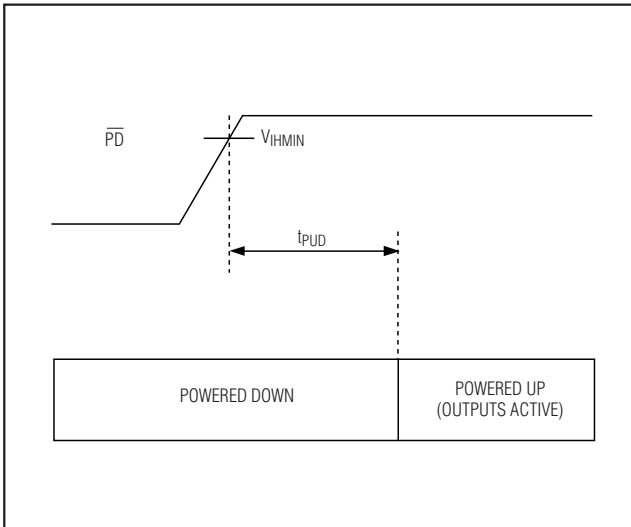


図12. MAX9258のパワーアップ遅延

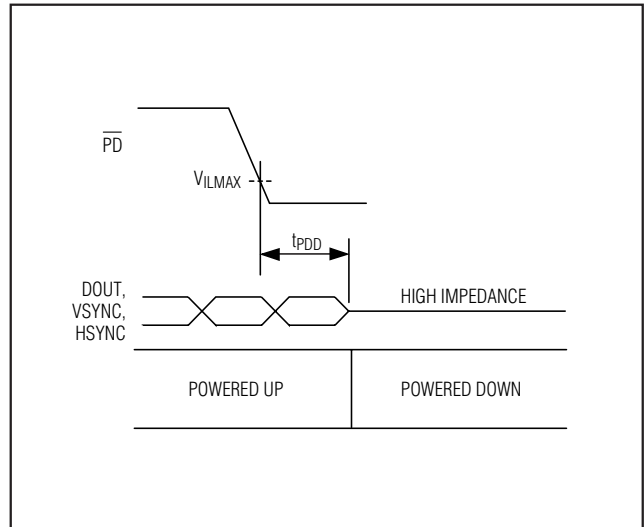


図13. MAX9258のパワーダウン遅延

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

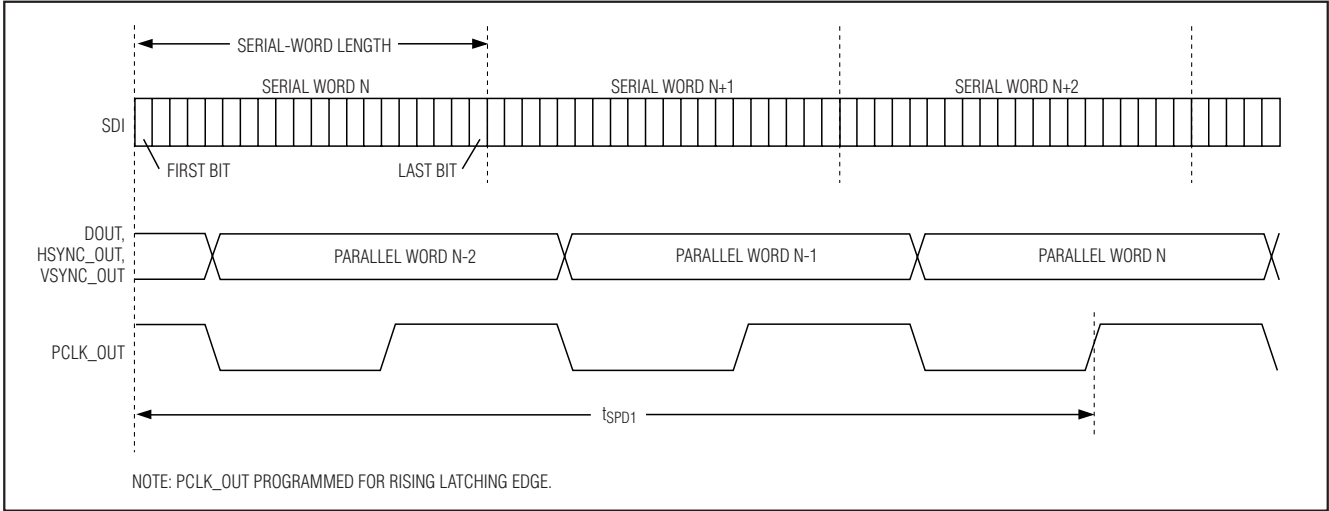


図14. MAX9258のシリアル/パラレル変換遅延

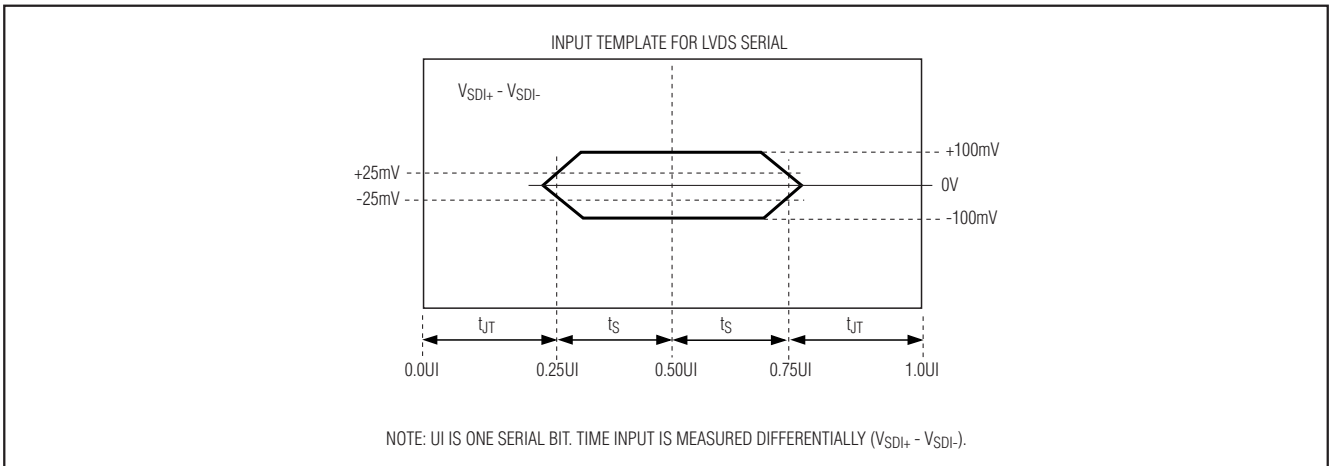


図15. MAX9258のジッタ耐性

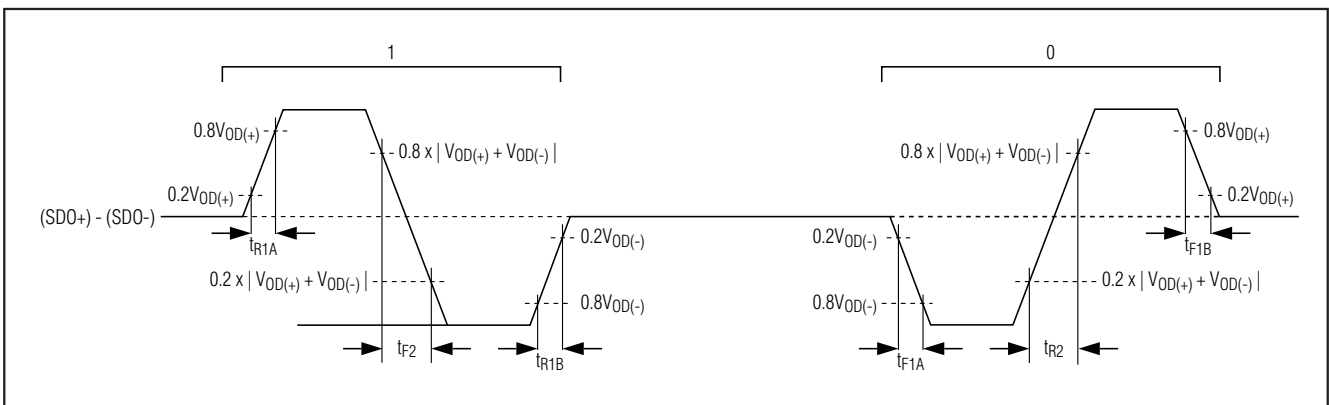


図16. 制御チャネルの遷移時間

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

がLSBとなり最初にシリアライズされます。パリティがイネーブルされている場合、パリティビットが最初にシリアライズされます。

起動時および制御チャネルフェーズ期間に、ECUがMAX9258、MAX9257、および周辺装置のプログラムを行います。デジタルビデオシステムでは、垂直ブランキング期間に制御チャネルフェーズが発生して、VSYNC信号に同期します。プログラマブルなVSYNCのアクティブエッジによって、制御チャネルフェーズが開始されます。MAX9257の拡散がイネーブルされていない場合は $8 \times t_T$ 、イネーブルされている場合は $0.5/f_{SSM}$ 経過後の任意の時点でVSYNCの非アクティブエッジへの遷移が可能です。ビデオフェーズの最後にMAX9258はCCENをハイに駆動して、制御チャネルがオープンされていることをECUに伝えます。制御チャ

ネルがオープン状態に保たれる時間は、プログラマブルなタイマーとECUの信号操作によって決まります。タイマーはECUの信号操作によってリセットされます。ビデオデータの喪失を防ぐため、ECUからのプログラミングが垂直ブランキング期間を超えないようにする必要があります。

制御チャネルフェーズが終了した後、MAX9257は546または1090ワードのパターンをハンドシェイク(HSK)として送信して、MAX9258の内部クロック復元回路をMAX9257の送信データに同期させます。ハンドシェイクの後、制御チャネルが終了してビデオフェーズが始まります。シリアルLVDSデータが復元され、回復されたピクセルクロックのプログラムされたエッジでパラレルデータが有効になります。

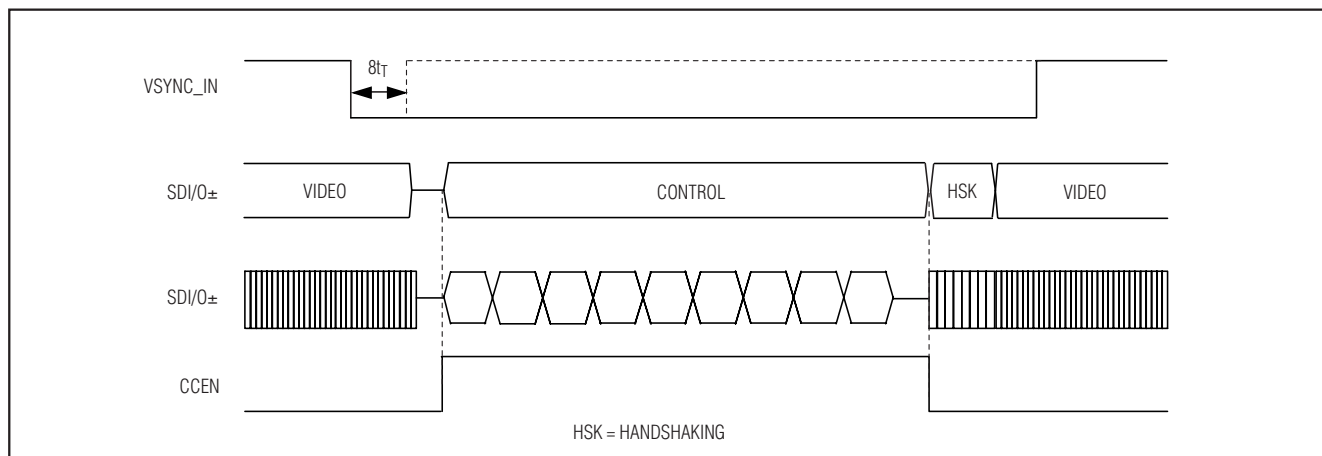


図19. ビデオおよび制御チャネルフェーズ(拡散オフ)

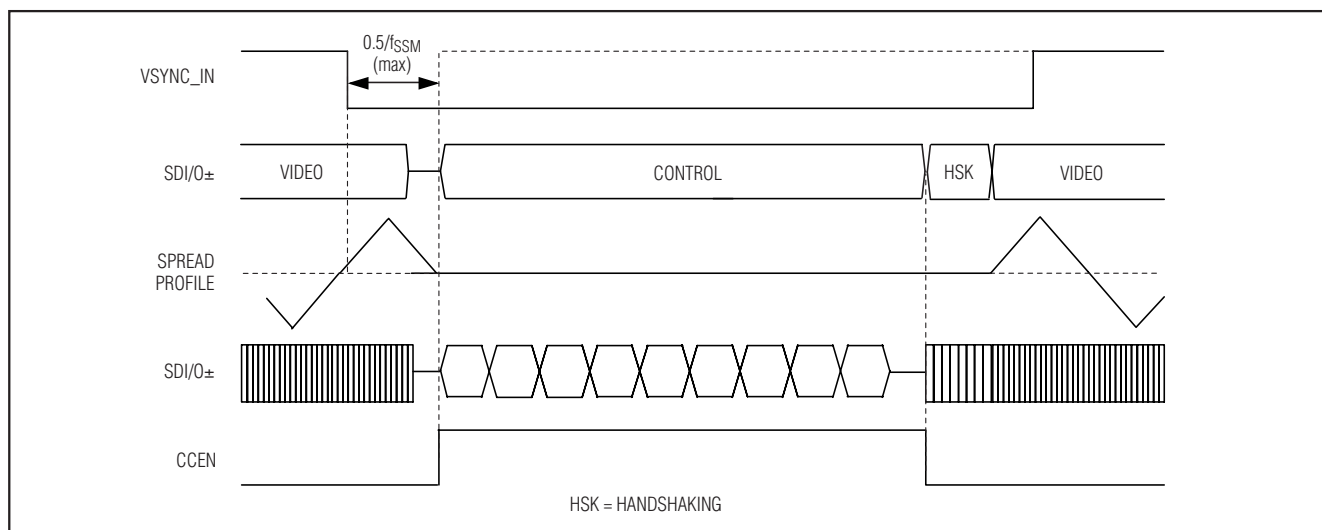


図20. ビデオおよび制御チャネルフェーズ(MAX9257、拡散イネーブル)

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

表1. MAX9257の起動時のデフォルトのレジスタマップ(「MAX9257のレジスタ表」参照)

REGISTER NAME	REGISTER ADDRESS (hex)	POWER-UP VALUE (hex)	POWER-UP DEFAULT SETTINGS
REG0	0x00	0xB5	PRATE = 10, 20MHz to 40MHz SRATE = 11, 400Mbps to 840Mbps PAREN = 0, parity disabled PWIDTH = 101, parallel data width = 18
REG1	0x01	0x1F	SPREAD = 000, spread = off Reserved = 11111
REG2	0x02	0xA0	STODIV = 1010, STO clock is pixel clock divided by 1024 STOCNT = 0000, STO counter counts to 1
REG3	0x03	0xA0	ETODIV = 1010, ETO clock is pixel clock divided by 1024 ETOCNT = 0000, ETO counter counts to 1
REG4	0x04	1) REM = 0, 0x28 2) REM = 1, 0x30	VEDGE = 0, VSYNC active edge is falling Reserved = 0 CKEDGE = 1, pixel clock active edge is rising PD: 1) If REM = 0, PD = 0 2) If REM = 1, PD = 1 SEREN: 1) If REM = 0, SEREN = 1 2) If REM = 1, SEREN = 0 BYPPPLL = 0, filter PLL is active Reserved = 0 PRBSEN = 0, PRBS test disabled
REG5	0x05	0xFA	MAX9257 address = 1111 1010
REG6	0x06	0xFF	End frame = 1111 1111
REG7	0x07	0xF8	MAX9258 address = 1111 1000
REG8	0x08	0x00	INTMODE = 0, interface with peripheral is UART INTEN = 0, interface with peripheral is disabled FAST = 0, UART bit rate = DC to 4.25Mbps CTO = 000, never come back BITRATE = 00, base mode bit rate = 95kbps to 400kbps
REG9	0x09	0x00	PRBSLEN = 0000, PRBS word length = 2 ²¹ GPIO9DIR = 0, GPIO9 = input GPIO8DIR = 0, GPIO8 = input GPIO9 = 0 GPIO8 = 0
REG10	0x0A	0x00	GPIO7DIR = 0, GPIO7 = input GPIO6DIR = 0, GPIO6 = input GPIO5DIR = 0, GPIO5 = input GPIO4DIR = 0, GPIO4 = input GPIO3DIR = 0, GPIO3 = input GPIO2DIR = 0, GPIO2 = input GPIO1DIR = 0, GPIO1 = input GPIO0DIR = 0, GPIO0 = input

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

表1. MAX9257の起動時のデフォルトのレジスタマップ(続き)

REGISTER NAME	REGISTER ADDRESS (hex)	POWER-UP VALUE (hex)	POWER-UP DEFAULT SETTINGS
REG11	0x0B	0x00	GPIO7 = 0 GPIO6 = 0 GPIO5 = 0 GPIO4 = 0 GPIO3 = 0 GPIO2 = 0 GPIO1 = 0 GPIO0 = 0
REG12	0x0C	0xE0	PREEMP = 111, preemphasis = 0% Reserved = 00000
REG13	0x0D	0x00	Reserved = 000000 I2CFILT = 00, I ² C glitch filter settings: 1) 95kbps to 400kbps = 100ns 2) 400kbps to 1000kbps = 50ns 3) 1000kbps to 4250kbps = 10ns
REG14	0x0E	0x00	Reserved = 0000 000 LOCKED = read only

表2. MAX9258の起動時のデフォルトのレジスタマップ(「MAX9258のレジスタ表」参照)

REGISTER NAME	REGISTER ADDRESS (hex)	POWER-UP VALUE (hex)	POWER-UP DEFAULT SETTINGS
REG0	0x00	0xB5	PRATE = 10, 20MHz to 40MHz SRATE = 11, 400Mbps to 840Mbps PAREN = 0, parity disabled PWIDTH = 101, parallel data width = 18
REG1	0x01	0x00	SPREAD = 00, spread spectrum = off AER = 0, error count is reset by reading error registers Reserved = 0 0000
REG2	0x02	0xA0	STODIV = 1010, STO clock is pixel clock divided by 1024 STOCNT = 0000, STO counter counts to 1
REG3	0x03	0xA0	ETODIV = 1010, ETO clock is pixel clock divided by 1024 ETOCNT = 0000, ETO counter counts to 1
REG4	0x04	0x20	VEDGE = 0, VSYNC active edge is falling HEDGE = 0, HSYNC active edge is falling CKEDGE = 1, pixel clock active edge is rising Reserved = 0000 PRBSEN = 0, PRBS test disabled
REG5	0x05	0xF8	MAX9258 address = 1111 1000
REG6	0x06	0xFF	End frame = 1111 1111
REG7	0x07	0x00	INTMODE = 0, interface with peripheral is UART INTEN = 0, interface with peripheral is disabled FAST = 0, UART bit rate = DC to 4.25Mbps CTO = 000, never come back BITRATE = 00, base mode bit rate = 95kbps to 400kbps

UART/I²C制御チャネル付き、 完全プログラマブルシリアルライザ/デシリアルライザ

表2. MAX9258の起動時のデフォルトのレジスタマップ(続き)

REGISTER NAME	REGISTER ADDRESS (hex)	POWER-UP VALUE (hex)	POWER-UP DEFAULT SETTINGS
REG8	0x08	0x10	PATHRLO = 0001 0000 parity threshold = 16
REG9	0x09	0x00	PATHRHI = 0000 0000, parity threshold = 16
REG10	0x0A	0x00	Parity errors video (8 LSBs) = read only
REG11	0x0B	0x00	Parity errors video (8 MSBs) = read only
REG12	0x0C	0x00	PRBS bit errors = read only
REG13	0x0D	0x00	Reserved = 000 Parity error, communication with MAX9258 = read only Frame error, communication with MAX9258 = read only Parity error, communication with MAX9257 = read only Frame error, communication with MAX9257 = read only I ² C error, communication with peripheral = read only

表1および2は、MAX9257/MAX9258のレジスタのパワーアップ時のデフォルト値を示しています。表3および4は、入力および出力に対する電源リファレンスを示しています。

パラレルワード幅

パラレルワード幅は、ビデオデータビット、HSYNC、およびVSYNCで構成されます。ビデオデータビットは、ピクセルクロック、シリアルデータ速度、およびパリティに応じて、8~16の範囲でプログラム可能です。表16に、パラレルワード幅を示します。

シリアルワード長

シリアルワード長は、パラレルワード幅、符号化ビット、およびパリティビットで構成されます。表5~9に、パリティなしの場合のシリアルビデオフォーマットおよびシリアルワード長を示します。表10~13に、パリティビットが含まれている場合を示します。

LVDSシリアルデータ

表5~13に示すように、シリアルLVDSデータは最下位ビット(LSB)から最上位ビット(MSB)への順で送信されます。

表3. MAX9257のI/O電源

INPUTS/OUTPUTS	SUPPLY
PCLK_IN, HSYNC_IN, VSYNC_IN, DIN[0:7], DIN[8:15]/GPIO[0:7], GPIO8, GPIO9	V _{CCIO}
SDO+, SDO-	V _{CCLVDS}
SCL/TX, SDA/RX, REM	V _{CC}

表4. MAX9258のI/O電源

INPUTS/OUTPUTS	SUPPLY
All inputs and outputs	V _{CCOUT}
SDI+, SDI-	V _{CCLVDS}

起動時に、パラレルワード幅、シリアル周波数範囲、パリティ、スペクトラム拡散、およびピクセルクロック周波数範囲をECUからプログラムすることができます(「MAX9257のレジスタ表」および「MAX9258のレジスタ表」を参照)。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

表5. シリアルワード長20ビットの場合のシリアルビデオデータフォーマット(パラレルワード幅 = 18)

BIT	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
NAME	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15

表6. シリアルワード長18ビットの場合のシリアルビデオデータフォーマット(パラレルワード幅 = 16)

BIT	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
NAME	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13

表7. シリアルワード長16ビットの場合のシリアルビデオデータフォーマット(パラレルワード幅 = 14)

BIT	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
NAME	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11

表8. シリアルワード長14ビットの場合のシリアルビデオデータフォーマット(パラレルワード幅 = 12)

BIT	1	2	3	4	5	6	7	8	9	10	11	12	13	14
NAME	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9

表9. シリアルワード長12ビットの場合のシリアルビデオデータフォーマット(パラレルワード幅 = 10)

BIT	1	2	3	4	5	6	7	8	9	10	11	12
NAME	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7

表10. パリティ付きシリアルワード長20ビットの場合のフォーマット(パラレルワード幅 = 16)

BIT	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
NAME	PR	PRB	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13

表11. パリティ付きシリアルワード長18ビットの場合のフォーマット(パラレルワード幅 = 14)

BIT	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
NAME	PR	PRB	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11

表12. パリティ付きシリアルワード長16ビットの場合のフォーマット(パラレルワード幅 = 12)

BIT	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
NAME	PR	PRB	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9

表13. パリティ付きシリアルワード長14ビットの場合のフォーマット(パラレルワード幅 = 10)

BIT	1	2	3	4	5	6	7	8	9	10	11	12	13	14
NAME	PR	PRB	EN0	EN1	HSYNC	VSYNC	D0	D1	D2	D3	D4	D5	D6	D7

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

ピクセルクロック周波数範囲

MAX9257/MAX9258は、それぞれ起動時に設定可能なレジスタを備えています。ワード長に応じて、MAX9257は内蔵のPLLを使用してPCLK_IN (ピクセルクロック)を12倍、14倍、16倍、18倍、または20倍してシリアルクロックを生成します。表20を使用して、利用可能なPCLK周波数とシリアルデータの範囲を適切に選択してください。パラレルデータはシリアルクロックを使用してシリアライズされ、シリアライズされたビットがMAX9257のLVDS出力から送信されます。MAX9257/MAX9258は広い範囲のPCLK_INをサポートしています(表14)。プログラムされた範囲外の周波数にピクセルクロック周波数を変更する必要がある場合、ECUはMAX9257とMAX9258の両方を同じ制御チャネルセッション内でプログラムする必要があります。

シリアルデータ速度範囲

ワード長とピクセルクロックは、840Mbpsという最高シリアルデータ速度によって制限されます。次の式は、ワード長、ピクセルクロック、およびシリアルクロックの間の関係を示すものです。

$$\text{シリアルワード長} \times \text{ピクセルクロック} = \text{シリアルデータ速度} \leq 840\text{Mbps}$$

たとえば、PCLK_INが70MHzの場合、シリアルデータ速度を840Mbps以下に抑えるためには、パリティをイネーブルしていないとして、DC平衡ビットを含めてシリアルワード長を12ビットにする必要があります。シリアルワード長が20ビットの場合、PCLK_INの周波数は最高で42MHzになります。シリアルデータ速度は60Mbps~840Mbpsの範囲で可変であり、パワーアップ時にプログラムすることができます(表15)。表20を使用して、利用可能なPCLK周波数とシリアルデータの範囲を適切に選択してください。シリアルデータ速度またはPCLK_INのいずれかを誤った範囲で動作させた場合、結果として過度の電流が消費され、MAX9258がMAX9257へのロックに失敗する可能性があります。

LVDSコモンモードバイアス

出力コモンモードバイアスは、MAX9258のLVDS入力およびMAX9257のLVDS出力において1.2Vです。LVDSの入力と出力をAC結合するためのバイアスを提供する外付けの抵抗は必要ありません。

LVDS終端

LVDSリンクの両端を、伝送ラインの特性インピーダンス(通常は差動100Ω)で終端してください。LVDS入力および出力は、GNDおよび差動に対してハイインピーダンスです。

表14. MAX9257のピクセルクロック範囲 (PCLK_IN)

FREQUENCY (MHz)	PRATE (REG0[7:6])
5-10	00
10-20	01
20-40	10
40-70	11

表15. シリアルデータ速度の範囲

SERIAL-DATA RATE (Mbps)	SRATE (REG0[5:4])
60-100	00
100-200	01
200-400	10
400-840	11

表16. パラレルワード幅

PARALLEL-WORD WIDTH	PWIDTH (REG0[2:0])
10	000
12	001
14	010
16	011
18	1XX

スペクトラム拡散の選択

MAX9257/MAX9258はそれぞれスペクトラム拡散のオプションを備えています。両方のオプションを同時にオンにしないでください。MAX9257でスペクトラム拡散を行うようにプログラムした場合、MAX9258ではその拡散を追尾してクロックおよびデータ出力に通過させます。MAX9257/MAX9258の両方ともセンター拡散です(図21)。制御チャネルはスペクトラム拡散を使用しませんが、遷移時間が低速です。

MAX9258のスペクトラム拡散

MAX9258は、EMI低減のためのプログラマブルなスペクトラム拡散クロックおよびデータ出力を備えています。シングルエンドのデータ出力は、復元されたピクセルクロック周波数を中心として、拡散なし、±2%、または±4%にプログラム可能です(「標準動作特性」参照)。出力の拡散のプログラムはレジスタREG1 [7:6]で行います。表17に拡散のオプションを、また表18にさまざまな変調レートを示します。

MAX9257のスペクトラム拡散

MAX9257は、LVDS出力に対してプログラマブルなスペクトラム拡散を備えています。表19にさまざまな拡散のオプションを、また表20にさまざまな変調レートを示します。スペクトラム拡散を行うようにプログラム

UART/I²C制御チャネル付き、 完全プログラマブルシリアルライザ/デシリアルライザ

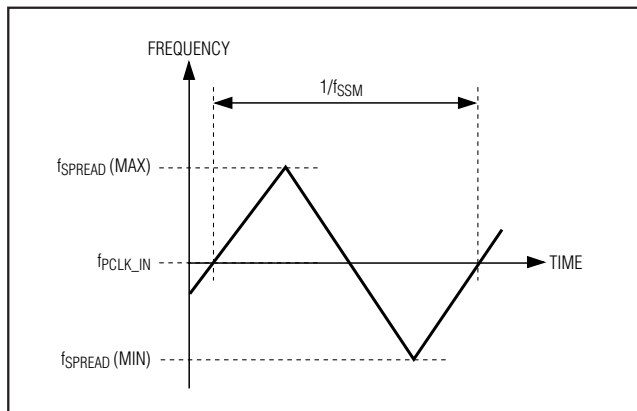


図21. 簡素化したMAX9257/MAX9258の変調プロファイル

するのは、同時には1個のデバイス(MAX9257またはMAX9258)にする必要があります。MAX9257で拡散を行うようにプログラムした場合、MAX9258はその拡散を追尾してデータおよびクロック出力に通過させます。PRATEの範囲が00および01 (5MHz ≤ PCLK ≤ 20MHz)の場合、すべての拡散オプションがサポートされます。PRATEの範囲が10および11 (20MHz ≤ PCLK ≤ 70MHz)の場合、拡散を2%以下にする必要があります。

ピクセルクロックのジッタフィルタ

MAX9257は、PCLK_INに入力される高周波ピクセルクロックのジッタを除去するPLLを備えています。FPLLは、REG4[2]に1を書き込むことによってバイパス可能です。FPLLは、MAX9258が追尾することができない高周波成分をピクセルクロックから除去して、MAX9258のデータ復元を改善します。FPLLの3dB帯域幅は100kHz (typ)です。

LVDS出力プリアンファシス(SDO±)

MAX9257は、LVDS出力がシリアルリンク上で遷移するときに追加の電流を提供するプログラマブルなプリアンファシスを備えています。プリアンファシスは、通常の駆動電流に対して追加の電流を供給します。たとえば、20%のプリアンファシスによって、通常の駆動電流より20%大きな電流が供給されます。電流の増強は遷移時にのみ行われ、スイッチングが終わると通常の駆動電流に戻ります。プリアンファシスレベルの選択によって、アイダイアグラムを最適化してください。プリアンファシスはLVDS出力の高周波数成分を増強して、駆動可能なケーブル長を延長させます。プリアンファシスの量は、REG12[7:5]でプログラムします(表21)。

VSYNC、HSYNC、およびピクセルクロックの極性

PCLK : MAX9257はPCLKの立上りエッジまたは立下りエッジのいずれかでデータをラッチするようプログラム可能です。MAX9258のPCLKOUTの極性は、MAX9257

表17. MAX9258の拡散

PRATE (REG1[7:6])	SPREAD (%)
00	Off
01	±2
10	Off
11	±4

表18. MAX9258の変調レート

PRATE (REG1[7:6])	MODULATION RATE	f _{SSM} RANGE (kHz)
00	PCLK/312	16 to 32
01	PCLK/520	19.2 to 38.5
10	PCLK/1040	19.2 to 38.5
11	PCLK/1248	32 to 56

表19. MAX9257のLVDS出力の拡散

REG1[7:5]	SPREAD (%)
000	Off
001	±1.5
010	±1.75
011	±2
100	Off
101	±3
110	±3.5
111	±4

のPCLKのアクティブエッジとは独立しています。PCLKの極性は、MAX9257およびMAX9258のREG4[5]を使用してプログラムすることができます。

VSYNC : MAX9257およびMAX9258は、VSYNCの立下りエッジで制御チャネルに入ります。デフォルトのレジスタ設定では、VSYNCのアクティブエッジはMAX9257とMAX9258の両方ともに立下りエッジになっています。MAX9257側でVSYNCのアクティブエッジを立上りエッジにプログラムする場合は、MAX9258のVSYNCのアクティブエッジも立上りエッジにプログラムして、MAX9258の出力でVSYNCの立上りエッジを再現する必要があります。しかし、MAX9257とMAX9258の間でVSYNCのアクティブエッジの極性を整合させることは、正しい動作のための要件ではありません。

HSYNC : MAX9258についてHSYNCのアクティブエッジの極性をプログラム可能です。

汎用I/O (GPIO)

MAX9257では最大10個のGPIOを利用可能です。GPIO8およびGPIO9が常に利用可能であるのに対して、GPIO[0:7]はパラレルワード幅に応じて利用可能になります(表22)。GPIOが利用できない場合、該当するGPIOビットは使用されません。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

表20. MAX9257の変調レート

SERIAL-WORD LENGTH	SRATE	PRATE	PCLK RANGE (MHz)	MODULATION RATE	f _{SSM} RANGE (kHz)
12	11	11	40–70	PCLK/2728	14.7 to 25.7
	11	10	33.3–40	PCLK/1736	19.2 to 23.0
	10	10	20–33.3	PCLK/1612	12.4 to 20.7
	10	01	16.6–20	PCLK/992	16.7 to 20.2
	01	01	10–16.6	PCLK/1116	9.0 to 14.9
	01	00	8.3–10	PCLK/744	11.2 to 13.4
	00	00	5–8.3	PCLK/868	5.8 to 9.6
14	11	11	40–60	PCLK/2304	17.4 to 26.0
	11	10	28.6–40	PCLK/1728	16.6 to 23.1
	10	10	20–28.6	PCLK/1440	13.9 to 19.9
	10	01	14.3–20	PCLK/1008	14.2 to 19.8
	01	01	10–14.3	PCLK/1008	9.9 to 14.2
	01	00	7.1–10	PCLK/720	9.9 to 13.9
	00	00	5–7.1	PCLK/720	6.9 to 9.9
16	11	11	40–52.5	PCLK/1968	20.3 to 26.7
	11	10	25–40	PCLK/1640	15.2 to 24.4
	10	10	20–25	PCLK/1312	15.2 to 19.1
	10	01	12.5–20	PCLK/984	12.7 to 20.3
	01	01	10–12.5	PCLK/820	12.2 to 15.2
	01	00	6.25–10	PCLK/656	9.5 to 15.2
	00	00	5–6.25	PCLK/656	7.6 to 9.5
18	11	11	40–46.6	PCLK/1840	21.7 to 25.3
	11	10	22.2–40	PCLK/1472	15.1 to 27.2
	10	10	20–22.2	PCLK/1104	18.1 to 20.1
	10	01	11.1–20	PCLK/920	12.1 to 21.7
	01	01	10–11.1	PCLK/736	13.6 to 15.1
	01	00	5.6–10	PCLK/736	7.6 to 13.6
	00	00	5–5.6	PCLK/552	9.1 to 10.1
20	11	11	40–42	PCLK/1632	24.5 to 25.7
	11	10	20–40	PCLK/1632	12.3 to 24.5
	10	01	10–20	PCLK/1020	9.8 to 19.6
	01	00	5–10	PCLK/816	6.1 to 12.3

GPIOは、LVCMOSロジックレベルの駆動またはロジック入力の読取りを行うようにプログラム可能です。GPIOが出力としてプログラムされている場合に出カレベルの設定を行うレジスタビットには、GPIOが入力としてプログラムされている場合は入力レベルが格納されます。

オープンドレイン出力(LOCK、 $\overline{\text{ERROR}}$)

LOCKと $\overline{\text{ERROR}}$ は、外部電源へのプルアップ抵抗を必要とするオープンドレイン出力です。 $\overline{\text{ERROR}}$ はエラーが

発生した場合ローにアサートされ、LOCKはMAX9258がMAX9257にロックされる時ハイインピーダンスになり、ロック状態でハイに維持されます。デバイスのシャットダウン時には、チャンネルはロックされず、LOCKはハイインピーダンスになり、ハイに維持されますが、無視してください。 $\overline{\text{ERROR}}$ はシャットダウン時にハイインピーダンスになり、ハイに維持されます。プルアップ抵抗を選択する際には、電力消費と速度のトレードオフが存在します。通常は10kΩのプルアップで十分です。

UART/I²C制御チャネル付き、 完全プログラマブルシリアルライザ/デシリアルライザ

表21. プリエンプハシス

REG12[7:5]	PREEMPHASIS (%)
000,101,110	20
001	40
010	60
011	80
100	100
111	0

表22. GPIOとパラレルワード幅

PARALLEL-WORD WIDTH (N)	GPIOs AVAILABLE
18	GPIO[8:9]
16	GPIO[6:9]
14	GPIO[4:9]
12	GPIO[2:9]
10	GPIO[0:9]

複数のシリアルライザおよびデシリアルライザを使用する場合、または単一のシリアルライザから複数のデシリアルライザにリピータ経由でファンアウト接続する場合、LOCKおよびERRORの各出力をAND構成に結線することが可能です。そうした状況では、複数のLOCK出力をひとつに結線して、単一のプルアップ抵抗を使用してすべてのラインをハイにプルアップしてください。すべてのデバイスがロックされた場合、LOCKがハイになります。ERRORについても同様の処理を行ってください。いずれかのMAX9258がエラーを通知すると、ERRORがローになります。

ベースモードとバイパスモード(基礎)

制御チャネルフェーズには、ベースとバイパスの2種類のモードが存在します。ベースモードでは、ECUは常にMAX9257/MAX9258のUARTプロトコルを使用して通信を行い、周辺装置との通信はMAX9257によってI²Cで行われます。MAX9257またはMAX9258宛て以外のパケットは、I²Cに変換されて周辺装置に渡されます。同様に、周辺装置からのI²Cパケットは逆の方向でUARTパケットに変換されます。ECUがINTEN (MAX9257ではREG8[6]、MAX9258ではREG7[6])に0を書き込むと、周辺装置との通信をディセーブすることができます。ベースモードがデフォルトのモードです。INTMODEに0を、INTENに1を書き込むと、バイパスモードに入ります(表23)。CTOの期間の間、制御チャネルにECUからの操作がない場合、バイパスモードは終了します。CTOがタイムアウトするとINTENが0に戻り、MAX9257/MAX9258はベースモードに復帰します。ECUがCTOタイマーをロックするか、またはETOおよびSTOよりも長い時間をCTOにプログラムすることによって、永続的にバイパスモードを維持することが可能です。

表23. ベースモードまたはバイパスモードの選択

INTEN MAX9257 REG8[6], MAX9258 REG7[6]	INTMODE MAX9257 REG8[7], MAX9258 REG7[7]	MODE
0	X	Base mode, communication with peripheral is not enabled
1	1	Base mode, communication with peripheral is enabled (I ² C)
1	0	Bypass mode, communication with MAX9257/MAX9258 is not enabled, communication with peripheral is enabled (UART)

表24. STOのクロック分周比

REG2[7:4]	STODIV
00XX	16
0100	16
0101	32
0110	64
0111	128
1000	256
1001	512
1010	1024
1011	2048
1100	4096
1101	8192
1110	16,384
1111	32,768

タイマー

MAX9257/MAX9258は、3種類のタイマーを備えています。スタートタイムアウト(STO)およびエンドタイムアウト(ETO)は、制御チャネルの持続時間を制御します。カムバックタイムアウト(CTO)は、バイパスモードの持続時間を制御します。

STOタイマー

STOのタイムアウト時間内にECUが制御チャネルの使用を開始しない場合、STO (スタートタイムアウト)タイマーが制御チャネルを終了します。STOタイマーは、MAX9257とMAX9258の両方ともレジスタREG2によって設定されます。REG2[7:4]の4ビットによって、STOのクロック分周比(STODIV)がピクセルクロックの

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

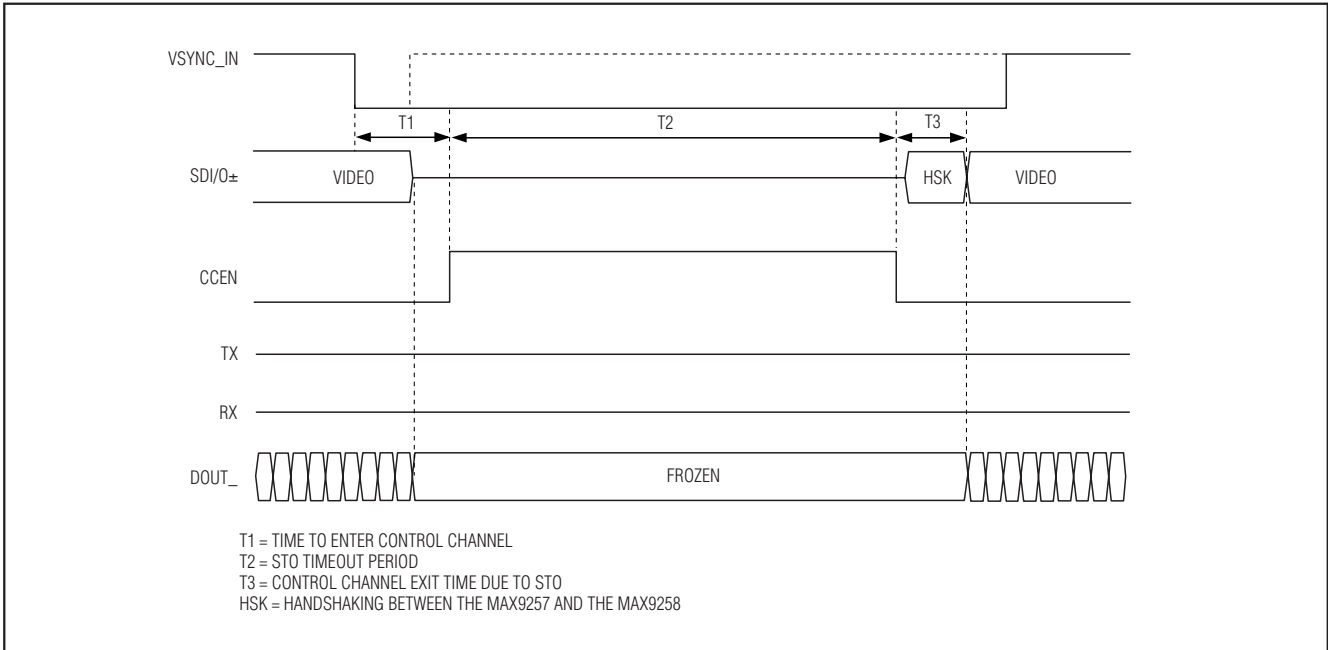


図22. STOのタイムアウトによる制御チャネルの終了

関数の形で選択されます(表24)。タイムアウト時間は、STOのクロック周期ごとに1回インクリメントされるカウンタビットREG2[3:0]によって決定されます。REG2[3:0]への書き込みによってカウンタの終了時間を決定してください。STOカウンタは、プログラムされたSTOCNT + 1までカウントを行います。ECUはSTOがタイムアウトする前に通信を開始する必要があり、そうしない場合は制御チャネルが終了します(図22)。STOのタイムアウト時間は、次式で与えられます。

$$t_{STO} = \left(\frac{1}{f_{CLK}} \right) \times STODIV \times (STOCNT + 1)$$

例：

ピクセルクロック周波数が16MHzに設定されており、STODIVに1010 (STODIV = 1024)、STOCNTに1001 (STOCNT = 9)がセットされている場合、STOタイマーは15.625kHzのSTOクロック(16MHz/1024)で10に達するまで内部的にカウントを行い、タイマーが終了します。t_{STO}は、t_T × 1024 × 10 = 640μsに等しくなります。

STODIVのデフォルト値は1024、STOCNTのデフォルト値は0です。すなわち、STOのタイムアウト時間は1024ピクセルクロックサイクルに等しくなります。制御チャネル上でECUからの操作が行われるとSTOタイマーが停止し、ETOタイマーがスタートします。

表25. ETOのクロック分周比

REG3[7:4]	ETODIV
00XX	16
0100	16
0101	32
0110	64
0111	128
1000	256
1001	512
1010	1024
1011	2048
1100	4096
1101	8192
1110	16,384
1111	32,768

ETOタイマー

ETOのタイムアウト時間の間、ECUが通信を停止した場合、ETO (エンドタイムアウト)タイマーが制御チャネルを終了します。MAX9257とMAX9258の両方とも、レジスタREG3[7:4]の設定によってETOクロックの分周比(ETODIV)をピクセルクロックの関数として選択してください(表25)。タイムアウト時間は、ETOのクロック周期ごとに1回インクリメントされるカウンタビットREG3[3:0]によって決定されます。REG3[3:0]への書き込みによってカウンタの終了時間を決定してください。ETOカウンタは、プログラムされたETOCNT + 1

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

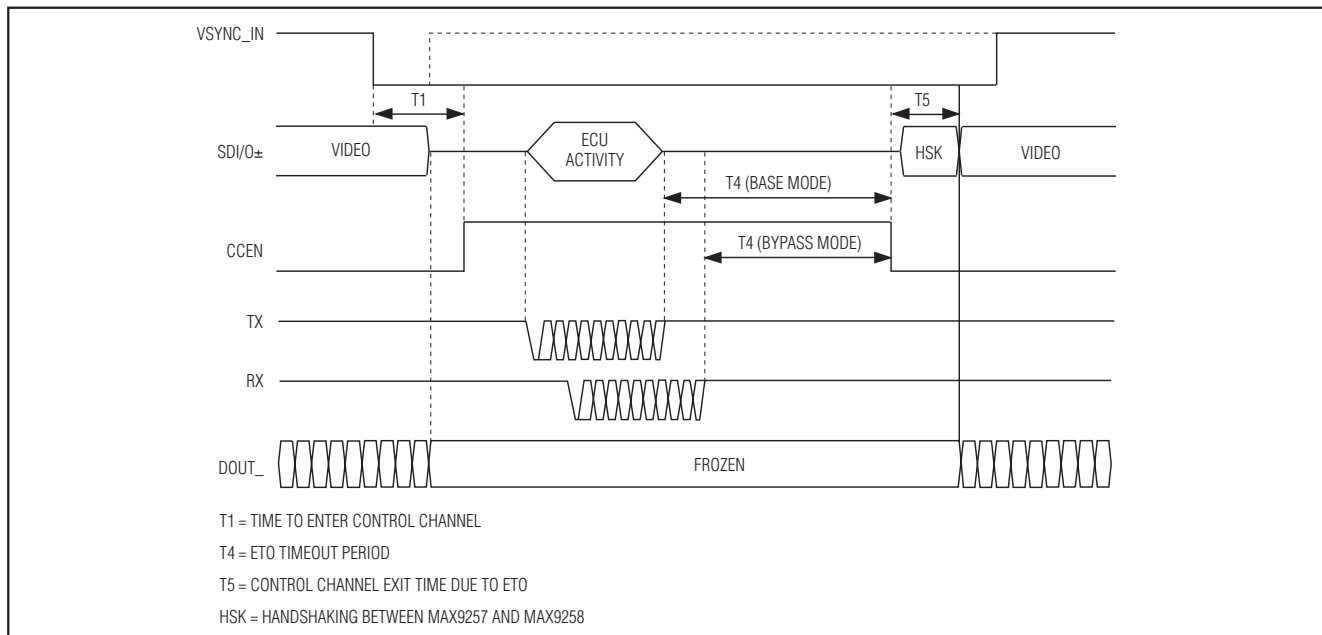


図23. ETOのタイムアウトによる制御チャネルの終了

までカウントを行います。ECUが何らかの通信を行うと、ETOタイマーがリセットされます。ECUがETOのタイムアウト時間の間、データの送信を停止した場合、制御チャネルが終了します(図23)。

$$t_{ETO} = \left(\frac{1}{f_{CLK}} \right) \times ETODIV \times (ETOCNT + 1)$$

例：

ピクセルクロック周波数が16MHzに設定されており、ETODIVに1010 (ETODIV = 1024)、ETOCNTに1001 (ETOCNT = 9)がセットされている場合、ETOタイマーは15.625kHzのETOクロック(16MHz/1024)で10に達するまで内部的にカウントを行い、タイマーが終了します。t_{ETO}は、t_T × 1024 × 10 = 640μsに等しくなります。

ETODIVのデフォルト値は1024、ETOCNTのデフォルト値は0です。すなわち、ETOのタイムアウト時間は1,024ピクセルクロックサイクルに等しくなります。

制御チャネルの終了

MAX9257は、VSYNCのアクティブエッジを検出した後、3個の同期ワードを送信します。MAX9258は、アクティブなVSYNCの遷移を観測して3個の同期ワードを検出した後、制御チャネルフェーズに入り、CCENがハイになります。VSYNCの遷移からCCENがハイに遷移するまでの間に、短い遅延T1が存在します。CCENがハイになった時点でECUの通信が許可されます。

CCENがハイの間にECUが通信を行わない場合(図22)、リンクは無信号のままになり、STOがプリセットされたタイムアウトカウンタ値に向かってカウントを開始します。STOがタイムアウトした場合(T2)、CCENがローに遷移して制御チャネルが終了されます。

CCENがハイの間に、STOがタイムアウトする前にECUが通信を行った場合(図23)、STOタイマーはオフになり、ETOタイマーがイネーブルされます。ECU (ベースモード)またはECUおよびカメラ(バイパスモード)からの通信が検出されると、ETOカウンタ(ETOCNT + 1)が0にリセットされます。ECU (ベースモード)またはECUおよびカメラ(バイパスモード)からの通信がリンク上に存在する限り、チャネルは終了されず、ETOカウンタがリセットされます。ECU (ベースモード)またはECUとカメラ(バイパスモード)がリンク動作を終了した後、ETOがタイムアウトして(T4)、CCENがローに遷移して、制御チャネルが終了します。

ベースモードにおいて制御チャネルを終了するもう1つの方法として、ECUがエンドフレーム(EF)を送信することによって、ETOのタイムアウトを待たずに制御チャネルを終了することができます。MAX9257/MAX9258の両方がEFを受信すると、制御チャネルが直ちに終了され、CCENがローになります。EFの前に、同期フレームを送信する必要があります。バイパスモードではエンドフレームを使用することができません。ECUにエラーを通知するためには、EFによって制御チャネルを終了する必要があります。

UART/I²C制御チャネル付き、 完全プログラマブルシリアルライザ/デシリアルライザ

制御チャネルが終了された後に、MAX9257とMAX9258の間に短いハンドシェイク期間(図22のT3および図23のT5)があります。MAX9258はMAX9257に対して、PLLがまだロックされているかどうかを示す特別なロックフレームを送信します。MAX9258は、直前のLVDSビデオフェーズセッションにおけるデコードエラーの数がスレッシュホールドを超えなかった場合にロックフレームを送信します。MAX9258は制御チャネルの時間が延長された場合に周波数ドリフトを防止する独自方式のVCOロックを備えています。ロックフレームを受信した場合、MAX9257はMAX9258がロック状態であると理解して、短いトレーニングシーケンスを送信します。ロックフレームを受信しなかった場合、MAX9257はMAX9258がロックされていないものと見なし、長いトレーニングシーケンスを送信します。短いトレーニングシーケンスまたは長いトレーニングシーケンスが完了した後、MAX9257はビデオフェーズに入る前に3個の特別な同期化ワードを送信します。トレーニングシーケンスは、ビデオフェーズが開始される前にMAX9257/MAX9258を再度同期させるために使用されます。

MAX9257/MAX9258の制御チャネルの持続時間は、VSYNCとは独立しています。VSYNCがデアサートされたときも制御チャネルは終了されないため、VSYNC_IN上のVSYNC割込み信号を使用することが可能です。制御チャネルは、STO、ETO、またはEFによって終了する必要があります。ビデオデータが利用可能になる前に制御チャネルが終了されなかった場合、ビデオデータが失われる可能性があります。

STO/ETOタイマーのプログラミング

STOおよびETOは、T2、T4の値、およびT1、T3、およびT5の最大値に基づいてプログラムすることができます(図22、23)。

t_T = ピクセルクロック周期、 t_{UCLK} = UART周期

MAX9257でスペクトラム拡散をイネーブルしていない場合、

$$\max(T1) = 2.5\mu\text{s} + (3 \times t_T) + (4 \times t_{UCLK})$$

MAX9257でスペクトラム拡散をイネーブルしている場合、

$$\max(T1) = 2.5\mu\text{s} + (1400 \times t_T) + (4 \times t_{UCLK})$$

$$T2 = t_{STO}$$

$$T4 = t_{ETO}$$

ピクセルクロック周波数の範囲(PRATE)が00または01の場合、

$$\max(T3) = \left(\left(\frac{t_{STO}}{8} \right) + 546 \right) \times t_T + (20 \times t_{UCLK})$$

$$\max(T5) = \left(\left(\frac{t_{ETO}}{8} \right) + 546 \right) \times t_T + (20 \times t_{UCLK})$$

ピクセルクロック周波数の範囲(PRATE)が10または11の場合、

表26. CTOカウンタのタイムアウト時間

MAX9257 REG2[7:4] MAX9258 REG3[7:4]	COUNTER USING UART BIT TIMES
000	Never come back (lockout)
001	16
010	32
011	48
100	64
101	80
110	96
111	112

$$\max(T3) = \left(\left(\frac{t_{STO}}{8} \right) + 1090 \right) \times t_T + (20 \times t_{UCLK})$$

$$\max(T5) = \left(\left(\frac{t_{ETO}}{8} \right) + 1090 \right) \times t_T + (20 \times t_{UCLK})$$

CTOタイマー

CTO (カムバックタイムアウト)タイマーは、一時的または永続的にMAX9257/MAX9258のレジスタに対するプログラミングを阻止します。CTOは、CTOタイムアウト時間(表26)の間、MAX9257/MAX9258をバイパスモードに維持します。バイパスモードを終了することができるのは、CTOタイマーが終了した場合のみです。CTOタイマーは、UARTのビット時間をカウンタに使用します。STOおよびETOタイマーがピクセルクロックを使用するのに対して、CTOはUARTのビット時間を使用することに注意してください。UARTの周期 t_{UCLK} はUARTのビット時間に同期しており、SYNCフレームが送信されるたびに同期化されます。

CTOタイマーがタイムアウトしたときは、両方のデバイスのINTENビットに0がセットされ、MAX9257/MAX9258はベースモードに復帰します。初期プログラミングが完了した後はMAX9257/MAX9258との通信が必要ない場合は、CTOに000 (復帰なし)をセットすることができます。この場合、CTOが終了することはなくなり、MAX9257/MAX9258はパワーダウンされるまでバイパスモードのままになります。これによって、MAX9257/MAX9258が誤ってプログラミングされることが防止され、ECUはMAX9257/MAX9258のUARTプロトコルとは異なるUARTプロトコルを使用して周辺装置との通信を行うこととなります。

全体のCTOタイムアウトは、次のように算出されます。

$$t_{CTO} = t_{UCLK} \times \text{CTO}$$

UARTのビットレートが2Mbps、REG2[7:4]、REG3[7:4] = 100 (表26)、CTO = 64とすると、CTOのタイムアウトは次のように算出されます。

$$t_{CTO} = (0.5\mu\text{s}) \times 64 = 32\mu\text{s}$$

UART/I²C制御チャネル付き、 完全プログラマブルシリアルライザ/デシリアルライザ

リンクのパワーアップ

MAX9258は、パワーダウン入力PDがハイになったときパワーアップします。約130 μ sの後、CCENがハイになり、制御チャネルが利用可能であることを示します。アナログ回路が完全にウェイクアップする必要があるため、この遅延が必要になります。MAX9257のパワーアップには2種類の方法があります。MAX9257はREMの状態に従ってパワーアップします。REMがV_{CC}にプルアップされている場合は、ECUがリモートからMAX9257をパワーアップします(ECUがパワーアップのコマンドを送信します)。REMがグランドに接続されている場合は、MAX9257は電源電圧に従ってパワーアップします。

シリアルライゼーションがイネーブル状態でのMAX9257への給電(パワーアップ時にREM = グランド)

REMがグランドに接続されている場合、MAX9257は電源が印加されたとき完全にパワーアップします。パワーダウンビットPD (REG4[4])はディセーブルされ、シリアルライゼーションビットSEREN (REG4[3])はイネーブルされます。PCLK_INが動作していない場合、MAX9257は制御チャネルのままになります。PCLK_INが印加された後で、STO、ETO、またはEFによって制御チャネルがタイムアウトします。32,768クロックサイクル後にMAX9257がPCLKにロックした後、MAX9257はハンドシェイクを開始します。PCLK_INが動作している場合、MAX9257のPLLがPCLK_INにロックした後、レジスタにデフォルト値が格納された状態でシリアルライゼーションが自動的に開始されます。

MAX9257のリモートパワーアップ (REM = V_{CC}にプルアップ)

REMがV_{CC}にプルアップされている場合、MAX9257は電源電流100 μ A未満の低電力モードでウェイクアップします。MAX9257をウェイクアップするため、ECUは最初にダミーフレーム0xDBを送信した後、MAX9257の内部アナログ回路が完全にパワーアップすることができるように、少なくとも100 μ sの間待機します。次にECUは、MAX9257が低電力状態に戻らないようにするためにPDビット(REG4[4])をディセーブルする書込みを含めて、MAX9257のレジスタの設定を行います。個々のパケットを同期フレームで開始する必要があります(「UART」の項を参照)。ダミーフレームの送信から70ms以内にPDビットがディセーブルされなかった場合、MAX9257は低電力状態に戻り、パワーアップシーケンス全体の繰返しが必要になります。設定が完了した後で、ECUはビデオフェーズを開始するためにSERENビットのイネーブルも行う必要があります。

REMをV_{CC}にプルアップした状態で初期パワーアップを行った場合、SERENビットのデフォルト値が0であるため、STOおよびETOタイマーは動作しません。SERENが0である限り、制御チャネルがイネーブルされています。そのため、初期パワーアップ時に制御チャネルを使用して、チャネルをタイムアウトさせずに大量のプログラミングを行うことが可能になっています。エンドフレームを使用して制御チャネルを終了した

場合、制御チャネルの通信で発生したUART、パリティ、フレーム、およびパケットの各エラーが通知されます(「MAX9258のエラーチェックおよび通知」の項を参照)。エラーの特定を早くするため、シリアルライゼーションをイネーブルする前に、書き込んだレジスタを読み取ってすべての書込みコマンドの検証を行ってください。

リンクのパワーダウン

制御チャネルがオープンされている場合、ECUはPDビットに書込みを行ってMAX9257をパワーダウンします。この場合、MAX9257を再度パワーアップするためには、「MAX9257のリモートパワーアップ(REM = V_{CC}にプルアップ)」の項で説明したパワーアップシーケンスを繰り返す必要があります。MAX9258は、デバイスをパワーダウンさせるPD入力を備えています。

MAX9258のエラーチェックおよび通知

MAX9258はオープンドレインのERROR出力を備えています。この出力は、システムの動作中に遭遇したさまざまなエラー状態を示します。エラー状態が検出され、それを通知する必要がある場合、ERRORがローにアサートされます。ERRORは、UART、ビデオパリティ、およびPRBSエラーの、3種類のエラー状態を示します。

UARTエラー

ベースモードにおける制御チャネル通信の間、MAX9257/MAX9258はUARTフレーム、パリティ、およびパケットの各エラーを記録します。I²Cインタフェースがイネーブルされている場合は、I²CエラーもMAX9257によって記録されます。ECUがエンドフレーム(EF)の使用によって制御チャネルを終了した場合、MAX9257はエラーフレームと呼ばれる特別な内部UARTフレームをMAX9258に返送します。MAX9257のUARTおよびI²Cのエラーは、次の制御チャネルでリセットされます。MAX9258はエラーフレームを受信して、エラーステータスをUARTエラーレジスタ(REG13)に記録します。MAX9257がUARTおよびI²Cエラーの通知をMAX9258に返すためには、ECUがエンドフレームを使用して制御チャネルを終了する必要があります。UARTエラーレジスタ内の1つのビットが1になったとき、ERRORがローにアサートされます。UARTエラーレジスタはECUが読み取りを行ったときにリセットされ、ERRORがローにアサートされた唯一の原因がUARTエラーであった場合は、直ちにERRORがハイにデアサートされます。MAX9258がロックされていない場合(LOCK = ロー)、UARTエラーの通知は行われません。

ビデオパリティエラー

ビデオパリティのチェックがイネーブルされている場合(両方のデバイスのREG0[3])、MAX9258は復元されたビデオワードをチェックしてビデオパリティエラーの数をカウントします。このカウンタの値は、PAERRHI (REG11の上位8ビット)およびPAERRLO (REG10の低位8ビット)に反映されます。検出されたパリティエラーの数がパリティエラーのスレッショルドPATHRHI

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

(REG9)およびPATHRLO (REG8)以上である場合、ERRORがローにアサートされます。この場合、ERRORがローにアサートされた唯一の原因がビデオパリティエラーであった場合は、次のビデオフェーズが開始された後ERRORがハイにアサートされます。バイパスモードでパリティエラーを通知するためには、オートエラーリセット(AER)に1をプログラムしてください (REG1[5] = 1)。

オートエラーリセット

エラーをリセットするためのデフォルトの方法は、MAX9258の個別のエラーレジスタ(レジスタ10、11、および13)を読み取ることです。次の制御チャネルの前にエラーが存在していた場合、エラーカウントが以前の数に加算されます。オートエラーリセット(AER)ビットに1をセットすると、制御チャネルの終了時にエラーレジスタがリセットされるようになります。AERに1をセットしてもPRBSエラーはリセットされません。

PRBSエラー

PRBSテスト中に、MAX9258は内部で生成したPRBSデータと比較して、受信したPRBSデータワードのチェックを行います。検出されたエラーは、MAX9258のPRBSエラーレジスタ(REG12)でカウントされます。検出されたPRBSエラーの数が0より多い場合、ERRORがローにアサートされます。PRBSエラーレジスタは、ECUがPRBSENレジスタ(REG4[0])に0を書き込んだときにリセットされます。この場合、ERRORがローにアサートされた唯一の原因がPRBSエラーであった場合は、直ちにERRORがハイにアサートされます。

短い同期パターン

短い同期パターンは、制御チャネルフェーズ終了後にMAX9257とMAX9258の間で行われるハンドシェイク手順の一部です。これは、ビデオフェーズが開始される前に、MAX9258のクロックおよびデータ復元回路を再度MAX9257に同期させるために使用されます。MAX9258からロックフレームを受信したとき、MAX9257は短い同期パターンを送信します。短い同期パターンの長さは、PRATEの範囲によって決まります。PRATEが00または01の場合、短い同期パターンは546ワードで構成され、PRATEが10または11の場合、短い同期パターンは1090ワードで構成されます。各ワードは1ピクセルクロック周期です。

長い同期パターン

パワーアップ時またはMAX9257がMAX9258からロックフレームを受信しなかった場合、MAX9257は長い同期パターンを送信します。長い同期パターンは、17,410ワードで構成されます。各ワードは1ピクセルクロック周期です。REMがハイの場合、62回の試行を経ても同期が達成されないと、MAX9257はトラブルシューティングを可能にするためにSERENを0にリセットして制御チャネルをオープンのままにします。REMがローの場合、MAX9257/MAX9258は接続の再確立を連続的に試行します。

表27. リンクステータス

LOCK	CCEN	INDICATION
1	0	LVDS channel active
1	1	Control channel active
0	X	PLL loss of lock

ロック確認(ハンドシェイク)

各垂直ブランキング期間の終わりで、MAX9257はMAX9258がロックを喪失していないことを確認します。MAX9258はMAX9257とハンドシェイクを行って、ロックの状態を示します。ハンドシェイクは、チャンネルが終了した後に行われます(図22および23)。直前のビデオフェーズにおいて1つのタイムウィンドウ内のデコードエラーの数が特定のスレッショルドを超えなかった場合、MAX9258はロックを示すロックフレームを送り返します。ロックフレームを受信したMAX9257は、短い同期パターンを送信します。MAX9258は制御チャネルでの周波数ドリフトを防止するための独自方式のVCOメカニズムを備えています。これによって、制御チャネルを長時間にわたって使用した後も再同期化に成功することが可能になっています。タイムウィンドウ内のデコードエラーの数が特定のスレッショルドを超えている場合、MAX9258はロックを喪失し、LOCKがローになり、ロックフレームは送信されません。MAX9258は、ハンドシェイクに失敗した場合もロックを喪失します。MAX9257がロックフレームを受信しなかった場合、次のビデオフェーズの開始前に長い同期パターンを送信します。REM = 1の場合、連続する62回の同期の試行を経てもMAX9257がロックフレームを受信しなければ、SERENがディセーブルされて、トラブルシューティングのため永続的に制御チャネルがオープンになります。

リンクステータス(LOCKおよびCCEN)

LOCK出力は、MAX9258がMAX9257にロックされているかどうかを示します。LOCKは、V_{CC}にプルアップする必要があるオープンドレインの出力です。LOCKは、MAX9258がMAX9257にロックされていないことを示すためにローにアサートされ、ロックされているときはハイになります。制御チャネルフェーズでは、ビデオフェーズでハイだった場合にはLOCKはハイのままになります。制御チャネルフェーズの間、MAX9258のPLL周波数は一定に維持され、PCLK出力はアクティブ、データ出力は制御チャネルフェーズに入る直前の有効な値で凍結されます。CCEN出力は、MAX9257/MAX9258が制御チャネルフェーズかビデオフェーズかを示します。MAX9257/MAX9258が制御チャネルフェーズのとき、CCENはハイになります(表27)。初期パワーアップ時のみ、制御チャネルでの通信の準備が整う前にCCENがハイになります(「リンクのパワーアップ」の項を参照)。

UART/I²C制御チャネル付き、 完全プログラマブルシリアルライザ/デシリアルライザ

制御チャネル

制御チャネルの動作の概要

制御チャネルは、MAX9257、MAX9258、および周辺装置(カメラなど)のレジスタをプログラムするために、垂直ブランキング中、パワーアップ後、またはシリアルライゼーションがディセーブルされているときにECUによって使用されます。制御チャネルの通信は、半二重のUARTです。MAX9257の周辺装置インタフェースは、I²CまたはUARTにプログラムすることができます。ECUがビデオデータのシリアルライゼーションを開始した後は、制御チャネルの動作はVSYNC入力に同期されます。制御チャネルがオープンされている時間は、プログラマブルなタイマー、ECUの信号操作、およびエンドフレームによって決定されます。ECUからの信号操作が存在する限り、制御チャネルはオープンのままになります。制御チャネルが終了されると、LVDSのシリアルリンクが再び確立されます。シリアルライゼーションがイネーブルされた後は、ビデオデータの喪失を防ぐため、レジスタのプログラミングは(制御チャネルのオーバーヘッド時間を含めて)垂直ブランキング期間内に完了させる必要があります。VSYNCは8ピクセルクロックサイクル後に制御チャネルがオープンのままデアサート可能です。

制御チャネルフェーズは、プログラムされたVSYNC_INのアクティブエッジの遷移で開始されます。ビデオアプリケーションでは、周辺装置のVSYNC信号がMAX9257のVSYNC_INに接続されます。その他のアプリケーションでは、差動信号を使用して制御チャネルフェーズをトリガすることができます。MAX9257/MAX9258がVSYNC_INの遷移を検出したとき、LVDSビデオフェーズがディセーブルされ、制御チャネルフェーズがイネーブルされます。

制御チャネルは、ベースとバイパスの2種類のモードで動作します。ベースモードでは、指定されたフォーマットのUARTコマンドをECUが発行してMAX9257/MAX9258のレジスタをプログラムします。MAX9257のGPIOも、ベースモードでプログラムされます。MAX9257またはMAX9258のいずれ宛てでもないUARTコマンドは、I²Cに変換されてMAX9257に接続されている周辺装置に出力されます。

バイパスモードでは、MAX9257/MAX9258のレジスタに対するプログラミングが、CTOにプログラムされた値に応じて一時的または永続的に阻止されます。これによって、MAX9257/MAX9258のプログラム用に指定されているものとは異なるUARTプロトコルを使用してECUが周辺装置と通信を行う際に、誤ってMAX9257/MAX9258のレジスタをプログラムしてしまうことが防止されます。制御チャネルがオープンされているとき、MAX9258はHSYNCの間ピクセルクロックの出力を続け、ビデオデータは直前の値に維持されます。MAX9258で拡散がイネーブルされている場合、ピクセルクロックが拡散されます。

制御チャネルのオーバーヘッド

制御チャネルのオーバーヘッドは、ロックフレーム、短い同期シーケンス、およびエラーフレームで構成されます。

ロックフレームは、ECUによる操作なしにMAX9257とMAX9258の間で送信されます。エラーフレームは、エンドフレームに対する応答としてのみ送信されます。MAX9257のスペクトラム拡散がイネーブルされている場合、拡散が中心周波数に到達した後で制御チャネルに移行します。VSYNCの立下りエッジから制御チャネルのイネーブルまでのオーバーヘッドは、最大で1400ピクセルクロックサイクルに相当します。

ベースモード(詳細)

ベースモードでは、UARTによるECUとMAX9257/MAX9258との通信およびI²CによるECUと周辺装置との通信が可能です。UARTによる周辺装置のプログラミングは、ベースモードでは不可能です。MAX9257およびMAX9258のプログラムを行うためには、ECUからのUARTパケットが特定のプロトコルに従う必要があります(図28および29)。MAX9257/MAX9258宛て以外のパケットは、MAX9257によってI²Cに変換されて周辺装置に渡されます。MAX9257は周辺装置からI²Cパケットを受信して、UARTパケットに変換してECUに送り返します。周辺装置との通信をディセーブルするには、INTEN(MAX9257のREG8[6]およびMAX9258のREG7[6])に0を書き込んでください。

ベースモードでは、STO/ETOの各タイマーおよびEFコマンドを使用して制御チャネルの持続時間を制御します。STOおよびETOはカウントアップを行って、プログラムされた値に達すると終了します。STOとETOが同時にイネーブルされることはありません。STOはCCENがハイになった後でイネーブルされます。STOがタイムアウトする前にECUからの動作があった場合、STOはディセーブルされてETOがイネーブルされます。ECUはSTOのタイムアウト時間内にトランザクションを開始する必要があり、そうしない場合はチャネルが終了されます。ECUは、ETOをタイムアウトさせることによってチャネルを終了することができます。ECUからの動作によってETOタイマーはリセットされます。制御チャネルを終了するもう1つの方法は、エンドフレーム(EF)の送信によるものです。MAX9257/MAX9258がEFを受信してから2~3ビット時間内にチャネルが終了されます。EFのデフォルト値は0xFFですが、MAX9257およびMAX9258のデバイスアドレス以外であれば、他の任意の値にプログラムすることが可能です。制御チャネルのエラーを通知するためには、制御チャネルをEFで終了する必要があります。

ECUがチャネルのオープンに対応するのにかかる時間よりも長くなるようにSTOをプログラムしてください。ETOは、トランザクション間におけるECUの停止時間よりも長くなるようにプログラムしてください。ECUがトランザクションを実行している限り、ETOがリセットされ、チャネルはオープンのままになります。

同一の制御チャネルセッション内で別のデバイスと通信を行う場合、ECUは14個以上のビット時間の間、待機する必要があります。14ビット時間を待機しなかった場合、パケット境界がリセットされない可能性があります。チャネルが終了された後、ビデオフェーズが開始される前に、内部でハンドシェイク動作が自動的に実行されます。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

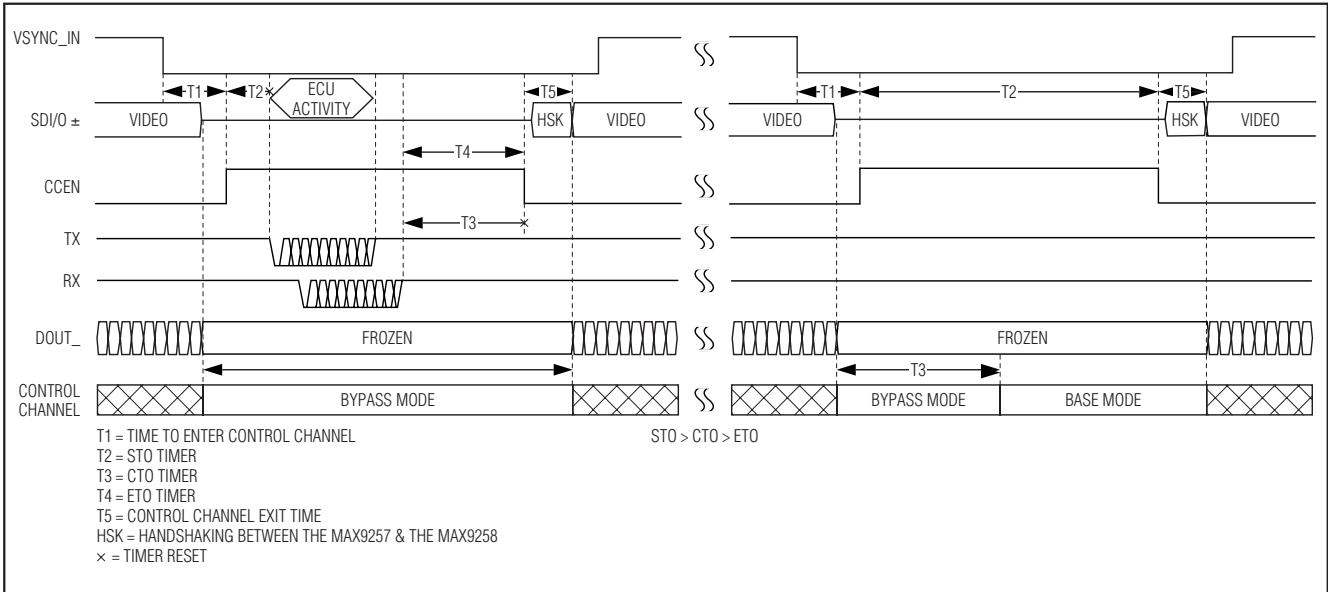


図24. CTOのタイミング

UART/I²Cコンバータ

UART/I²Cコンバータは、ベースモード時にECUによって発行されたUARTの読取りまたは書き込みパケットを受け取って、I²Cのマスタプロトコルに変換します。スレーブは、ACKまたはNACKを使用してビジーまたはウェイト状態を示すことができますが、SCLをローに維持してウェイト状態を示すことはできません。複数のスレーブがサポートされます。UART/I²Cの変換遅延は22 UARTビット時間を下回り、読取りコマンドのETOおよびSTOのタイムアウト時間を設定する際に考慮する必要があります。UART/I²Cコンバータは、標準のUARTフォーマットから標準のI²Cフォーマットへの変換を行います(図25)。I²CではMSBが最初に送信されるのに対してUARTではLSBが最初に送信されるため、これにはデータビットの並び順の変換も含まれます。UART/I²Cの読取り遅延は、I²C周辺装置から読取りを行う場合で最大34ビット時間です。

MAX9257/MAX9258は、自身の7ビットのデバイスアドレスをレジスタREG5に格納しています。MAX9257/MAX9258宛て以外のすべてのパケットは、UART/I²Cコンバータに転送されます。I²Cインタフェース(SDAおよびSCL)はオープンドレインであり、ロー状態をアクティブに駆動します。アイドル時には、SDAおよびSCLはハイインピーダンスであり、プルアップ抵抗によってハイにプルアップされます。パケットがMAX9257またはMAX9258宛てである場合、SDAおよびSCLはアイドルになります。I²Cインタフェースがディセーブルにプログラムされている場合も、SDAおよびSCLはアイドルになります。

バイパスモード(詳細)

バイパスモードでは、ECUの操作およびカメラからのUART通信によってETOおよびCTOタイマーがリセットされます。これによって、カメラが動作している限り制御チャネルをバイパスにしておくことが可能になって

います。ベースモードでは、ECUの動作によってのみETOおよびCTOタイマーがリセットされます。

バイパスモードでは、一時的または永続的にMAX9257/MAX9258のプログラミングが阻止されます。バイパスモードでは、ECUによる周辺装置のUARTプログラムのみが可能で、I²C接続は存在しません。INTMODEに0を書き込み、INTENに1を書き込むことによってバイパスモードに入ります(表23)。バイパスモードではECUによるMAX9257/MAX9258のプログラミングがディセーブルされるため、周辺装置との間で任意のUART通信プロトコルを使用することができます。バイパスモードに入った後は、CTOがタイムアウトするまでMAX9257/MAX9258はバイパスモードのままになります。

バイパスモードでは、STOおよびETOタイマーによって制御チャネルの持続時間が決まります。CTOタイマーはベースモードに復帰するかどうかを決定し、EFは認識されません。

バイパスモードで有用な設定には、STO > CTO > ETOという設定があります。この設定は、永続的なバイパスの代わりになります(図24)。この設定を使用してバイパスモードを維持することで、制御チャネルがオープンするたびにベースモードから移行するオーバーヘッドを回避することができます。CTOのタイムアウト時間内にECUがチャネルを使用した場合、ETOが起動され、CTOの前にETOがタイムアウトします。ETOがタイムアウトしたためチャネルが終了されますが、CTOはタイムアウトしていないためチャネルはバイパスモードのままになります。次の垂直ブランキング期間に、CTOがリセットされた状態でバイパスモードが継続され、ECUは直ちにカメラにコマンドを送信することができます。ECUまたはカメラがチャネルを使用しなかった場合、STOの前にCTOがタイムアウトします。通信が行われなかった場合、(ETOはイネーブルされていないため)STOによってチャネルが終了されますが、CTOがタイム

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

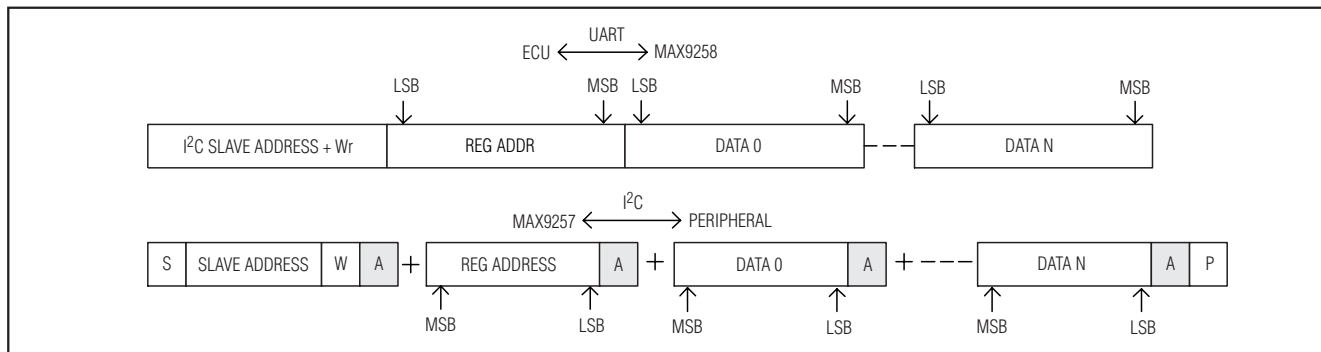


図25. UART/I²C変換

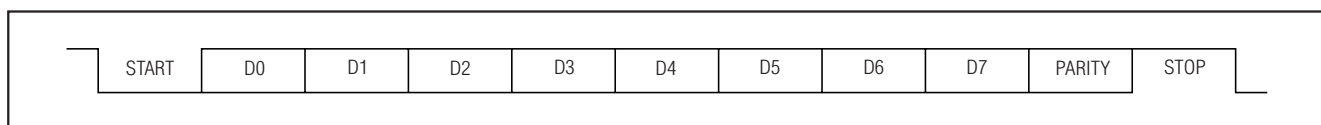


図26. UARTのフレームフォーマット

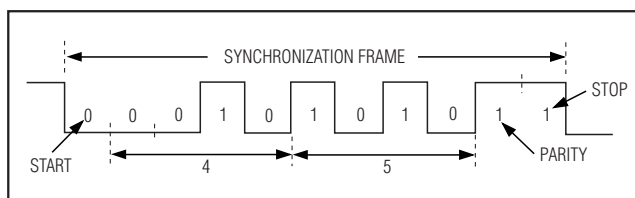


図27. UARTの同期フレーム

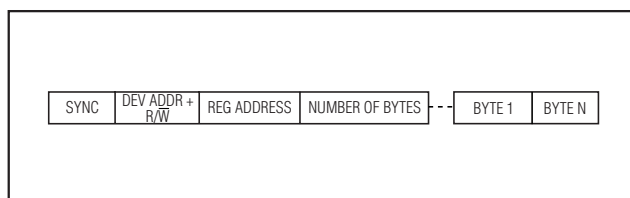


図28. MAX9257/MAX9258に対するUARTの書き込みパケット

アウトしているためバイパスモードが終了して、次の垂直ブランキング期間にベースモードがアクティブになります。STO > CTO > ETOの場合、制御チャネルがオープンするたびにECUに実際のコマンドまたはダミーコマンド(存在しないアドレスに対するコマンドなど)を送信させて、バイパスモードを連続させることが可能です。これによって、周辺装置のプログラミングが必要になるたびに、バイパスモードに入るためのコマンドをECUから送信する必要がなくなります。

UART

UARTのフレームフォーマット

MAX9257およびMAX9258のプログラムに使用されるUARTフレームは、ローのスタートビット、8個のデータビット、偶数パリティビット、およびハイのストップビットで構成されます。スタートビットの次のデータはLSBです。偶数パリティでは、データビット(D0~D7)中の1の数が奇数の場合、パリティビットに1がセットされます。ストップビットがサンプリングされ、ハイでない場合はフレームエラーが生成されます(図26)。

UARTの同期フレーム

すべての読取りまたは書き込みパケットの前に、同期フレームが存在する必要があります(図26)。このフレーム内の遷移によって、MAX9257/MAX9258の発振器のキャリブレーションが行われます。同期フレームのボーレートによって、制御チャネルの動作ボーレートが設定されます。パワーアップ時には、UARTのデータ速度が95kbps~400kbpsの範囲である必要があります。パワーアップの後は、表28および29に従ってUARTのデータ速度をプログラムすることができます。データはLSBから順にシリアライズされます。図27に示すように、同期フレームは0x54です。

書き込みパケット

ECUは、同期フレーム、7ビットのデバイスアドレス+読取り/書き込みビット(R/W = 0で書き込み)、8ビットのレジスタアドレス、書き込むバイト数、およびデータバイトを書き込みます(図28)。ECUは、このUARTプロトコルに従って正しくMAX9257/MAX9258のプログラムを行う必要があります。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

読取りパケット

ECUは、同期フレーム、7ビットのデバイスアドレス+読取り/書込みビット(R/W = 1で読取り)、8ビットのレジスタアドレス、および読み取るバイト数を書き込みます。アドレス指定されたデバイスは、応答として読取りデータバイトを返します(図29)。UARTの読取り遅延は、MAX9257またはMAX9258からの読取り時で最大4ビット時間です。

各フレーム間の時間

各フレーム間には、最大2ビット時間のハイの時間が許容されます。

パケット境界のリセット

14 UARTビット時間以上のハイの時間によって、パケット境界がリセットされます。この場合、MAX9257/MAX9258およびUART/I²Cコンバータは、次に受信するフレームが新しいパケットに属するものと見なします。境界のリセットは必須です。境界をリセットしない場合、以後のパケットが最初のパケットの一部として扱われ、誤った処理が行われる可能性があります。

データ速度

ベースモードにおける制御チャネルのデータ速度は、95kbps~4.25Mbpsの範囲です(表28)。バイパスモードでは、許容されるデータ速度がDC~10Mbpsになります(表29)。バイパスモードで4.25Mbpsより高いデータ速度を使用する場合は、MAX9257のREG8[5]およびMAX9258のREG7[5]をハイに設定する必要があります。ベースモードでの制御チャネルのデータ速度の設定は、MAX9257のREG8[1:0]およびMAX9258のREG7[1:0]に対する書込みによって行います。これらの書込みコマンドは、次の制御チャネルから有効になります。

FASTビットは、プログラミングと同じ制御チャネルから有効になります。MAX9257とMAX9258の両方のFASTを同じ設定にする必要があります。最初にMAX9257のFASTビットをプログラムすることを推奨します。FASTに1をプログラムすると、差動リンク上におけるUARTのパルスが短くなります。

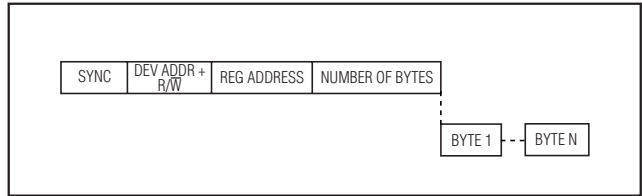


図29. UARTの読取りパケット

表28. ベースモードにおける制御チャネルのデータ速度

MAX9257 REG8[1:0] MAX9258 REG7[1:0]	RANGE
00	95kbps~400kbps (default)
01	400kbps~1Mbps
10	1Mbps~4.25Mbps
11	1Mbps~4.25Mbps

表29. バイパスモードにおける制御チャネルのデータ速度

MAX9257 REG8[5] MAX9258 REG7[5]	RANGE
0	DC~4.25Mbps
1	4.25Mbps~10Mbps

表30. デフォルトのデバイスアドレス

DEVICE	DEFAULT	
	BINARY	HEX
MAX9257	1111 1010	0xFA
MAX9258	1111 1000	0xF8

MAX9257/MAX9258のデバイスアドレスのプログラミング

MAX9257/MAX9258のデバイスアドレスは、任意の7ビットのアドレスにプログラム可能です。表30に、デフォルトのアドレスを示します。

UART/I²C制御チャネル付き、 完全プログラマブルシリアルライザ/デシリアルライザ

I²C

MAX9257は、UARTパケットをI²Cに変換するUART/I²Cコンバータを備えています。UART/I²Cコンバータは、ECUと外部I²Cスレーブの間でリピータとして動作します。MAX9257はマスタとして動作して、ECUからのUARTの読取り/書込みパケットを、外部I²Cスレーブデバイスに対するI²Cの読取り/書込みに変換します。書込みの場合、UART/I²Cコンバータは受信したUARTパケットを直接I²Cに変換します。読取りの場合、UART/I²CコンバータはUARTのパケットプロトコルに従います。I²CのSCLクロック周期は、UARTのビットクロック時間(t_{UCLK})とほぼ同じです。I²Cの速度は、UARTの速度によって変わります。

周辺装置からI²Cの読取りを行っても、ETOタイマーはディセーブルされません。ETOのタイムアウトによるI²Cの読取りコマンドの喪失を防ぐため、十分に大きなETOを選択してください。

I²Cのタイミング

MAX9257は、周辺装置とのI²C通信においてマスタのように機能します。MAX9257は、22 UARTビット時間以内にUARTパケットをI²Cに変換します。SCLおよびSDAのタイミングはUARTのビットクロックがベースになります。I²Cのデータ速度はUARTによって決定され、範囲は95kbps~4.25Mbpsです。I²Cのタイミング要件は、ファーストモードからより高い速度

までリニアに変化します。表31に、400kbpsを超えるデータ速度についてのI²Cのタイミング情報を示します。I²Cの各パラメータは、t_{UCLK}に比例して変化します。タイミングのパラメータについては図30を参照してください。

アプリケーション情報

PRBSテスト

MAX9257/MAX9258は、シリアルリンク上のビットエラーをテストするための回路を内蔵しています。MAX9257がPRBSジェネレータを備えており、MAX9258がPRBSチェッカを備えています。PRBSパターンの長さは、MAX9257のREG9[7:4]をプログラムすることによって、2²¹~2³⁵ワード長または連続にプログラム可能です。エラーが検出された場合、MAX9258のPRBSERRレジスタ(REG12)でエラーがカウントされ、MAX9258のERROR出力がローになります。テストを開始するには、ECUがMAX9257とMAX9258の両方のPRBSENビットに1を書き込みます。PRBSテストは、スペクトラム拡散ありとなしのいずれでも実施することができます。PRBSテストを連続的に実施するようプログラムした場合、テストを終了するためにはMAX9257をパワーダウンする必要があります。有限回繰り返すようにプログラムした場合は、PRBSテストが完了した後で制御チャネルがイネーブルされ、シリアルライゼー

表31. 400kbpsを超えるI²Cのデータ速度に関するタイミング情報

PARAMETER	SYMBOL	MIN	TYP	MAX	UNIT
SCL Clock Frequency	f _{SCL}	1	1		t _{UCLK} *
Start Condition Hold Time	t _{HD:STA}	1	1		t _{UCLK}
Low Period of SCL Clock	t _{LOW}	0.5	0.5		t _{UCLK}
High Period of SCL Clock	t _{HIGH}	0.5	0.5		t _{UCLK}
Repeated START Condition Setup Time	t _{SU:STA}	0.25	0.25		t _{UCLK}
Data Hold Time	t _{HD:DAT}	0.25	0.25		t _{UCLK}
Data Setup Time	t _{SU:DAT}	0.25	0.25		t _{UCLK}
Setup Time for STOP Condition	t _{SU:STO}	0.25	0.25		t _{UCLK}
Bus Free Time	t _{BUF}	0.5	0.5		t _{UCLK}

*t_{UCLK}はUARTの1周期に等しくなります。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

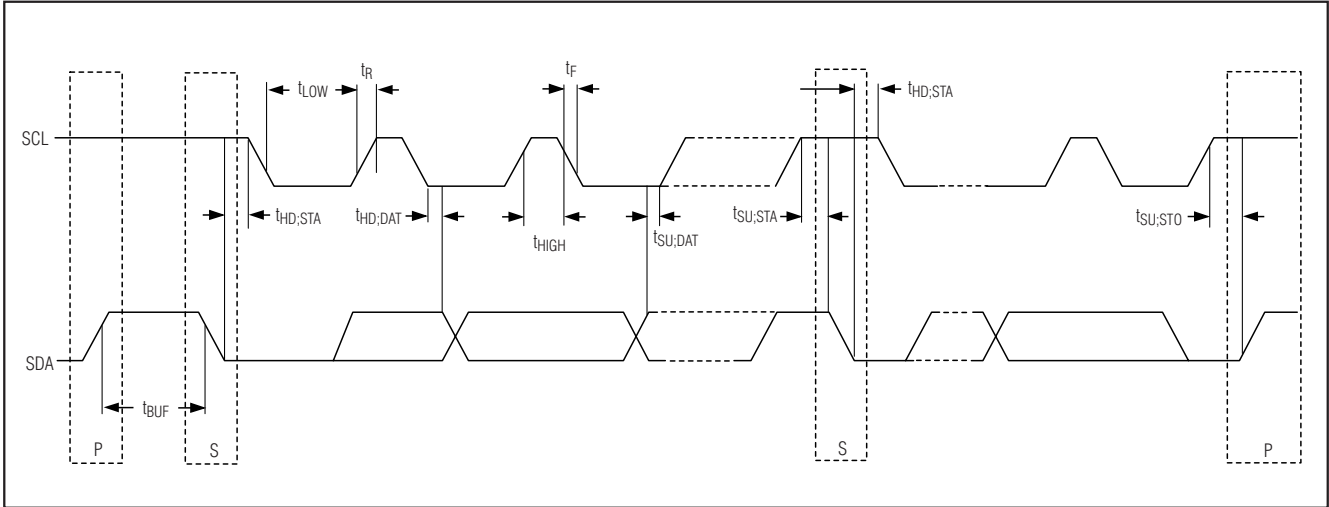


図30. I²Cのタイミングパラメータ

シヨニイネーブル(SEREN)が0にリセットされます。通常の動作を開始するには、ECUがPRBSENをディセーブルしてSERENをイネーブルする必要があります。

ビデオデータのパリティ

ビデオデータのパリティ保護は、16ビット以下のパラレルワード幅についてプログラム可能です。プログラムした場合、MAX9257にラッチされる個々のパラレルワードに、2ビットのパリティビットが付加されます。MAX9258側では、16ビットのパリティエラーカウンタにパリティエラーが記録されます。パリティエラーがプログラマブルなスレッシュホールドを超えると、MAX9258のERROR出力がローになります。

AC結合のメリット

AC結合は、LVDSレシーバの入力電圧をコンデンサの電圧定格まで増大させます。絶縁の目的には2個のコンデンサで十分ですが、4個のコンデンサ(シリアライザの出力に2個、デシリアライザの入力に2個)を使用することで、ケーブルのいずれか一方の端が高電圧に短絡された場合にも保護が提供されます。AC結合は、低周波数グラウンドシフトおよびコモンモードノイズを阻止します。

AC結合コンデンサの選択

パラレルクロック周波数に応じたAC結合用のコンデンサの値の計算については、図31を参照してください。このグラフは、リンク当りコンデンサ2個のシステムと4個のシステムについて、最小のコンデンサ値を示したものです。最大のコモンモード周波数シフトを阻止するため、図31に示されている最小のコンデンサ値を選択してください。通常は、0.1μFのコンデンサで十分です。

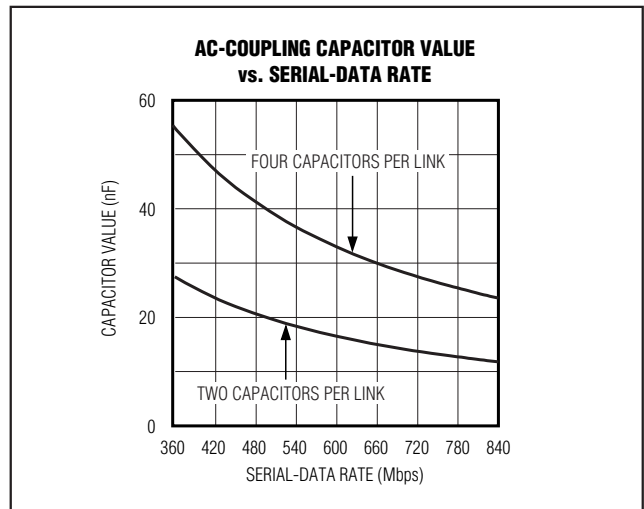


図31. AC結合コンデンサの値と18MHz~42MHzのクロック周波数との関係

最適なAC結合コンデンサの選択

送信されるシンボルの電圧ドループとDSV (デジタル総和変動)が原因で、異なる電圧レベルから信号の遷移が開始されます。遷移時間は有限であるため、信号の遷移が異なる電圧レベルから開始されることでタイミングジッタが発生します。AC結合されたリンクの時定数を、ドループおよびジッタを許容可能なレベルまで減少させるように選択する必要があります。AC結合されたリンク用のRC回路は、LVDSレシーバの終端抵抗(R_{TR})、LVDSドライバの終端抵抗(R_{TD})、および直列AC結合コンデンサ(C)で構成されます。同じ値の直列コンデンサ4個のRC時定数は $(C \times (R_{TD} + R_{TR}))/4$ です。 R_{TD} および R_{TR} は、伝送ラインのインピーダンス(通常は100Ω)との整合に必要です。そのため、システムの時定数を変える要素として残るのはコンデンサの選択ということになります。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

次の例では、ドループが2%になるコンデンサ値を計算します。

$$C = -\frac{4 \times t_B \times DSV}{\ln(1 - D) \times (R_{TR} + R_{TD})}$$

ただし、

C = AC結合コンデンサ(F)

t_B = ビット時間(秒)

DSV = デジタル総和変動(整数)

ln = 自然対数

D = ドループ(信号振幅の%)

R_{TD} = 駆動側終端抵抗(Ω)

R_{TR} = 受信側終端抵抗(Ω)

ビット時間(t_B)は、シリアルクロック周期またはピクセルクロックの周期をビットの総数で除算したものです。MAX9257の符号化の最大DSVは、1ピクセルクロックサイクルで送信される総ビット数に等しくなります。これは、t_B × DSV ≤ t_Tであることを意味します。

パラレルレートクロック16MHzで最大ドループを2%にするためのコンデンサは、次のようになります。

$$C = -\frac{4 \times t_B \times DSV}{\ln(1 - D) \times (R_{TR} + R_{TD})}$$

総ビット数は = 10 (データ) + 2 (HSYNCおよびVSYNC) + 2 (符号化) + 2 (パリティ) = 16

$$C = -\frac{4 \times 3.91\text{ns} \times 16}{\ln(1 - .02) \times (100\Omega + 100\Omega)}$$

C ≥ 0.062μF

ドループに起因するジッタは、ドループおよび遷移時間に比例します。

t_j = t_{TT} × D

ただし、

t_j = ジッタ(秒)

t_{TT} = 遷移時間(秒) (0~100%)

D = ドループ(信号振幅の%)

2%のドループおよび想定値1nsの遷移時間に起因するジッタは、次のようになります。

t_j = 1ns × 0.02

t_j = 20ps

実際のシステムにおける遷移時間は、シリアライザが駆動するケーブルの周波数応答によって決まります。

パラレルクロック周波数が高いほど、またドループとジッタのレベルが高いほど、コンデンサの値は小さくなります。高周波数用表面実装型セラミックコンデンサを使用してください。

電源回路およびバイパス処理

MAX9257のシングルエンドの入力および出力は、すべてV_{CCIO}から給電されます。MAX9258のシングルエンドの出力は、すべてV_{CCOUT}から給電されます。V_{CCIO}およびV_{CCOUT}は、+1.71V~+3.6Vの電源に接続することが可能です。入力レベルまたは出力レベルは、これらの電源レールに比例して増減します。

基板レイアウト

LVC MOS/LVTTL信号とLVDS信号を分離して、クロストークを防止してください。電源、グランド、LVDS、およびデジタル信号の各層が独立している4層PCBを推奨します。差動特性インピーダンスが100ΩになるようにPCBトレースのレイアウトを行ってください。トレースのサイズは使用するトレースの種類(マイクロストリップまたはストリップライン)によって異なります。50ΩのPCBトレース2本を接近させた場合、差動インピーダンスは100Ωにならないことに注意してください。トレース間が接近している場合、インピーダンスが低下します。

LVDSチャネル用のPCBトレース(各LVDSチャネルごとに2本の導線が存在します)を平行に配置して、差動特性インピーダンスを維持してください。100Ω (typ)の終端抵抗を、LVDSドライバおよびレシーバの両端に配置してください。ビアの使用は避けてください。ビアを使用する必要がある場合は、各LVDSチャネル当たり1組だけを使用し、各ラインのビアをPCBトレース全長の中の同一位置に配置してください。これによって、反射が発生する場合、同時に発生することになります。ビアを自動テスト装置(ATE)用のテストポイントにしないでください。差動ペアを構成するPCBトレースは同一の長さにして、差動ペア内におけるスキューを回避してください。

ケーブルおよびコネクタ

LVDS用の相互接続は、通常は差動インピーダンスが100Ωです。差動インピーダンスが整合されたケーブルおよびコネクタを使用して、インピーダンスの不連続性を最小限に抑えてください。ツイストペアおよびシールド付きツイストペアケーブルはリボンケーブルと比較して優れた信号品質を提供し、磁場相殺効果があるためEMIの発生も少ない傾向があります。平衡型ケーブルが拾うノイズはコモンモードになるため、LVDSレシーバによって除去されます。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

I²Cのプルアップ抵抗の選択

I²Cでは、データおよびクロックラインにロジックハイのレベルを供給するためのプルアップ抵抗が必要です。電力消費と速度の間にトレードオフの関係が存在するため、プルアップ抵抗値の選択に当たっては妥協が必要になります。デバイスが動作していない場合でも、バスに接続されているすべてのデバイスによってある程度の容量が付加されます。I²Cでは、最高400kbpsのデータ

速度で定義されているファーストモードの場合、ローからハイ(30%から70%へ)への立上り時間を300nsと規定しています(詳細についてはI²Cの仕様を参照してください)。この立上り時間の要件を満たすため、立上り時間 $t_R = 0.85R_{PULLUP} \times C_{BUS} < 300ns$ となるプルアップ抵抗を選択してください。遷移時間が遅すぎる場合、セットアップおよびホールド時間を満たすことができず、波形が認識されません。

MAX9257のレジスタ表

アドレス	ビット	デフォルト	名称	説明
0	7:6	10	PRATE	ピクセルクロック周波数の範囲 00 = 5MHz~10MHz 01 = 10MHz~20MHz 10 = 20MHz~40MHz (デフォルト) 11 = 40MHz~70MHz
	5:4	11	SRATE	シリアルデータ速度の範囲 00 = 60Mbps~100Mbps 01 = 100Mbps~200Mbps 10 = 200Mbps~400Mbps 11 = 400Mbps~840Mbps (デフォルト)
	3	0	PAREN	パリティイネーブル 0 = ディセーブル(デフォルト)、1 = イネーブル
	2:0	101	PWIDTH	パラレルデータ幅 (HSYNCおよびVSYNCを含み、DCB、INV、およびパリティビットを除く) 000 = 10 100 = 18 001 = 12 101 = 18 (デフォルト) 010 = 14 110 = 18 011 = 16 111 = 18
1	7:5	000	SPREAD	スペクトラム拡散の設定 PRATEの範囲指定が00、01の場合：すべての拡散オプションが可能 PRATEの範囲指定が10、11の場合：拡散は最大2% 000 = オフ(デフォルト) 100 = オフ 001 = 1.5% 101 = 3% 010 = 1.75% 110 = 3.5% 011 = 2% 111 = 4%
	4:0	11111		リザーブ(11111がセットされる)
2	制御チャネルのスタートタイムアウト(STO)は、制御チャネルのセッションがイネーブルされた後、ここで指定する時間内にECUが制御チャネルの使用を開始しない場合タイムアウトします。			
	7:4	1010	STODIV	制御チャネルのスタートタイムアウト分周比 ピクセルクロックを最初に以下の数で分周します。 0000 = 16 1000 = 256 0001 = 16 1001 = 512 0010 = 16 1010 = 1024 (デフォルト) 0011 = 16 1011 = 2048 0100 = 16 1100 = 4096 0101 = 32 1101 = 8192 0110 = 64 1110 = 16,384 0111 = 128 1111 = 32,768
	3:0	0000	STOCNT	制御チャネルのスタートタイムアウトカウンタ 分周したピクセルクロックを使用して(STOCNT + 1)までカウントアップします。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9257のレジスタ表(続き)

アドレス	ビット	デフォルト	名称	説明
3	制御チャネルのエンドタイムアウト(ETO)は、ECUが制御チャネルを少なくとも1回使用した後、ここで指定する時間内にECUが制御チャネルを使用しない場合タイムアウトします。			
	7:4	1010	ETODIV	制御チャネルのエンドタイムアウト分周比 ピクセルクロックを最初に以下の数で分周します。 0000 = 16 1000 = 256 0001 = 16 1001 = 512 0010 = 16 1010 = 1024 (デフォルト) 0011 = 16 1011 = 2048 0100 = 16 1100 = 4096 0101 = 32 1101 = 8192 0110 = 64 1110 = 16,384 0111 = 128 1111 = 32,768
	3:0	0000	ETOCNT	制御チャネルのエンドタイムアウトカウンタ 分周したピクセルクロックを使用して(ETOCNT + 1)までカウントアップします。
4	7	0	VEDGE	VSYNCのアクティブエッジ(カメラインタフェース) 0 = 立下り(デフォルト)、1 = 立上り
	6	0		リザーブ(0がセットされる)
	5	1	CKEDGE	PCLKのアクティブエッジ(カメラインタフェース) 0 = 立下り、1 = 立上り(デフォルト)
	4	0	PD	パワーモード 0 = パワーアップ、1 = パワーダウン (REM = 1の場合、デフォルトは1)
	3	1	SEREN	シリアライゼーションイネーブル 0 = ディセーブル、1 = イネーブル (REM = 1の場合、デフォルトは0)
	2	0	BYPPPLL	フィルタPLLのバイパス 0 = アクティブ(デフォルト)、1 = バイパス
	1	0		リザーブ(0がセットされる)
	0	0	PRBSEN	PRBSテストイネーブル 0 = ディセーブル(デフォルト)、1 = イネーブル
5	7:1	1111101	DEVICEID	MAX9257の7ビットアドレス
	0	0		リザーブ(0がセットされる)
6	7:1	1111111	EF	制御チャネルを終了するためのエンドフレーム
	0	1		リザーブ(1がセットされる)
7	7:1	1111100	DESID	MAX9258の7ビットアドレスID
	0	0		リザーブ(0がセットされる)

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9257のレジスタ表(続き)

アドレス	ビット	デフォルト	名称	説明
12	7:5	111	PREEMP	LVDSドライバのプリエンファシスの設定 000 = 20% 111 = オフ(デフォルト) 001 = 40% 101 = 20% 010 = 60% 110 = 20% 011 = 80% 100 = 100%
	4:0	00000		リザーブ(00000がセットされる)
13	7:2	000000		リザーブ(0000000がセットされる)
	1:0	00	I ² CFLT	I ² Cのグリッチフィルタの設定 00 = プログラムされたビットレートに応じて設定(デフォルト) 100ns (ビットレート: 95kbps~400kbps) 50ns (ビットレート: 400kbps~1000kbps) 10ns (ビットレート: 1000kbps~4250kbps) 01 = 10ns、10 = 50ns、11 = 100ns
14	7:1	(RO)		リザーブ
	0	(RO)	LOCKED	PLLがピクセルクロックにロックされている
15	7:0	(RO)		リザーブ

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9258のレジスタ表

アドレス	ビット	デフォルト	名称	説明
0	7:6	10	PRATE	ピクセルクロック周波数の範囲 00 = 5MHz~10MHz 01 = 10MHz~20MHz 10 = 20MHz~40MHz (デフォルト) 11 = 40MHz~70MHz
	5:4	11	SRATE	シリアルデータ速度の範囲 00 = 60Mbps~100Mbps 01 = 100Mbps~200Mbps 10 = 200Mbps~400Mbps 11 = 400Mbps~840Mbps (デフォルト)
	3	0	PAREN	パリティイネーブル 0 = ディセーブル(デフォルト)、1 = イネーブル
	2:0	101	PWIDTH	パラレルデータ幅 (HSYNCおよびVSYNCを含み、符号化およびパリティビットを除く) 000 = 10 100 = 18 001 = 12 101 = 18 (デフォルト) 010 = 14 110 = 18 011 = 16 111 = 18
1	7:6	00	SPREAD	スペクトラム拡散の設定 00 = オフ(デフォルト) 10 = オフ 01 = 2% 11 = 4%
	5	0	AER	オートエラーリセット 1 = 制御チャネル終了時にエラーカウントをリセットする。 0 = エラーレジスタ10、11、13の読取り時にリセットする(デフォルト)
	4:0	00000		リザーブ(000000がセットされる)
2	制御チャネルのスタートタイムアウト(STO)は、制御チャネルのセッションがイネーブルされた後、ここで指定する時間内にECUが制御チャネルの使用を開始しない場合タイムアウトします。			
	7:4	1010	STODIV	制御チャネルのスタートタイムアウト分周比 ピクセルクロックを最初に以下の数で分周します。 0000 = 16 1000 = 256 0001 = 16 1001 = 512 0010 = 16 1010 = 1024 (デフォルト) 0011 = 16 1011 = 2048 0100 = 16 1100 = 4096 0101 = 32 1101 = 8192 0110 = 64 1110 = 16,384 0111 = 128 1111 = 32,768
	3:0	0000	STOCNT	制御チャネルのスタートタイムアウトカウンタ 分周したピクセルクロックを使用して(STOCNT + 1)までカウントアップします。

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9258のレジスタ表(続き)

アドレス	ビット	デフォルト	名称	説明
3	制御チャネルのエンドタイムアウト(ETO)は、ECUが制御チャネルを少なくとも1回使用した後、ここで指定する時間内にECUが制御チャネルを使用しない場合タイムアウトします。			
	7:4	1010	ETODIV	制御チャネルのエンドタイムアウト分周比 ピクセルクロックを最初に以下の数で分周します。 0000 = 16 1000 = 256 0001 = 16 1001 = 512 0010 = 16 1010 = 1024 (デフォルト) 0011 = 16 1011 = 2048 0100 = 16 1100 = 4096 0101 = 32 1101 = 8192 0110 = 64 1110 = 16,384 0111 = 128 1111 = 32,768
	3:0	0000	ETOCNT	制御チャネルのエンドタイムアウトカウンタ 分周したピクセルクロックを使用して(ETOCNT + 1)までカウントアップします。
4	7	0	VEDGE	VSYNCのアクティブエッジ(ECUインタフェース) 0 = 立下り(デフォルト)、1 = 立上り
	6	0	HEDGE	HSYNCのアクティブエッジ(ECUインタフェース) 0 = 立下り(デフォルト)、1 = 立上り
	5	1	CKEDGE	PCLKのアクティブエッジ(ECUインタフェース) 0 = 立下り、1 = 立上り(デフォルト)
	4:1	0000		リザーブ(0000がセットされる)
	0	0	PRBSEN	PRBSテストイネーブル 0 = ディセーブル(デフォルト)、1 = イネーブル
5	7:1	1111100	DEVICEID	MAX9258の7ビットアドレス
	0	0		リザーブ(0がセットされる)
6	7:1	1111111	EF	制御チャネルを終了するためのエンドフレーム
	0	1		リザーブ(1がセットされる)
7	7	0	INTMODE	インタフェースモード 0 = UART (デフォルト)、1 = I ² C
	6	0	INTEN	インタフェースイネーブル 0 = ディセーブル(デフォルト)、1 = イネーブル
	5	0	FAST	高速UARTトランシーバ 0 = ビットレート = DC~4.25Mbps (デフォルト)、1 = ビットレート = 4.25Mbps~10Mbps
	4:2	000	CTO	バイパスモードからの復帰タイマー(単位: ビット時間) 000 = 復帰なし(デフォルト) 100 = 64 001 = 16 101 = 80 010 = 32 110 = 96 011 = 48 111 = 112
	1:0	00	BITRATE	ベースモードにおける制御チャネルのビットレート範囲 00 = 95kbps~400kbps (デフォルト) 01 = 400kbps~1000kbps 10 = 1000kbps~4250kbps 11 = 1000kbps~4250kbps

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

MAX9257/MAX9258

MAX9258のレジスタ表(続き)

アドレス	ビット	デフォルト	名称	説明
8	7:0	00010000	PATHRLO	ビデオパリティエラー数のスレッショルド(下位8ビット) エラーの数がこの値を超過すると、ERR端子がアサートされます。
9	7:0	00000000	PATHRHI	ビデオパリティエラー数のスレッショルド(上位8ビット) エラーの数がこの値を超えると、ERR端子がアサートされます。
10	7:0	(RO)	PAERRLO	ビデオパリティエラー数(下位8ビット)
11	7:0	(RO)	PAERRHI	ビデオパリティエラー数(上位8ビット)
12	7:0	(RO)	PRBSERR	PRBSテストのビットエラー数 PRBSテストのディセーブル時は自動的にリセットされます。 0xFFは255以上のエラーを示します。
13	7:5	(RO)		リザーブ
	4	(RO)	DESPERR	デシリアライザとの通信中にパリティエラー発生
	3	(RO)	DESFERR	デシリアライザとの通信中にフレームエラー発生
	2	(RO)	SERPERR	シリアライザとの通信中にパリティエラー発生
	1	(RO)	SERFERR	シリアライザとの通信中にフレームエラー発生
	0	(RO)	I ² CERR	I ² Cモードでのカメラとの通信中にエラー発生
14	7:0	(RO)		リザーブ

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

ESD保護

MAX9257/MAX9258のESD耐性の定格は、ヒューマンボディモデル、マシンモデル、IEC 61000-4-2、およびISO 10605に準拠しています。ISO 10605およびIEC 61000-4-2規格は、電子システムのESD耐性を規定しています。MAX9257のLVDS出力およびMAX9258のLVDS入力、ISO 10605のESD保護およびIEC 61000-4-2のESD保護に適合しています。他のすべての端子は、ヒューマンボディモデルおよび

マシンモデルのESD耐性に適合しています。ヒューマンボディモデルの放電コンポーネントは、 $C_S = 100\text{pF}$ および $R_D = 1.5\text{k}\Omega$ です(図33)。IEC 61000-4-2の放電コンポーネントは、 $C_S = 150\text{pF}$ および $R_D = 330\Omega$ です(図32)。ISO 10605の放電コンポーネントは、 $C_S = 330\text{pF}$ および $R_D = 2\text{k}\Omega$ です(図34)。マシンモデルの放電コンポーネントは、 $C_S = 200\text{pF}$ および $R_D = 0\Omega$ です(図35)。

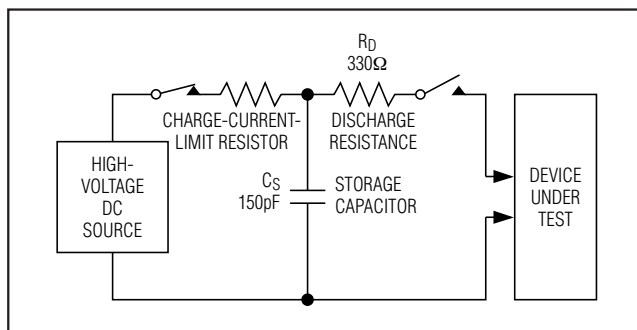


図32. IEC 61000-4-2接触放電ESD試験回路

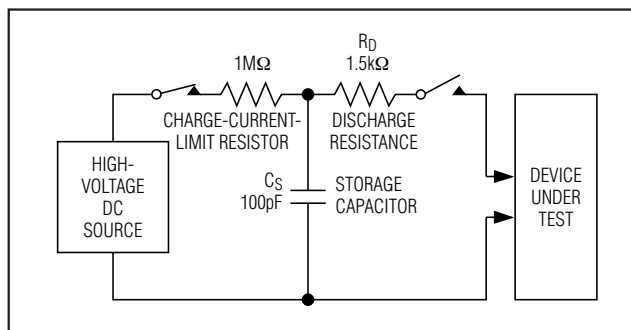


図33. ヒューマンボディESD試験回路

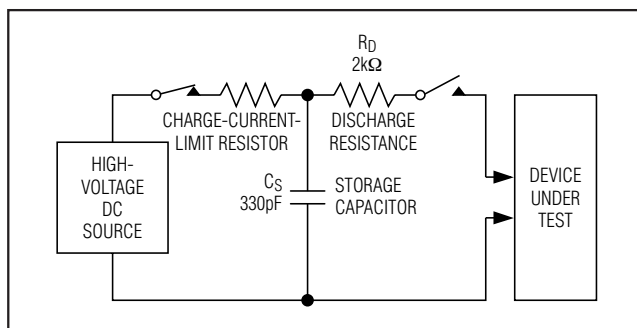


図34. ISO 10605接触放電ESD試験回路

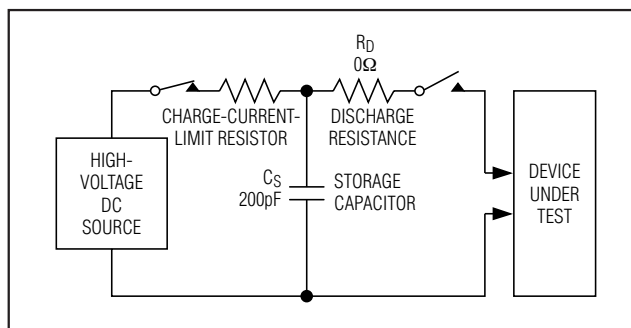


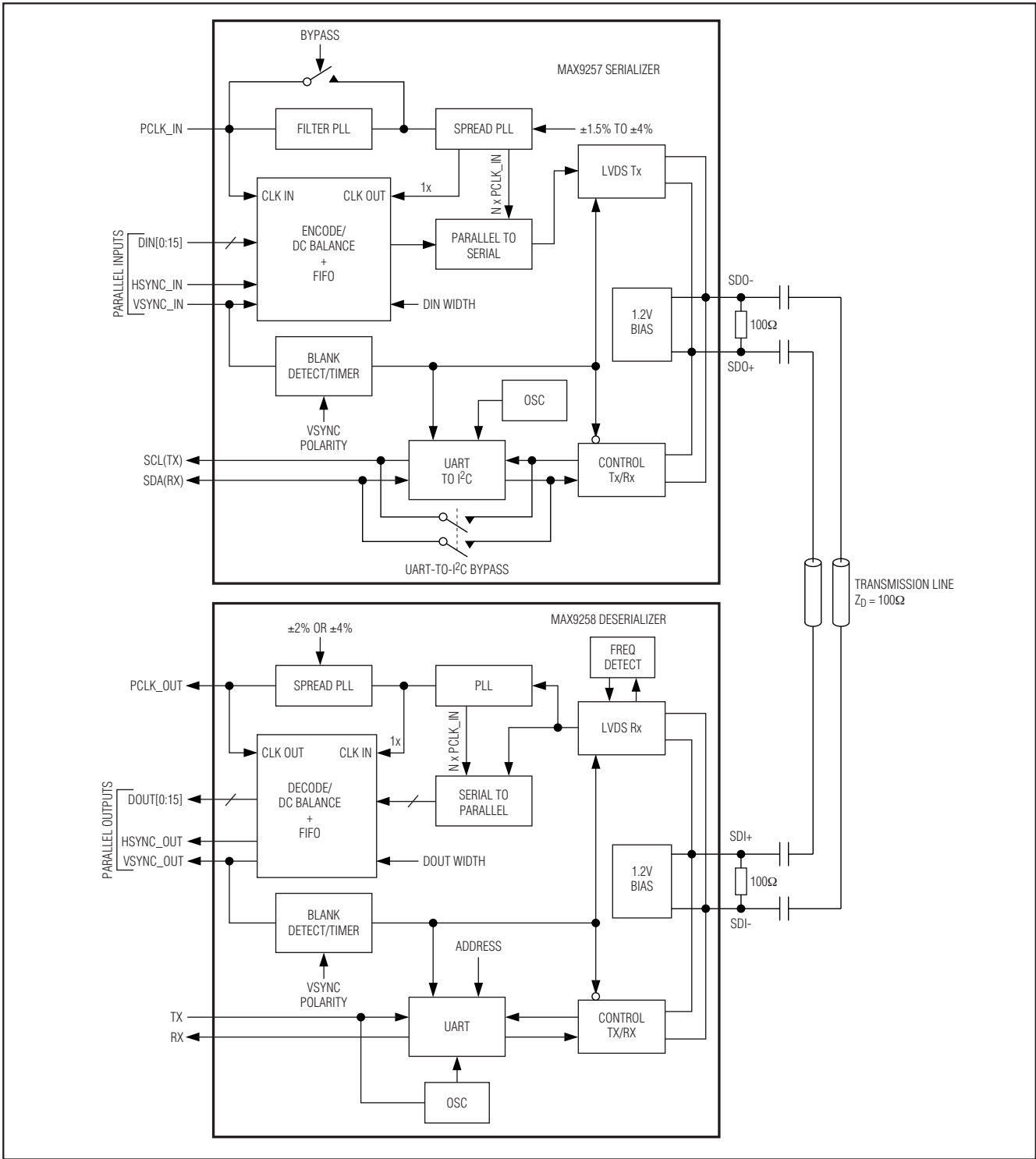
図35. マシンモデルESD試験回路

チップ情報

PROCESS: CMOS

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

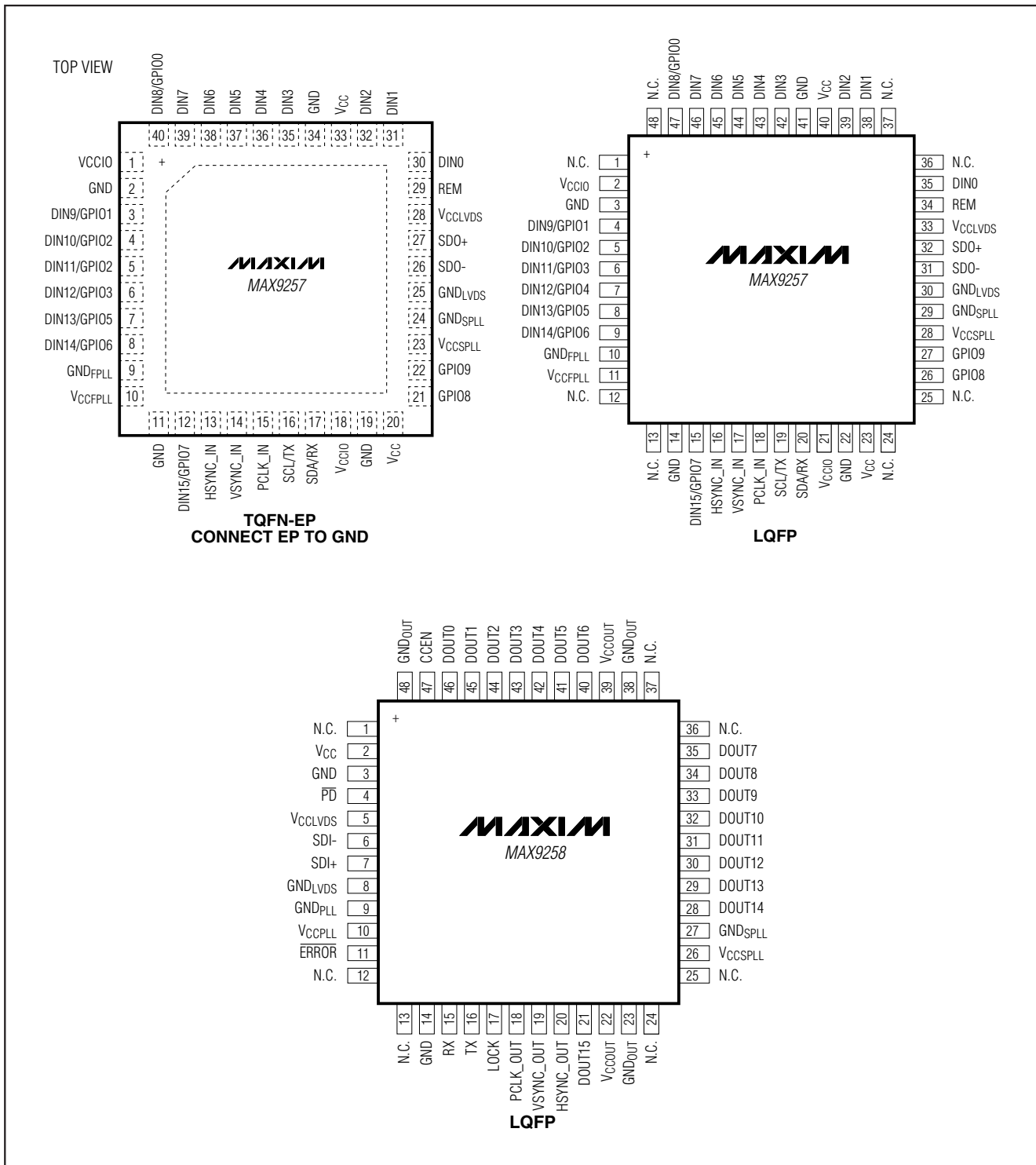
ファンクションダイアグラム



UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

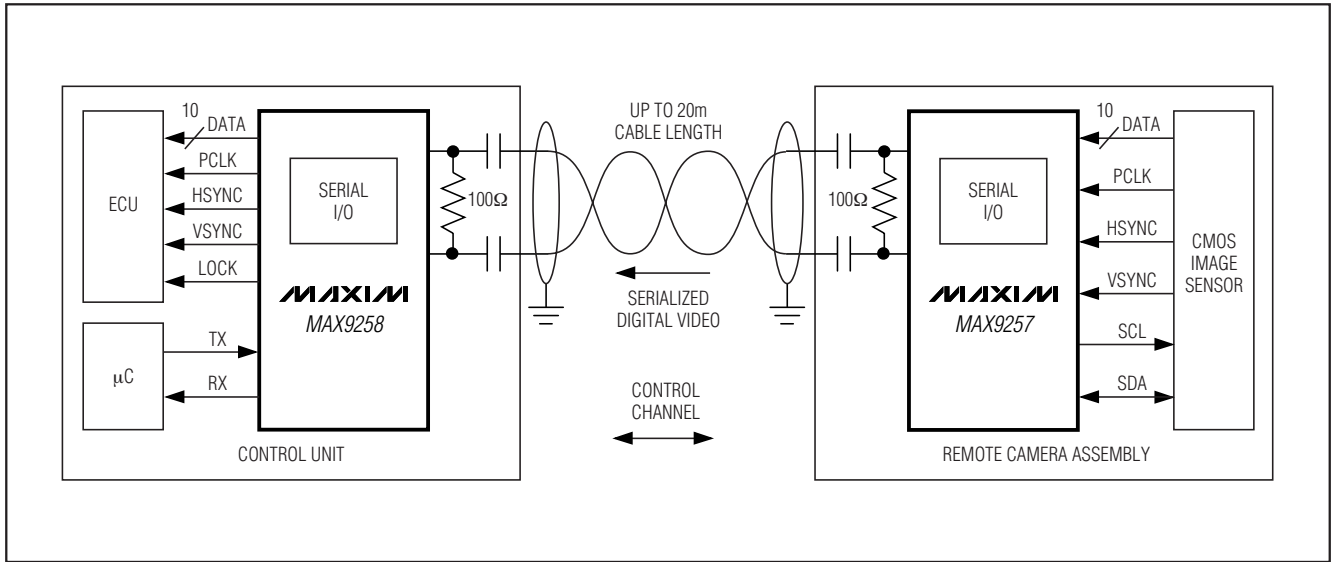
ピン配置

MAX9257/MAX9258



UART/I²C制御チャンネル付き、 完全プログラマブルシリアライザ/デシリアライザ

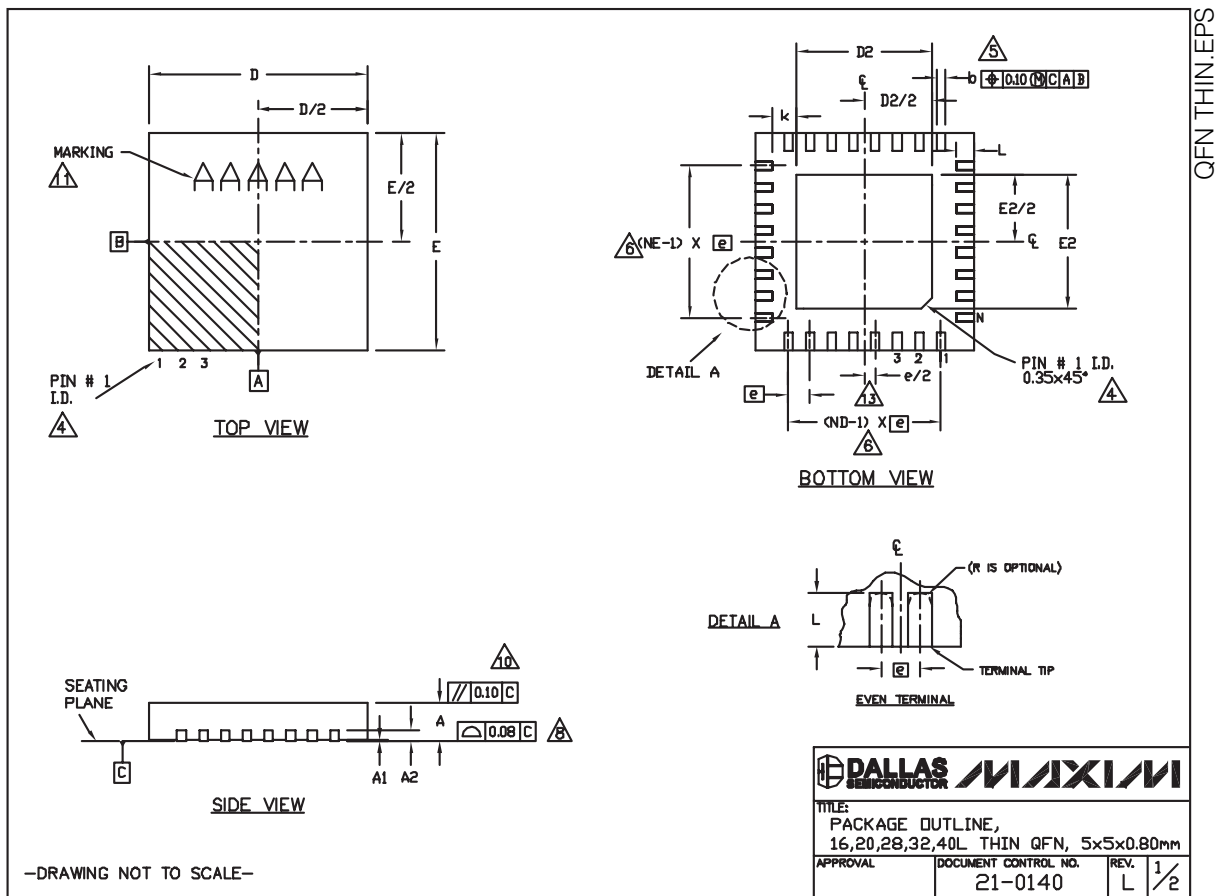
標準動作回路



UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



MAX9257/MAX9258

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS															
PKG	16L 5x5			20L 5x5			28L 5x5			32L 5x5			40L 5x5		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	16			20			28			32			40		
ND	4			5			7			8			10		
NE	4			5			7			8			10		
JEDEC	VHFB			WHHC			WHHD-1			WHHD-2			-----		

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20
T1655-3	3.00	3.10	3.20	3.00	3.10	3.20
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35
T2055MN-5	3.15	3.25	3.35	3.15	3.25	3.35
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255M-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255-5	3.00	3.10	3.20	3.00	3.10	3.20
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20
T4055-1	3.40	3.50	3.60	3.40	3.50	3.60
T4055-2	3.40	3.50	3.60	3.40	3.50	3.60
T4055MN-1	3.40	3.50	3.60	3.40	3.50	3.60

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3, T2855-6, T4055-1 AND T4055-2.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION 'e', ±0.05.
- ALL DIMENSIONS APPLY TO BOTH LEADED AND PbFREE PARTS.

—DRAWING NOT TO SCALE—

DALLAS **MAXIM**
SEMICONDUCTOR

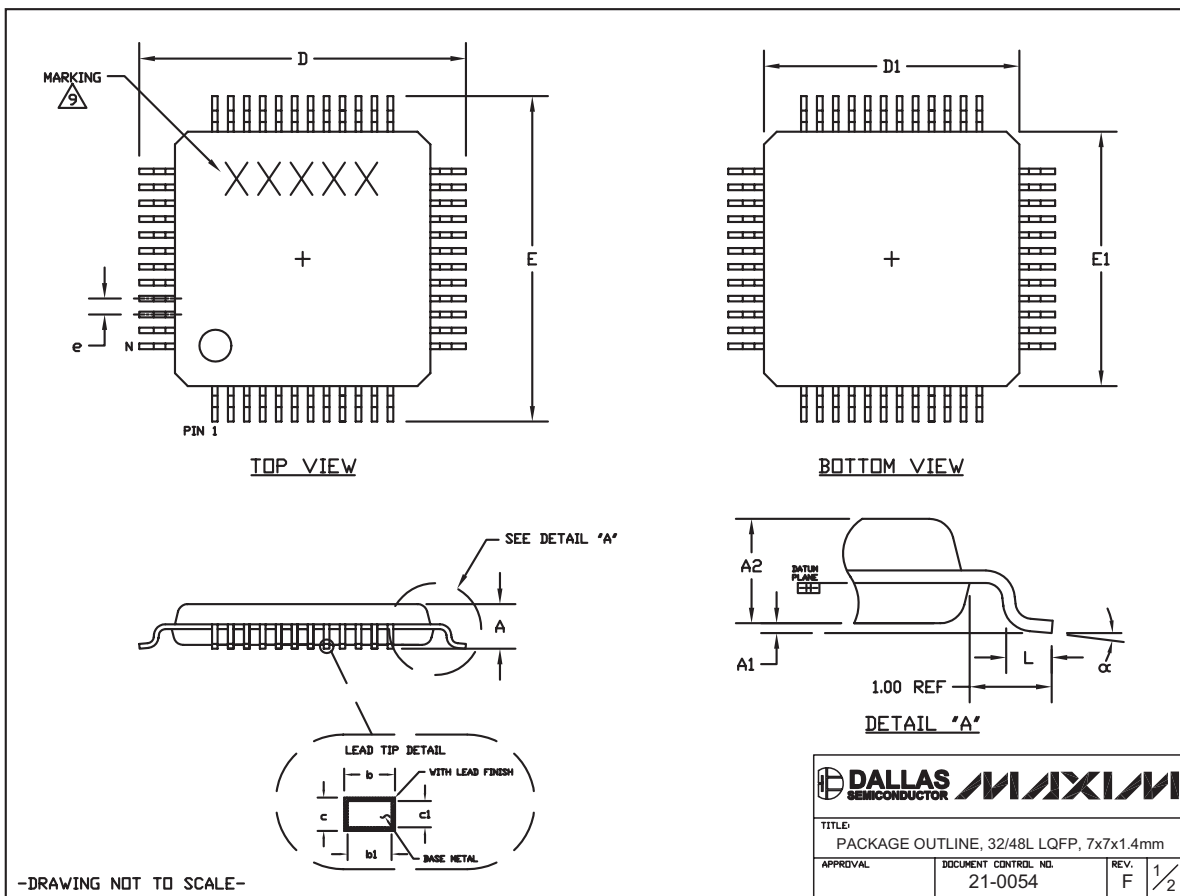
TITLE:
PACKAGE OUTLINE,
16,20,28,32,40L THIN QFN, 5x5x0.80mm

APPROVAL _____ DOCUMENT CONTROL NO. 21-0140 REV. L 2/2

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)





MAX9257/MAX9258

UART/I²C制御チャネル付き、 完全プログラマブルシリアライザ/デシリアライザ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE  IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON D1 AND E1 DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95, REGISTRATION MS-026.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9.  MARKING SHOWN IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
10. NUMBER OF LEADS ARE SHOWN FOR REFERENCE ONLY.

	JEDEC VARIATION			
	BBA		BBC	
	MIN.	MAX.	MIN.	MAX.
A	--	1.60	--	1.60
A1	0.05	0.15	0.05	0.15
A2	1.35	1.45	1.35	1.45
D	8.90	9.10	8.90	9.10
D1	6.90	7.10	6.90	7.10
E	8.90	9.10	8.90	9.10
E1	6.90	7.10	6.90	7.10
e	0.8 BSC.		0.5 BSC.	
L	0.45	0.75	0.45	0.75
b	0.30	0.45	0.17	0.27
b1	0.30	0.40	0.17	0.23
c	0.09	0.20	0.09	0.20
c1	0.09	0.16	0.09	0.16
N	32		48	
α	0°	7°	0°	7°
PKG. CODES	C32-1j	C32-2j	C48-1j	C48-2j
	C48-3j	C48-4Fj	C48-5j	C48-6j
	C48-6j	C48-9F		

-DRAWING NOT TO SCALE-



TITLE:
PACKAGE OUTLINE, 32/48L LQFP, 7x7x1.4mm

APPROVAL	DOCUMENT CONTROL NO. 21-0054	REV. F	2/2
----------	---------------------------------	-----------	-----

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

54 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**