



# MAX9235の評価キット

Evaluates: MAX9235/MAX9206

## 概要

MAX9235の評価キット(EVキット)は、400Mbps、10ビットLVDSシリアルライザMAX9235および400Mbps、10ビットLVDSデシリアルライザMAX9206の評価を簡単にするための完全実装および試験済みのプリント基板(PCB)です。MAX9235シリアルライザは、10ビット幅の平行LVCMOS/LVTTLデータを、高速のシリアル低電圧差動信号(LVDS)データストリームに変換します。このシリアルライザは、シリアル出力を受信し、10ビット幅の平行LVCMOS/LVTTLデータに変換するデシリアルライザのMAX9206と組み合わされています。

このEVキットを動作させるためには、単一の3.3V電源、および16MHz~40MHzの範囲の2個のリファレンスクロックの入力が必要になります。10ビットの平行入力データは24ピンのヘッダに接続され、出力データは別の24ピンのヘッダで収集されます。MAX9235とMAX9206を個別に評価するために、EVキットの回路を変更することができます。

## 特長

- ◆ 3.3V単一電源
- ◆ 10ビット平行LVCMOS/LVTTLインタフェース
- ◆ コモンモード試験が可能
- ◆ シリアルライザ(MAX9235)およびデシリアルライザ(MAX9206)の個別評価
- ◆ 低電圧、低電力動作
- ◆ 完全実装および試験済み

## 型番

PART	TYPE
MAX9235EVKIT+	EV Kit

+は鉛フリーおよびRoHS準拠を示します。

## 部品リスト

DESIGNATION	QTY	DESCRIPTION
C1, C3, C5, C8	4	10nF ±10%, 50V X5R ceramic capacitors (0603) TDK C1608X5R1H103K
C2, C4, C6, C7	4	100nF ±10%, 50V X5R ceramic capacitors (0603) TDK C1608X5R1H104K
C9	1	10µF ±10%, 6.3V X5R ceramic capacitor (0805) TDK C2012X5R0J106K
FB1, FB2, FB3	3	470Ω at 100MHz, 1000mA ferrite beads (0603) Murata BLM18PG471SH1B
J1, J4	2	2 x 12-pin headers

\*EP = エクスポートパッド。

DESIGNATION	QTY	DESCRIPTION
J2, J3	2	50Ω SMA PC-mount receptacles
J5	1	2-pin header
JU1-JU4	4	3-pin headers
R1-R4, R7	5	100Ω ±1% resistors (0603)
R5, R6	2	49.9Ω ±1% resistors (0603)
TP1	1	Test point
U1	1	10-bit LVDS serializer (16-pin thin QFN-EP*, 3mm x 3mm) Maxim MAX9235ETE+
U2	1	10-bit LVDS deserializer (28-pin SSOP) Maxim MAX9206EAI+
—	4	Shunts
—	1	PCB: MAX9235 Evaluation Kit+

## 部品メーカー

SUPPLIER	PHONE	WEBSITE
Murata Mfg. Co., Ltd.	770-436-1300	www.murata.com
TDK Corp.	847-803-6100	www.component.tdk.com

注：部品メーカーにお問い合わせをする際には、MAX9235またはMAX9206を使用していることをお知らせください。

# MAX9235の評価キット

## クイックスタート

### 推奨機器

評価の開始に当たって、以下の機器が必要になります。

- 3.3V DC電源
- 2台のクロック発生器
- LVCMOS/LVTTL 10ビットパラレル信号入力用データジェネレータ
- ロジックアナライザ、データ収集システムまたはオシロスコープ

### 手順

MAX9235のEVキットは、完全実装および試験済みです。以下の手順に従ってボードの動作を確認してください。**警告：すべての接続を完了するまで、電源をオンおよびクロック発生器をイネーブルにしないでください。**

- 1) すべてのシャントがデフォルト位置にあることを確認してください。シャントのデフォルトの位置については、表1を参照してください。
- 2) +3.3Vパッドに、3.3Vの電源を接続します。この電源のグランド端子を、GNDパッドに接続してください。
- 3) 24ピンのコネクタJ1にデータジェネレータを接続し、LVCMOS/LVTTLレベル(2V~VCCのハイ入力レベルおよび0.8V~GNDのロー入力レベル)の10ビットパラレルデータを生成するように設定してください。入力ビットの配置については、表2を参照してください。
- 4) SMAコネクタJ2に1番目のクロックジェネレータを接続し、その出力を、16MHz~40MHzの周波数に設定します。LVCMOS/LVTTLレベルを使用してください。TCLK SMAコネクタは、並列に接続された2個の100Ωの抵抗で終端されていることに注意してください。
- 5) 2番目のクロックジェネレータをSMAコネクタJ3に接続し、1番目のクロックジェネレータと同じ周波数に設定します。2つのクロック間の周波数許容差は1%より小さくする必要があります。REFCLK SMAコネクタは、並列に接続された2個の100Ωの抵抗で終端されていることに注意してください。
- 6) ロジックアナライザまたはデータ収集システムはLVCMOS/LVTTLレベルの信号入力に設定します。
- 7) 信号出力の24ピンコネクタJ4に、ロジックアナライザ、データ収集システムまたはオシロスコープを接続します。出力ビットの配置については、表2を参照してください。
- 8) 電源をオンします。
- 9) 1番目のクロックジェネレータをイネーブルにします。
- 10) 2番目のクロックジェネレータをイネーブルにします。
- 11) データジェネレータをイネーブルにします。
- 12) ロジックアナライザまたはデータ収集システムをイネーブルにし、データの収集を開始します。

## 詳細

MAX9235のEVキットは、400Mbps、10ビットLVDSシリアルライザMAX9235および400Mbps、10ビットLVDSデシリアルライザMAX9206の評価を簡単にする完全実装および試験済みのPCBです。

このシリアルライザ/デシリアルライザのデータ転送は、シリアルライザをリファレンスクロックにロックしてから開始され、その後、シリアルライズされたデータが、デシリアルライザに送信されます。

スタートビットのハイおよびストップビットのローが10ビットのデータをフレーム化し、シリアルデータストリームの埋め込みのクロックエッジとして機能します。シリアルレートは、TCLK周波数とデータおよび付属ビットを乗算したものとなります。例えばTCLKが40MHzの場合、シリアルレートは、 $40 \times 12 (10 + 2 \text{ ビット}) = 480 \text{ Mbps}$ です。10ビットのみが入力データによるため、ペイロードレートは、 $40 \times 10 = 400 \text{ Mbps}$ となります。

VCCが最初に供給され、PLLがローカルリファレンスクロックにロックするまでの間、シリアルライザの出力端子(OUT+およびOUT-)は、ハイインピーダンスに維持されます。シリアルライザがハイインピーダンス状態になった場合、デシリアルライザはPLLのロックを失うためデータ転送を再開可能にする前にフェーズロックを再確立する必要があります。これは、少なくとも1個のフレームの間、すべてゼロを送出することによって実行されます。

このEVキットは、動作のために、単一の3.3Vの電源、16MHz~40MHzの2個のリファレンスクロックの入力が必要とします。10ビットパラレル入力データは、24ピンのヘッダJ1に接続されたリファレンスクロックと同じ周波数で動作しているデータジェネレータによって供給することができるか、またはその各ビットはヘッダJ1に手でシャントをインストールして設定することができます。出力の10ビットパラレルデータは、24ピンのヘッダJ4によって個別に収集または試験することができます。

1番目のリファレンスクロックは、シリアルライザのPLLのリファレンス用です。2番目のリファレンスクロックは、デシリアルライザのPLLのリファレンス用です。この2個のリファレンスクロック間の許容差は、1%より小さくする必要があります。これらのクロックは、スプリッタによって1つの同じクロックとすることができます。実際のアプリケーションでは、シリアルライザとデシリアルライザのリファレンスクロックは、1個のシステムクロックに接続することができます。

### 入力信号

MAX9235のEVキットは、LVCMOS/LVTTLレベル(2V~VCCのハイ入力レベルおよび0.8V~GNDのロー入力レベル)の10ビットパラレルデータを受け取ります。10ビットのパターンは24ピンのヘッダJ1にデータジェネレータを接続するか、または選択したJ1ピンをハイ/ローのLVCMOS/LVTTLの状態に接続して供給することができます。24ピンのヘッダJ1の各入力ビットの配置については、表2を参照してください。

## 出力信号

MAX9235のEVキットは、24ピンのヘッダJ4にLVC-MOS/LVTTLレベルの10ビットの平行データを出します。10ビットのビットパターンを収集するためには、ロジックアナライザまたはデータ収集システムをJ4に接続してください。24ピンのヘッダJ4の出力ビット配置については、表2を参照してください。

## ジャンパの設定

MAX9235のEVキットの回路は、シリアライザおよびデシリアライザをいくつかの動作モードにすることが可能な4個のジャンパを搭載しています。ジャンパ設定およびEVキット動作の説明に関しては、表1を参照してください。

## MAX9235のリファレンスクロックTCLK

MAX9235のEVキットは、ジャンパJU1を変更して、データジェネレータ/ロジックアナライザ、または個別のファンクションジェネレータからの入力クロックのいずれかから、MAX9235のクロックを入力することができます。TCLK入力クロックは、EVキット上で並列に接続された2個の100Ωの抵抗によって50Ωに終端されています。TCLK入力の選択に関しては、表1を参照してください。

表1. EVキットのジャンパ設定

JUMPER	SHUNT POSITION	DESCRIPTION
JU1	1-2	TCLK connected to a clock applied on J1-22
	2-3*	TCLK connected to an external clock applied on J2
JU2	1-2*	Deserializer output data on RCLK rising edge
	2-3	Deserializer output data on RCLK falling edge
JU3	1-2*	Deserializer in normal operation
	2-3	Deserializer in sleep mode, outputs in high-Z
JU4	1-2*	Deserializer parallel outputs enabled
	2-3	Deserializer ROUT0-ROUT9 and RCLK pins in high-Z mode, LOCK pin is still working

\*デフォルト位置

表2. 入出力ビットの配置

SIGNAL	BIT0	BIT1	BIT2	BIT3	BIT4	BIT5	BIT6	BIT7	BIT8	BIT9
Input (J1)	J1-2	J1-4	J1-6	J1-8	J1-10	J1-12	J1-14	J1-16	J1-18	J1-20
Output (J4)	J4-1	J4-3	J4-5	J4-7	J4-9	J4-11	J4-13	J4-15	J4-17	J4-19

# MAX9235の評価キット

Evaluates: MAX9235/MAX9206

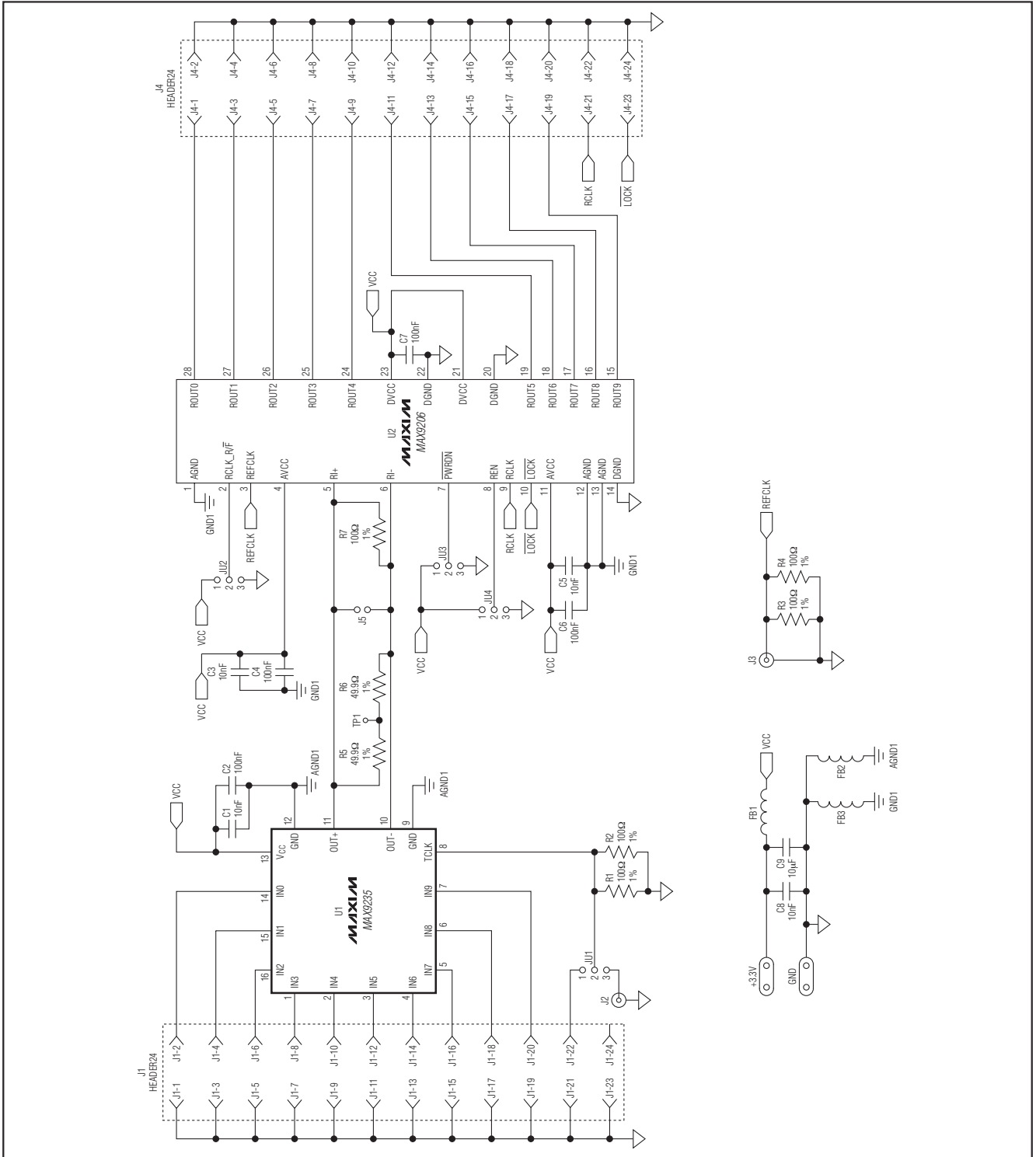


図1. MAX9235のEVキットの回路図

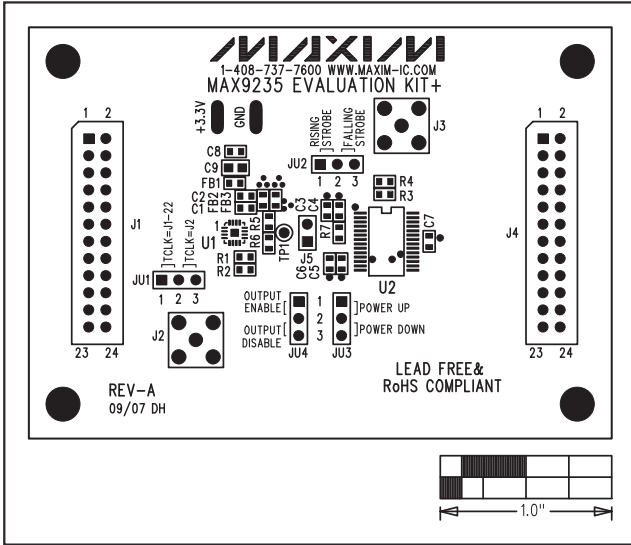


図2. MAX9235のEVキットの部品配置ガイド—部品面

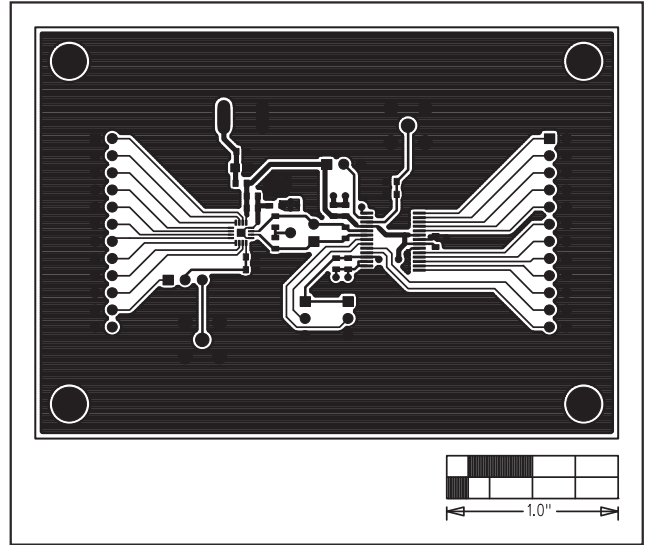


図3. MAX9235のEVキットのPCBレイアウト—部品面

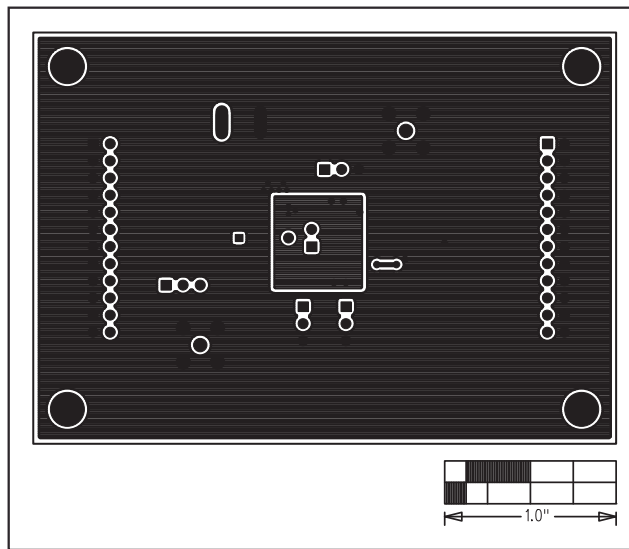


図4. MAX9235のEVキットのPCBレイアウト—半田面

## マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 5