

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

## 概要

デジタルビデオシリアル-パラレルコンバータのMAX9218は、データ及び制御位相時に計27ビットを非シリアル化します。データ位相ではLVDSシリアル入力は18ビットの平行ビデオデータに変換され、制御位相では入力は9ビットの平行制御データに変換されます。独立したビデオ及び制御位相はシリアルデータレートを減らすビデオタイミングに利点があります。MAX9218はシリアライザのMAX9217とペアになって、完全デジタルビデオ送信システムを形成します。独自のデータデコードによってEMIを低減し、DCバランスをもたらし、DCバランスによってAC結合が実現し、インタフェースの送信端と受信端が分離されます。MAX9218の特長は、選択可能な立上りまたは立下り出力ラッチエッジを備えていることです。

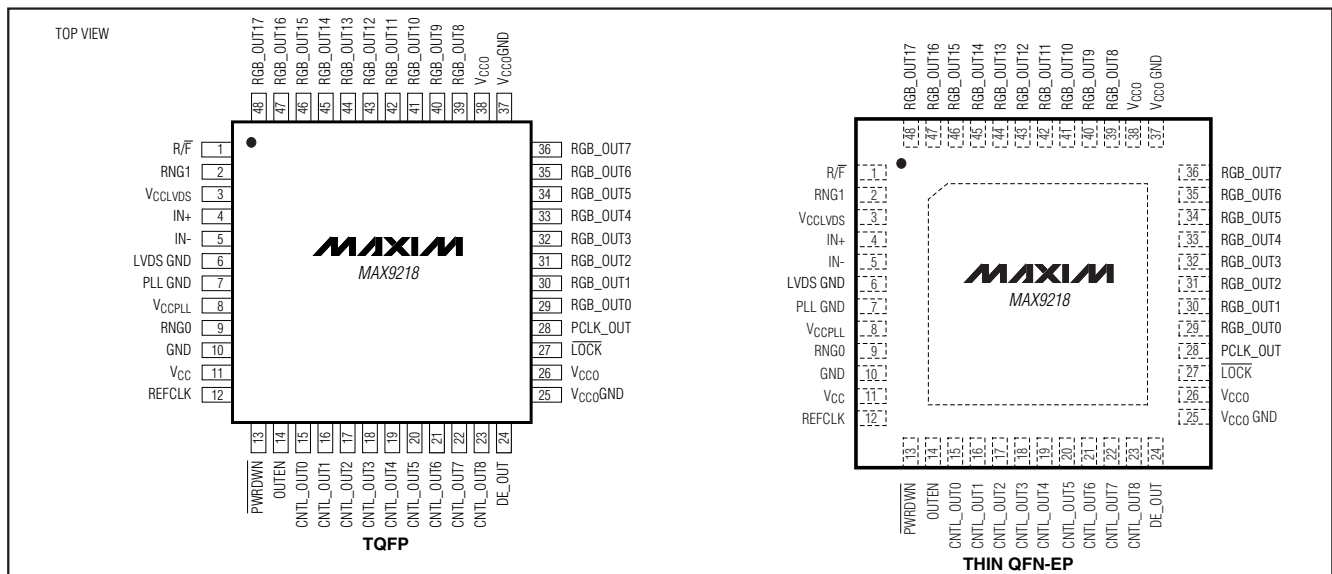
ESD耐性は、±10kVの接触放電と±30kVの空中放電でISO 10605に対して保証されています。

MAX9218は+3.3Vのコア電源で動作し、1.8V~3.3Vのロジックレベル入力とインタフェースするための独立した出力電源を備えています。このデバイスは48リードThin QFN及びTQFPパッケージで提供され、-40°C~+85°Cの温度範囲での動作が保証されています。

## アプリケーション

ナビゲーションシステムディスプレイ  
車載エンタテインメントシステム  
ビデオカメラ  
LCDディスプレイ

## ピン配置



## 特長

- ◆ 独自のデータデコードによるDCバランスとEMIの低減
- ◆ 制御データをビデオブランキング時に非シリアル化
- ◆ 5つの制御データ入力での単一ビットエラー耐性に対応
- ◆ 出力遷移時間はEMIを減らす為動作周波数に応じてスケールリング
- ◆ 時差式出力スイッチングによってEMIが低減
- ◆ 出力イネーブルによって出力をバス化
- ◆ ロックでクロックパルス拡張
- ◆ 広いリファレンスクロック許容範囲：±2%
- ◆ 外部制御なしでシリアライザMAX9217に同期
- ◆ ISO 10605 ESD保護
- ◆ 独立した出力電源によって1.8V~3.3Vのロジックとのインタフェースが可能
- ◆ コア電源：+3.3V
- ◆ 省スペースThin QFN及びTQFPパッケージ
- ◆ 動作温度範囲：-40°C~+85°C

## 型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX9218ECM	-40°C to +85°C	48 TQFP	C48-5
MAX9218ETM	-40°C to +85°C	48 Thin QFN-EP*	T4866-1

\*EP = エクスポートドパッド

# 27ビット、3MHz~35MHz、 DCバランスストLVDSデシリアライザ

MAX9218

## ABSOLUTE MAXIMUM RATINGS

V <sub>CC</sub> to _GND	-0.5V to +4.0V
Any Ground to Any Ground	-0.5V to +0.5V
IN+, IN- to LVDS GND	-0.5V to +4.0V
IN+, IN- Short Circuit to LVDS GND or V <sub>CC</sub> LVDS	Continuous
(R/ $\bar{F}$ , OUTEN, RNG_, REFCLK, PWRDWN) to GND	-0.5V to (V <sub>CC</sub> + 0.5V)
(RGB_OUT[17:0], CNTL_OUT[8:0], DE_OUT, PCLK_OUT, LOCK) to V <sub>CCO</sub> GND	-0.5V to (V <sub>CCO</sub> + 0.5V)
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
48-Lead Thin QFN (derate 37mW/°C above +70°C)	.2963mW
48-Lead TQFP (derate 20.8mW/°C above +70°C)	.1667mW

## ESD Protection

Human Body Model (R <sub>D</sub> = 1.5k $\Omega$ , C <sub>S</sub> = 100pF)	
All Pins to GND	$\pm$ 3.0kV
ISO 10605 (R <sub>D</sub> = 2k $\Omega$ , C <sub>S</sub> = 330pF)	
Contact Discharge (IN+, IN-) to GND	$\pm$ 10kV
Air Discharge (IN+, IN-) to GND	$\pm$ 30kV
Storage Temperature Range	-65°C to +150°C
Junction Temperature	+150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## DC ELECTRICAL CHARACTERISTICS

(V<sub>CC</sub> = +3.0V to +3.6V,  $\overline{\text{PWRDWN}}$  = high, differential input voltage |V<sub>ID</sub>| = 0.05V to 1.2V, input common-mode voltage V<sub>CM</sub> = |V<sub>ID</sub>/2| to V<sub>CC</sub> - |V<sub>ID</sub>/2|, T<sub>A</sub> = -40°C to +85°C, unless otherwise noted. Typical values are at V<sub>CC</sub> = +3.3V, |V<sub>ID</sub>| = 0.2V, V<sub>CM</sub> = 1.2V, T<sub>A</sub> = +25°C.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>SINGLE-ENDED INPUTS (R/<math>\bar{F}</math>, OUTEN, RNG0, RNG1, REFCLK, <math>\overline{\text{PWRDWN}}</math>)</b>						
High-Level Input Voltage	V <sub>IH</sub>		2.0		V <sub>CC</sub> + 0.3	V
Low-Level Input Voltage	V <sub>IL</sub>		-0.3		+0.8	V
Input Current	I <sub>IN</sub>	V <sub>IN</sub> = -0.3V to (V <sub>CC</sub> + 0.3V), $\overline{\text{PWRDWN}}$ = high or low	-70		+70	$\mu$ A
Input Clamp Voltage	V <sub>CL</sub>	I <sub>CL</sub> = -18mA			-1.5	V
<b>SINGLE-ENDED OUTPUTS (RGB_OUT[17:0], CNTL_OUT[8:0], DE_OUT, PCLK_OUT, <math>\overline{\text{LOCK}}</math>)</b>						
High-Level Output Voltage	V <sub>OH</sub>	I <sub>OH</sub> = -100 $\mu$ A	V <sub>CCO</sub> - 0.1		V	
		I <sub>OH</sub> = -2mA, RNG1, RNG0 = high	V <sub>CCO</sub> - 0.35			
		I <sub>OH</sub> = -2mA, RNG1, RNG0 both not high simultaneously	V <sub>CCO</sub> - 0.4			
Low-Level Output Voltage	V <sub>OL</sub>	I <sub>OL</sub> = 100 $\mu$ A	0.1		V	
		I <sub>OL</sub> = 2mA, RNG1, RNG0 = high	0.3			
		I <sub>OL</sub> = 2mA, RNG1, RNG0 both not high simultaneously	0.35			
High-Impedance Output Current	I <sub>OZ</sub>	$\overline{\text{PWRDWN}}$ = low or OUTEN = low, V <sub>O</sub> = -0.3V to V <sub>CCO</sub> + 0.3V	-10		+10	$\mu$ A

# 27ビット、3MHz~35MHz、 DCバランスストLVDSデシリアライザ

MAX9218

## DC ELECTRICAL CHARACTERISTICS (continued)

( $V_{CC-} = +3.0V$  to  $+3.6V$ ,  $\overline{PWRDWN} = \text{high}$ , differential input voltage  $|V_{ID}| = 0.05V$  to  $1.2V$ , input common-mode voltage  $V_{CM} = |V_{ID}|/2$  to  $V_{CC-} - |V_{ID}|/2$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $V_{CC-} = +3.3V$ ,  $|V_{ID}| = 0.2V$ ,  $V_{CM} = 1.2V$ ,  $T_A = +25^\circ C$ .) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Output Short-Circuit Current	$I_{OS}$	RNG1, RNG0 = high, $V_O = 0$	-10		-50	mA	
		RNG1, RNG0 both not high simultaneously, $V_O = 0$	-7		-40		
<b>LVDS INPUT (IN+, IN-)</b>							
Differential Input High Threshold	$V_{TH}$				50	mV	
Differential Input Low Threshold	$V_{TL}$		-50			mV	
Input Current	$I_{IN+}, I_{IN-}$	$\overline{PWRDWN} = \text{high or low}$	-20		+20	$\mu A$	
Input Bias Resistor	$R_{IB}$	$\overline{PWRDWN} = \text{high or low}$	35	50	65	$k\Omega$	
		$V_{CC-} = 0$ or open, $\overline{PWRDWN} = 0$ or open, Figure 1	35	50	65	$k\Omega$	
Power-Off Input Current	$I_{INO+}, I_{INO-}$	$V_{CC-} = 0$ or open, $\overline{PWRDWN} = 0$ or open	-40		+40	$\mu A$	
<b>POWER SUPPLY</b>							
Worst-Case Supply Current	$I_{CCW}$	$C_L = 8pF$ , worst-case pattern, Figure 2	RNG1 = low, RNG0 = low	3MHz		20	mA
				7MHz		35	
			RNG1 = high, RNG0 = low	7MHz		25	
				15MHz		47	
			RNG1 = high, RNG0 = high	15MHz		37	
				35MHz		70	
Power-Down Supply Current	$I_{CCZ}$	(Note 3)			50	$\mu A$	

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

## AC ELECTRICAL CHARACTERISTICS

( $V_{CC\_} = +3.0V$  to  $3.6V$ ,  $C_L = 8pF$ ,  $\overline{PWRDWN} = \text{high}$ , differential input voltage  $|V_{ID}| = 0.1V$  to  $1.2V$ , input common-mode voltage  $V_{CM} = |V_{ID}/2|$  to  $V_{CC} - |V_{ID}/2|$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $V_{CC\_} = +3.3V$ ,  $|V_{ID}| = 0.2V$ ,  $V_{CM} = 1.2V$ ,  $T_A = +25^\circ C$ .) (Notes 4, 5)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
<b>REFCLK TIMING REQUIREMENTS</b>							
Period	$t_T$			28.57		333.00	ns
Frequency	$f_{CLK}$			3		35	MHz
Frequency Variation	$\Delta f_{CLK}$	REFCLK to serializer PCLK_IN		-2.0		+2.0	%
Duty Cycle	DC			40	50	60	%
Transition Time	$t_{TRAN}$	20% to 80%				6	ns
<b>SWITCHING CHARACTERISTICS</b>							
Output Rise Time	$t_R$	Figure 3	RNG1, RNG0 = high	3.2		4.4	ns
			RNG1, RNG0 both not high simultaneously	3.8		5.5	
Output Fall Time	$t_F$	Figure 3	RNG1, RNG0 = high	2.7		4.5	ns
			RNG1, RNG0 both not high simultaneously	3.6		5.3	
PCLK_OUT High Time	$t_{HIGH}$	Figure 4		$0.4 \times t_T$	$0.45 \times t_T$	$0.6 \times t_T$	ns
PCLK_OUT Low Time	$t_{LOW}$	Figure 4		$0.4 \times t_T$	$0.45 \times t_T$	$0.6 \times t_T$	ns
Data Valid Before PCLK_OUT	$t_{DVB}$	Figure 5		$0.35 \times t_T$	$0.4 \times t_T$		ns
Data Valid After PCLK_OUT	$t_{DVA}$	Figure 5		$0.35 \times t_T$	$0.4 \times t_T$		ns
Input-to-Output Delay	$t_{DELAY}$	Figure 6		$2.575 \times t_T + 8.5$		$2.725 \times t_T + 12.8$	ns
PLL Lock to REFCLK	$t_{PLLREF}$	Figure 7				$16385 \times t_T$	ns
Power-Down Delay	$t_{PDD}$	Figure 7				100	ns
Output Enable Time	$t_{OE}$	Figure 8				30	ns
Output Disable Time	$t_{OZ}$	Figure 9				30	ns

**Note 1:** Current into a pin is defined as positive. Current out of a pin is defined as negative. All voltages are referenced to ground except  $V_{TH}$  and  $V_{TL}$ .

**Note 2:** Maximum and minimum limits over temperature are guaranteed by design and characterization. Devices are production tested at  $T_A = +25^\circ C$ .

**Note 3:** All LVTTTL/LVCMOS inputs, except  $\overline{PWRDWN}$  at  $\leq 0.3V$  or  $\geq V_{CC} - 0.3V$ .  $\overline{PWRDWN}$  is  $\leq 0.3V$ .

**Note 4:** AC parameters are guaranteed by design and characterization, and are not production tested. Limits are set at  $\pm 6$  sigma.

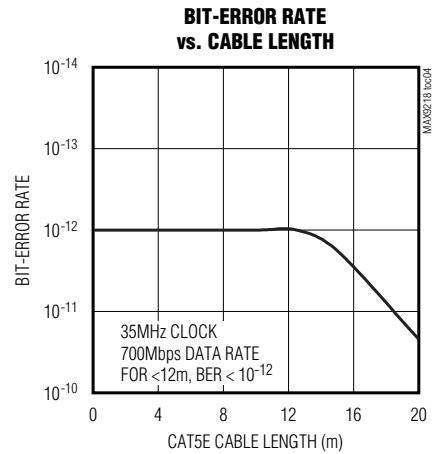
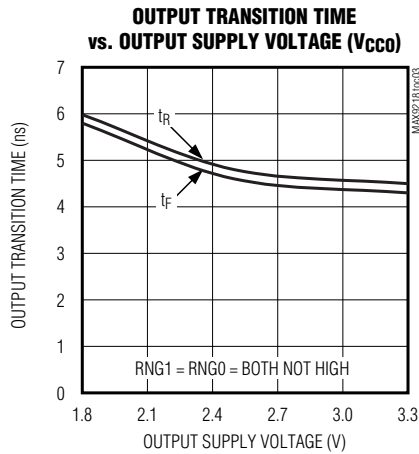
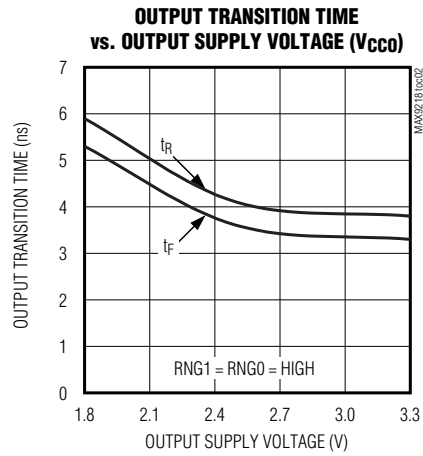
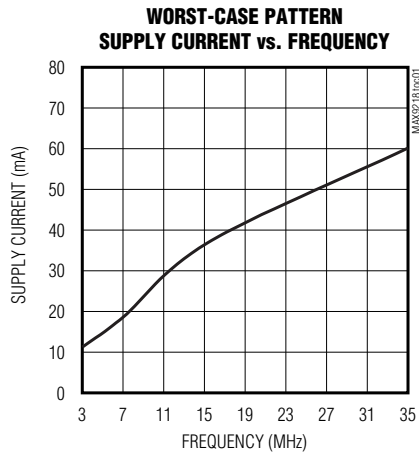
**Note 5:**  $C_L$  includes probe and test jig capacitance.

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

## 標準動作特性

( $V_{CC-} = +3.3V$ ,  $C_L = 8pF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

## 端子説明

端子	名称	機能
1	R/F	立上りまたは立下りラッチエッジの選択。LVTTTL/LVCMOS入力。データを次のチップにラッチするPCLK_OUTのエッジを選択します。立上りラッチエッジにするには、R/F = ハイを設定します。立下りラッチエッジにするには、R/F = ローを設定します。内部でGNDにプルダウンされます。
2	RNG1	LVTTTL/LVCMOS範囲の選択入力。シリアライザパラレルクロック入力周波数を含む範囲に設定します。内部でGNDにプルダウンされます。
3	V <sub>CC</sub> LVDS	LVDS電源電圧。デバイスにできる限り近接して0.1μF及び0.001μFの並列コンデンサでLVDS GNDにバイパスします。最小値のコンデンサを電源端子に最も近接させます。
4	IN+	非反転LVDSシリアルデータ入力
5	IN-	反転LVDSシリアルデータ入力
6	LVDS GND	LVDS電源グランド
7	PLL GND	PLL電源グランド
8	V <sub>CC</sub> PLL	PLL電源電圧。デバイスにできる限り近接して0.1μF及び0.001μFの並列コンデンサでPLL GNDにバイパスします。最小値のコンデンサを電源端子に最も近接させます。
9	RNG0	LVTTTL/LVCMOS範囲の選択入力。シリアライザパラレルクロック入力周波数を含む範囲に設定します。GNDに内部プルダウン。
10	GND	デジタル電源グランド
11	V <sub>CC</sub>	デジタル電源電圧。LVTTTL/LVCMOS入力及びデジタル回路に供給。デバイスにできる限り近接して0.1μF及び0.001μFの並列コンデンサでGNDにバイパスします。最小値のコンデンサを電源端子に最も近接させます。
12	REFCLK	LVTTTL/LVCMOSリファレンスクロック入力。シリアライザPCLK_IN周波数の±2%以内であるリファレンスクロックを印加します。GNDに内部プルダウンされます。
13	$\overline{\text{PWRDWN}}$	LVTTTL/LVCMOSパワーダウン入力。GNDに内部プルダウンされます。
14	OUTEN	LVTTTL/LVCMOS出力イネーブル入力。ハイによってシングルエンド出力が作動します。ローにすると、シングルエンド出力がハイインピーダンスになります。GNDに内部プルダウンされます。
15-23	CNTL_OUT [8:0]	LVTTTL/LVCMOS制御データ出力。DE_OUTがローの場合は、R/Fで選択されるPCLK_OUTの立上りまたは立下りエッジで、CNTL_OUT[8 : 0]が次のチップにラッチされ、DE_OUTがハイの場合は最後の状態で保持されます。
24	DE_OUT	LVTTTL/LVCMOSデータイネーブル出力。ハイは、RGB_OUT[17 : 0]がアクティブであることを示します。ローは、CNTL_OUT[8 : 0]がアクティブであることを示します。
25, 37	V <sub>CC0</sub> GND	出力電源グランド
26, 38	V <sub>CC0</sub>	出力電源電圧。デバイスにできる限り近接して0.1μF及び0.001μFの並列コンデンサでGNDにバイパスします。最小値のコンデンサを電源端子に最も近接させます。
27	$\overline{\text{LOCK}}$	LVTTTL/LVCMOSロックインジケータ出力。 $\overline{\text{LOCK}}$ がローの場合は、出力は有効です。
28	PCLK_OUT	LVTTTL/LVCMOSパラレルクロック出力。R/Fで選択されるエッジでデータを次のチップにラッチします。
29-36, 39-48	RGB_OUT [17:0]	LVTTTL/LVCMOSの赤、緑、及び青色のデジタルビデオデータ出力。DE_OUTがハイの場合は、R/Fで選択されるPCLK_OUTのエッジで、RGB_OUT[17 : 0]が次のチップにラッチされ、DE_OUTがローの場合は最後の状態で保持されます。
EP	GND	Thin QFNパッケージ専用のエクスポーズドパッド。GNDに接続します。

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

## ファンクションダイアグラム

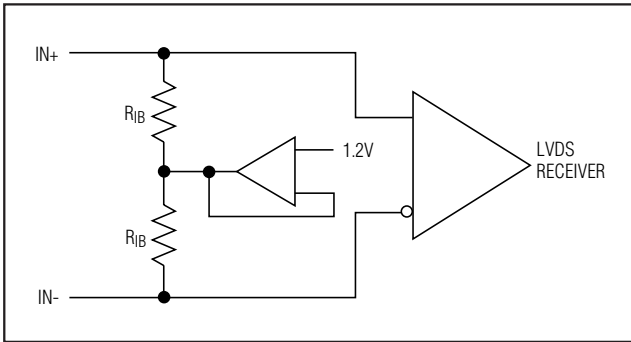
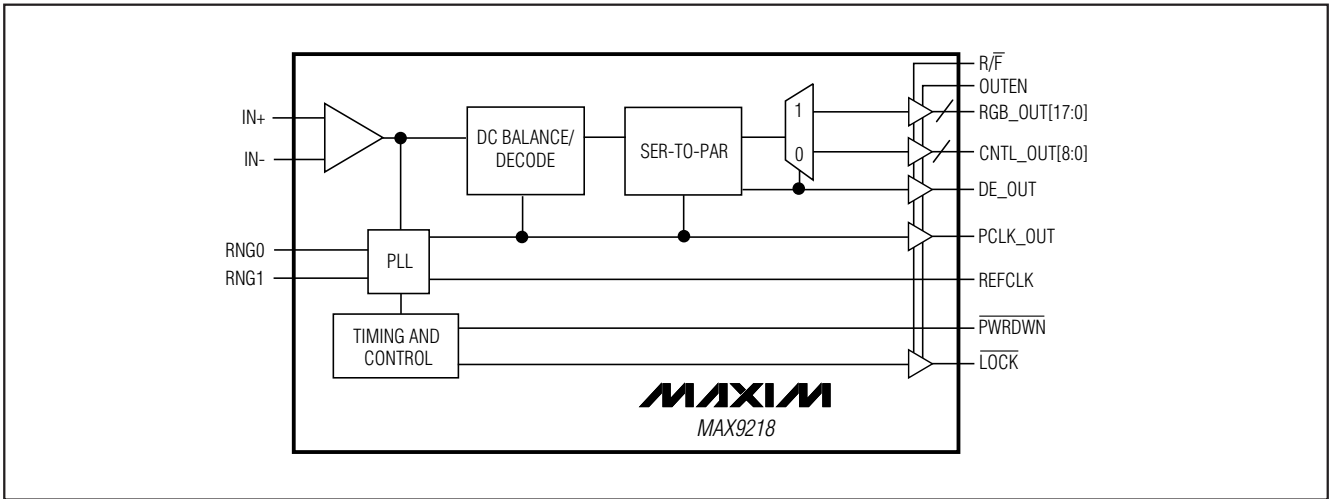


図1. LVDS入カバイアス

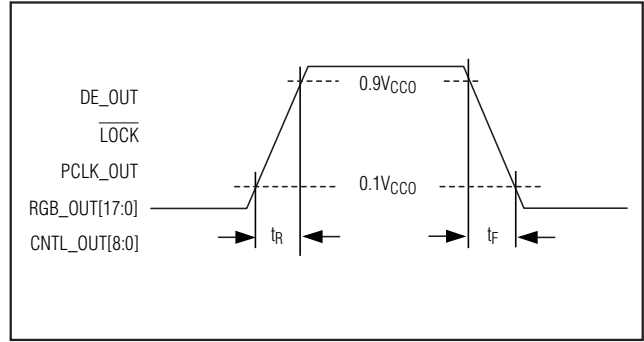


図3. 出力立上り/立下り時間

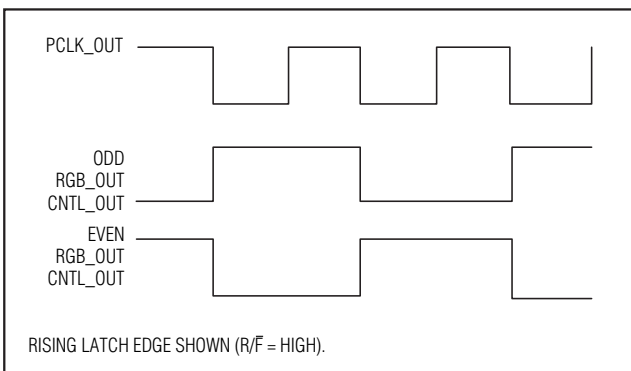


図2. ワーストケースの出力パターン

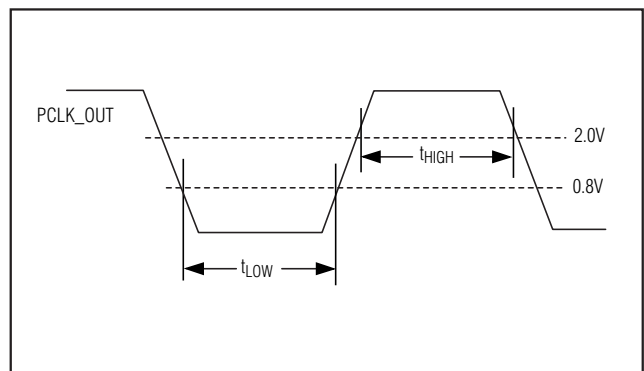


図4. ハイ及びロー時間

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

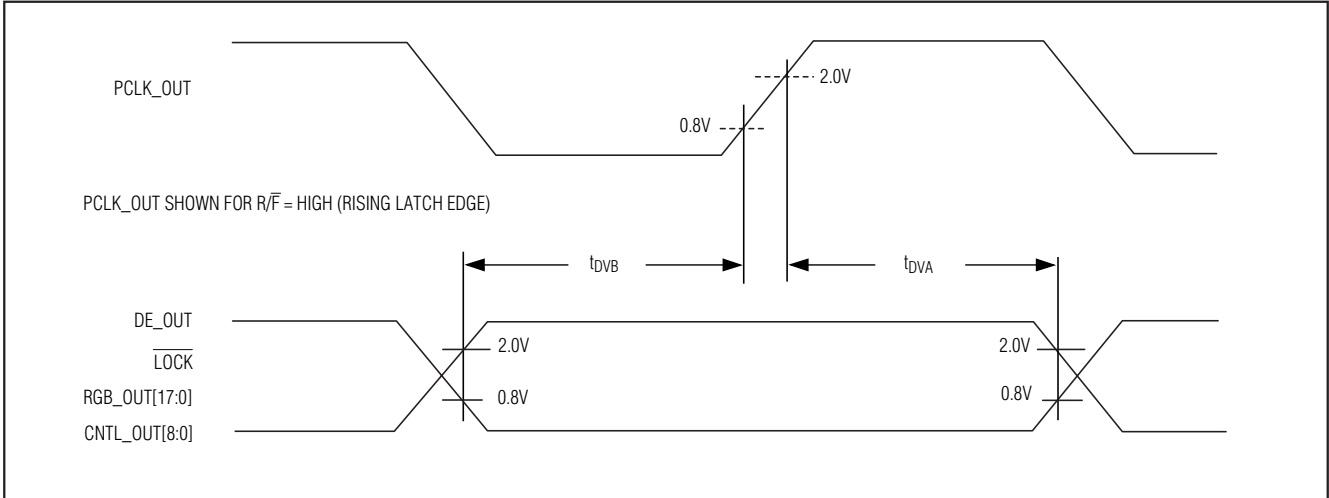


図5. 同期出力タイミング

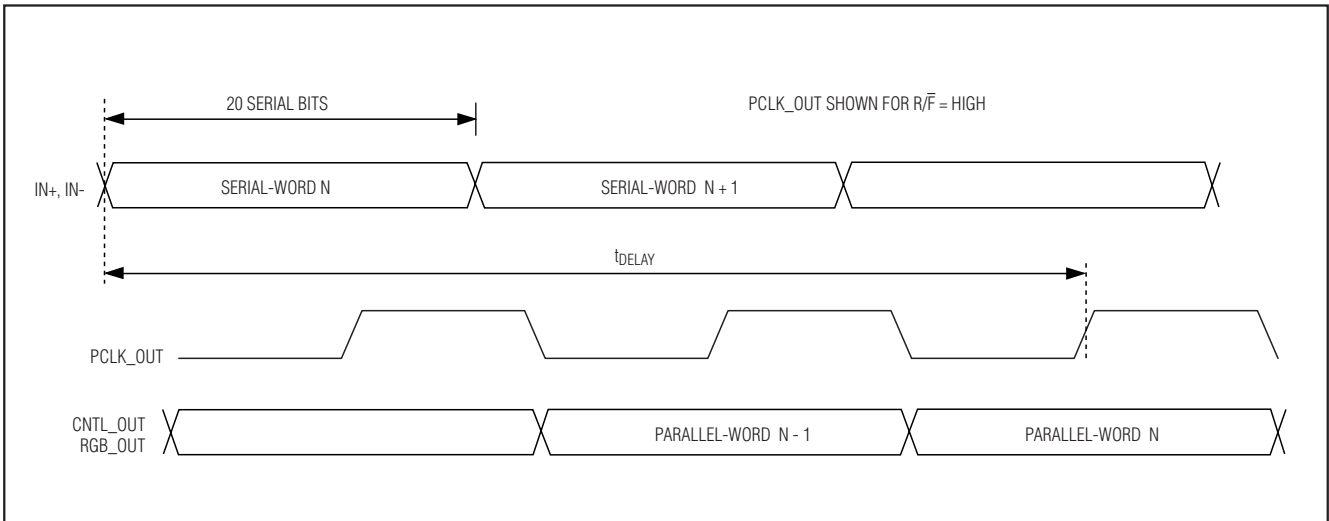


図6. デシリアライザの遅延

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

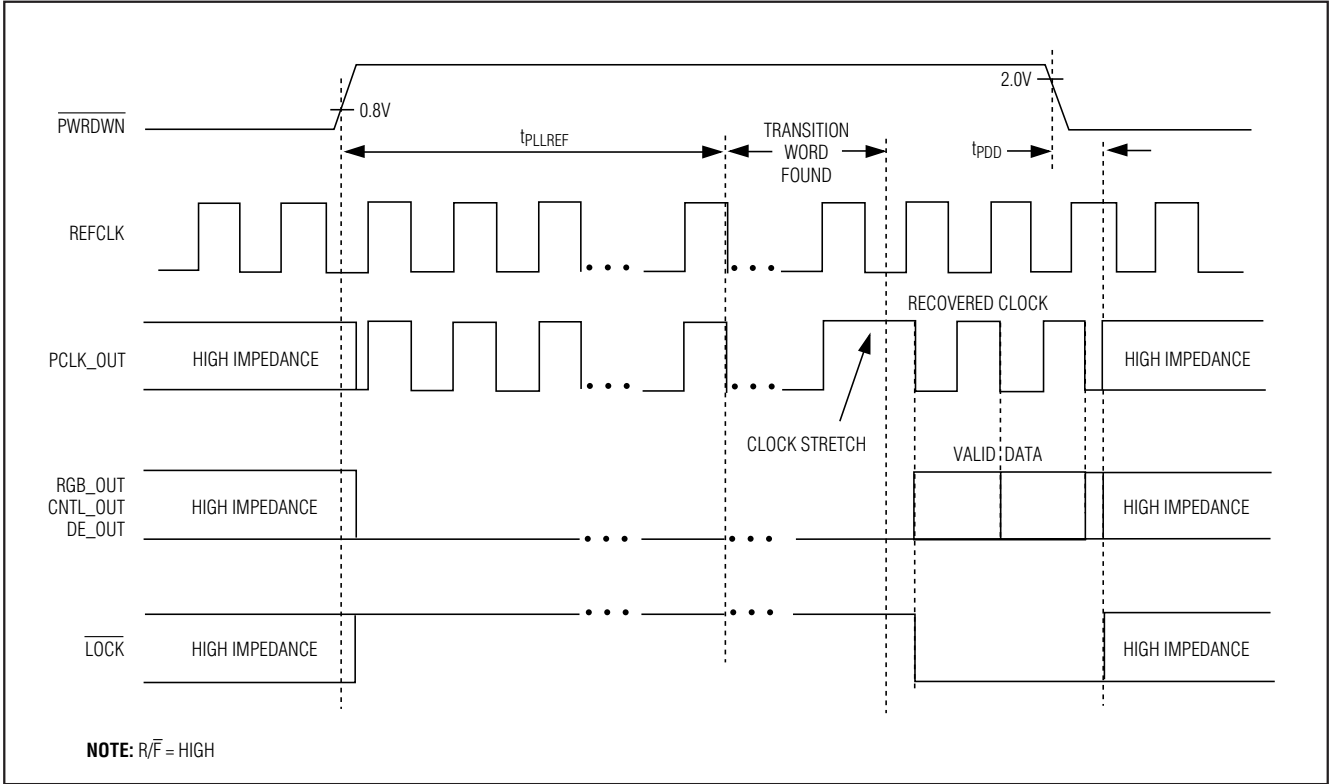


図7. REFCLKに対するPLLロック及びパワーダウン遅延

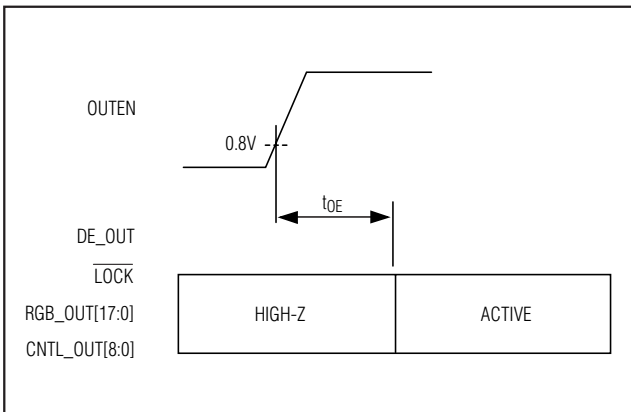


図8. 出カインエーブル時間

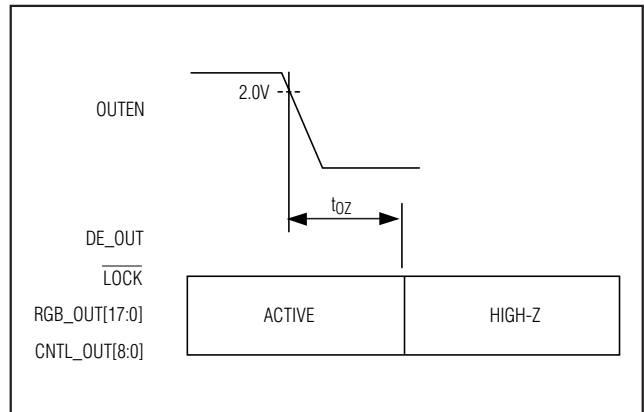


図9. 出カディセーブル時間

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

## 詳細

DCバランスト付きデシリアライザのMAX9218は、3MHz~35MHzの平行クロック周波数で動作し、データネーブル出力DE\_OUTがハイの場合、ビデオデータをRGB\_OUT[17:0]出力に非シリアル化し、DE\_OUTがローの場合は制御データCNTL\_OUT[8:0]出力に非シリアル化します。ビデオ位相ワードは、2オーバーヘッドビットEN0及びEN1によってデコードされます。制御位相ワードは、1オーバーヘッドビットEN0によってデコードされます。MAX9217シリアライザが処理するコード化によってEMIが低減し、シリアルケーブル全体にわたってDCバランスが維持されます。シリアル入力ワード形式は、表1及び表2に示されています。シリアライザによって3つのシリアルビット時間にわたってそれぞれ反復される制御データ入力C0~C4は、多数決でデコードされます。同一状態の2つまたは3つのビットによって回復ビットの状態が決定され、C0~C4に単一ビットエラー耐性がもたらされます。C5~C8の状態はビット自体のレベルで決定されます(多数決なし)。

### AC結合の利点

AC結合によって、LVDSレシーバの入力電圧がコンデンサの電圧定格まで上昇します。2つのコンデンサでアイソレーションに十分ですが、ケーブルのどちらかの端が高電圧に短絡する場合は4つのコンデンサ(シリアライザ出力に2つとデシリアライザ入力に2つ)が保護します。AC結合によって、低周波グランドシフトとコモンモードノイズがブロックされます。また、MAX9217シリアライザをMAX9218デシリアライザにDC結合することもできます。図10はリンク当り2つのコンデンサを備える

AC結合されたシリアライザとデシリアライザを示し、図11はリンク当り4つのコンデンサを備えるAC結合されたシリアライザとデシリアライザを示します。

## アプリケーション情報

### AC結合コンデンサの選択

平行クロック周波数に応じたAC結合のコンデンサ値の計算については図12を参照してください。この図は、リンク当り2つ及び4つのコンデンサを備えるシステムのコンデンサ値を示しています。18MHz以下のクロック周波数を使用するアプリケーションには、0.125µFのコンデンサを使用します。

### 終端及び入力バイアス

IN+及びIN- LVDS入力は35kΩ(min)を通じて+1.2Vに内部接続され、AC結合にバイアスを供給します(図1)。100Ωのインターコネクトの場合、LVDS入力を100Ω抵抗で終端することができます。終端は、インターコネクトの差動インピーダンスにマッチさせます。

ノイズの多い環境ではAC結合リンクに、1.2Vのバイアスを供給するテブナン終端を使用します。100Ωの差動インピーダンスを備えるインターコネクトの場合は、デシリアライザ入力において130Ωで各LVDSラインをV<sub>CC</sub>にプルアップし、82Ωでグランドにプルダウンします(図10及び図11)。この終端によって、差動及びコモンモード終端がともにもたらされます。テブナン終端のインピーダンスはインターコネクトの差動インピーダンスの半分であり、1.2Vのバイアス電圧を供給する必要があります。

表1. シリアルビデオ位相ワード形式

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
EN0	EN1	S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13	S14	S15	S16	S17

ビット0はLSBであり、最初に非シリアル化されます。EN[1:0]は、コード化ビットです。S[17:0]は、コード化された記号です。

表2. シリアル制御位相ワード形式

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
EN0	C0	C0	C0	C1	C1	C1	C2	C2	C2	C3	C3	C3	C4	C4	C4	C5	C6	C7	C8

ビット0はLSBであり、最初に非シリアル化されます。C[8:0]は、マッピングされる制御入力です。

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

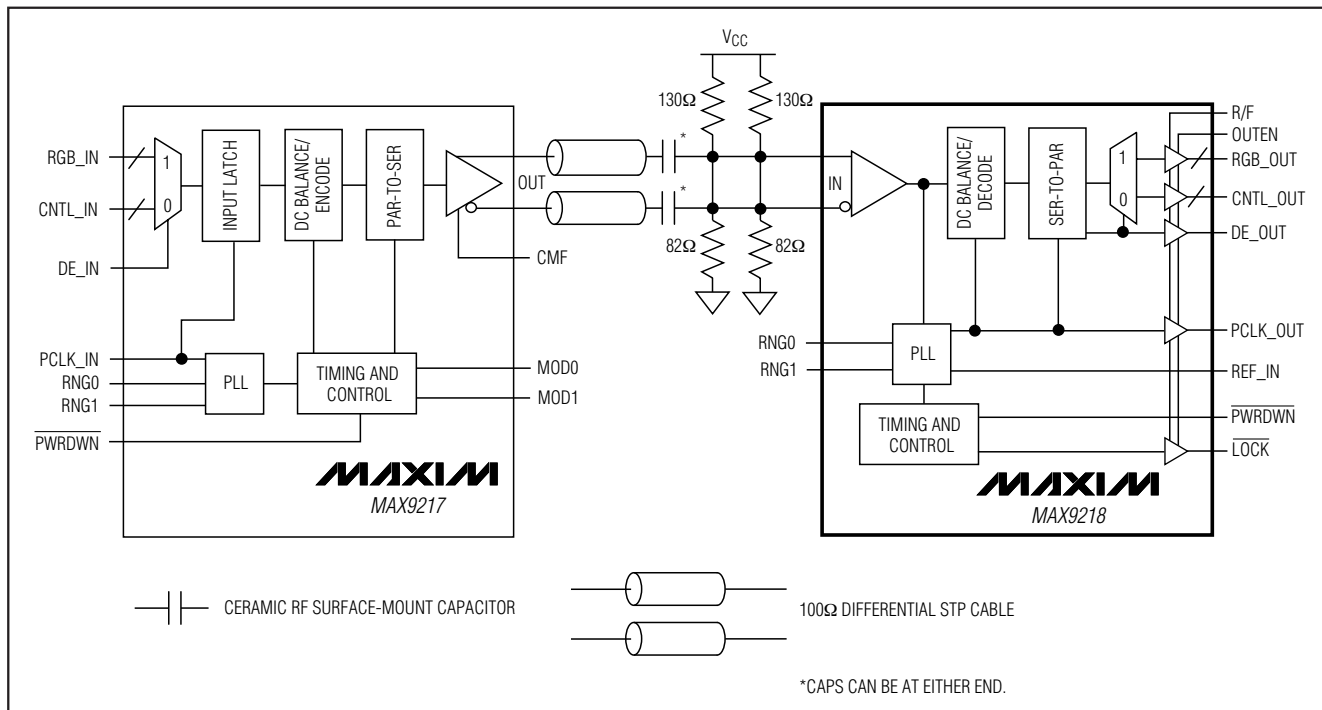


図10. リンク当たり2つのコンデンサを備えるAC結合シリアライザ及びデシリアライザ

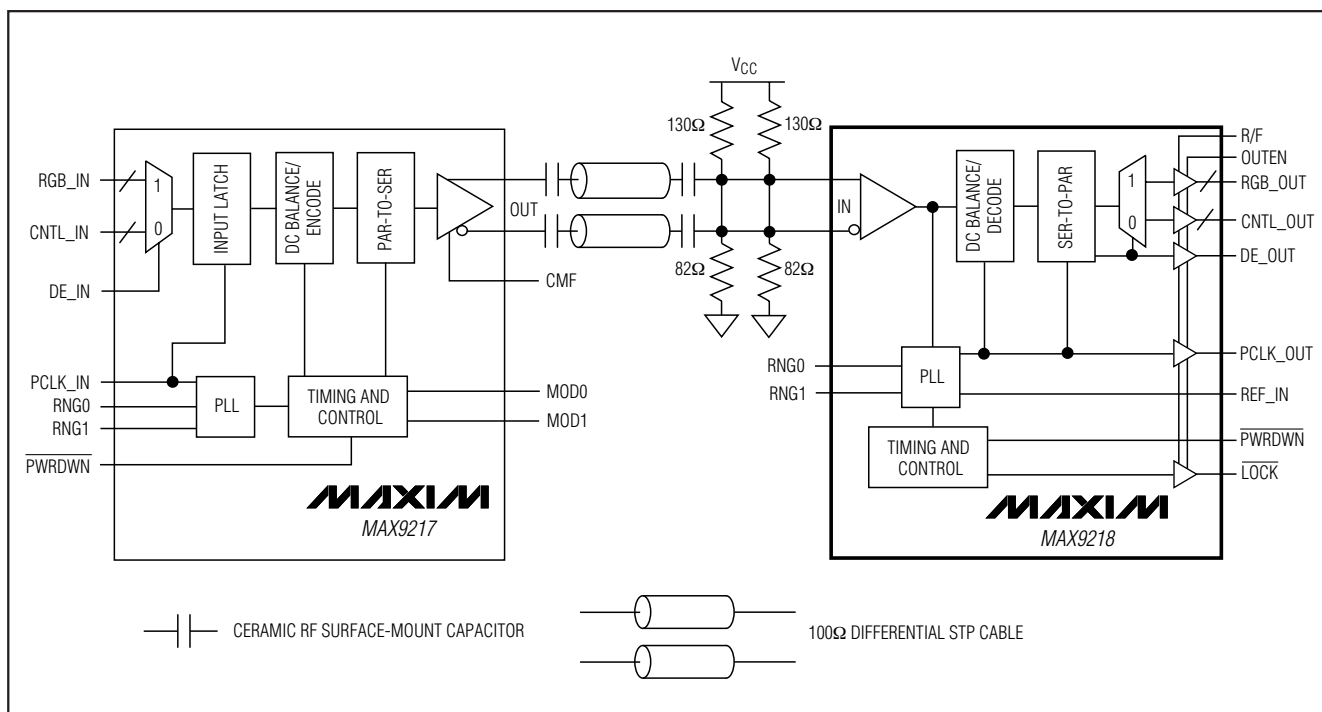


図11. リンク当たり4つのコンデンサを備えるAC結合シリアライザ及びデシリアライザ

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

## 入力周波数の検出

周波数検出回路は、LVDS入力がスイッチングしていない時間を検出します。スイッチングしていない時は、 $\overline{\text{LOCK}}$ 以外の全出力がローで、 $\overline{\text{LOCK}}$ はハイであり、PCLK\_OUTはREFCLKに従います。この状態は、シリアライザがインターコネクタを駆動していない場合やインターコネクタが開放状態の場合などに発生します。

## 周波数範囲の設定(RNG[1 : 0])

RNG[1 : 0]入力によって、MAX9218の動作周波数範囲と出力の遷移時間を選択します。シリアライザMAX9217のPCLK\_IN周波数を含む周波数範囲を選択します。表3は、選択可能な周波数範囲と、それに対応するデータレート及び出力遷移時間を示しています。

## パワーダウン

$\overline{\text{PWRDWN}}$ をローにすると、出力がハイインピーダンスになり、PLLが停止します。 $\overline{\text{PWRDWN}}$ が0.3V以下で、かつすべてのLVTTTL/LVCMOS入力が0.3V以下または $V_{CC} - 0.3V$ 以上の場合は、供給電流は50 $\mu$ A以下に低減します。 $\overline{\text{PWRDWN}}$ をハイにすると、まずローカルリファレンスクロック(REFCLK)のロックが始動し、次にシリアル入力のロックが始動します。

## ロック及びロック外れ( $\overline{\text{LOCK}}$ )

$\overline{\text{PWRDWN}}$ をハイにすると、PLLがREFCLKのロックを開始し、 $\overline{\text{LOCK}}$ をハイインピーダンスからハイに、PCLK\_OUT以外のその他の出力をハイインピーダンスからローにします。PCLK\_OUTはPLLがREFCLKをロックしている間にREFCLKを出力します。REFCLKのロックには、最大16,385回のREFCLKサイクルが必要です。REFCLKのロックが完了すると、遷移ワードがあるかどうかシリアル入力を監視します。遷移ワードが検出されると、 $\overline{\text{LOCK}}$ はローになり有効出力データを示し、シリアル入力から回復したパラレルレートクロックはPCLK\_OUTに出力されます。PCLK\_OUTは、REFCLKから回復クロックへの変化に引き延ばされます(また逆の場合も同様)。

表3. 周波数範囲の設定

RNG1	RNG0	PARALLEL CLOCK (MHz)	SERIAL DATA RATE (Mbps)	OUTPUT TRANSITION TIME
0	0	3 to 7	60 to 140	Slow
0	1			
1	0	7 to 15	140 to 300	Fast
1	1	15 to 35	300 to 700	

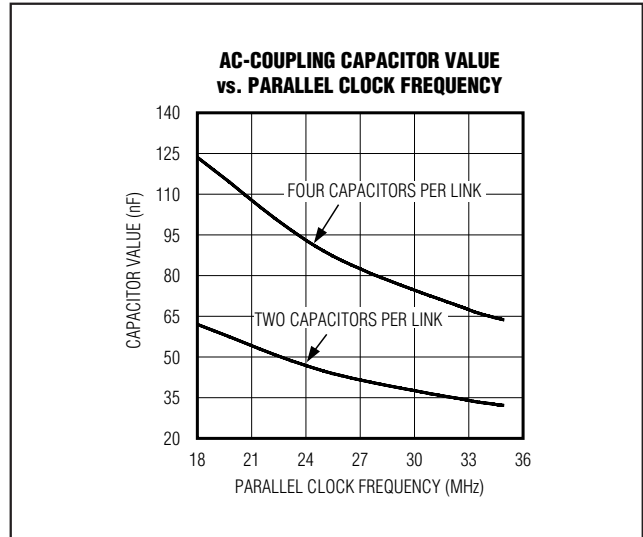


図12. AC結合コンデンサ値 対 18MHz~35MHzのクロック周波数

遷移ワードがPCLK\_OUTの $2^{20}$ のサイクル以内に検出されない場合は、 $\overline{\text{LOCK}}$ はハイになり、PCLK\_OUT以外の出力はローになります。REFCLKはPCLK\_OUTに出力され、デシリアライザは遷移ワードがあるかどうかシリアル入力の監視を継続します。同期タイミング図については、図7を参照してください。

## 出力イネーブル(OUTEN)及びバス出力

2つのMAX9218の出力をバスにして、出力イネーブルで制御される出力を備える2:1のマルチプレクサを形成することができます。バス出力の競合を回避するために、(OUTENをローにする)第1デシリアライザのディセーブルから(OUTENをハイにする)第2デシリアライザのイネーブルまで30nsの間、待機します。OUTENが全出力を制御します。

## 立上りまたは立下り出力ラッチエッジ(R/ $\overline{F}$ )

MAX9218は、R/ $\overline{F}$ のロジック設定を通じて選択可能な立上りまたは立下り出力ラッチエッジを備えています。R/ $\overline{F}$ をハイにすると立上り出力ラッチエッジが選択され、これによってPCLK\_OUTの立上りエッジでパラレル出力データが次のチップにラッチされます。R/ $\overline{F}$ をローにすると立下り出力ラッチエッジが選択され、これによってPCLK\_OUTの立下りエッジでパラレル出力データが次のチップにラッチされます。MAX9218の出力ラッチエッジ極性は、MAX9217シリアライザの入力ラッチエッジ極性と一致させる必要はありません。MAX9218が駆動中のチップが要求するラッチエッジ極性を選択します。

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

## 時差式及び遷移時間設定出力

RGB\_OUT[17:0]は6グループのうちの3グループに分類され、各グループはビデオ位相で約1nsの間、別個にスイッチングして、EMI及びグラウンドのバウンスを低減します。CNTL\_OUT[8:0]は、制御位相時にスイッチングします。出力遷移時間は3MHz~7MHz及び7MHz~15MHzの範囲では遅く、15MHz~35MHzの範囲では速くなります。

## データイネーブル出力(DE\_OUT)

MAX9218は、時間をずらしてビデオ及び制御データを非シリアル化します。制御データは、ビデオブランキング時間時に非シリアル化されます。DE\_OUTハイは、ビデオデータが非シリアル化中で、RGB\_OUT[17:0]に出力されることを示します。DE\_OUTローは、制御データが非シリアル化中で、CNTL\_OUT[8:0]に出力されることを示します。出力が更新されていない場合は、受け取った最後のデータが出力にラッチされます。図13は、DE\_OUTのタイミングを示しています。

## 電源回路及びバイパス

デジタル回路及びLVTTTL/LVCMOS入力(V<sub>CC</sub>電源及びGND)、出力(V<sub>CCO</sub>電源及びV<sub>CCO</sub> GND)、PLL(V<sub>CCPLL</sub>電源およびV<sub>CCPLL</sub> GND)、ならびにLVDS入力(V<sub>CCLVDS</sub>電源及びV<sub>CCLVDS</sub> GND)用の独立した電源領域を内蔵しています。グラウンドは、ダイオード接続で絶縁されます。

デバイスにできる限り近接して0.1µF及び0.001µFの高周波、表面実装セラミック並列コンデンサでそれぞれのV<sub>CC</sub>、V<sub>CCO</sub>、V<sub>CCPLL</sub>、及びV<sub>CCLVDS</sub>端子をバイパスします。最小値のコンデンサを電源端子に最も近接させます。出力は、1.71V~3.6Vの電源を受け付けるV<sub>CCO</sub>から電源供給され、1.8V~3.3Vのロジックレベルを備える入力に直接インタフェース可能です。

## ケーブル及びコネクタ

LVDSのインターコネクタは、標準で100Ωの差動インピーダンスを備えています。インピーダンス不連続を最低限に抑えるには、差動インピーダンスとマッチしたケーブル及びコネクタを使用します。

ツイストペア及びシールド付きツイストペアケーブルはリボンケーブルと比べて優れた信号品質を備え、磁場相殺効果によってEMIを低減する傾向があります。バランスケーブルは、LVDSレシーバが除去するノイズをコモンモード時にピックアップします。

## 基板レイアウト

クロストークを排除するために、LVTTTL/LVCMOS出力とLVDS入力を分離します。電源、グラウンド、及び信号用に層が独立した4層プリント基板が推奨されます。

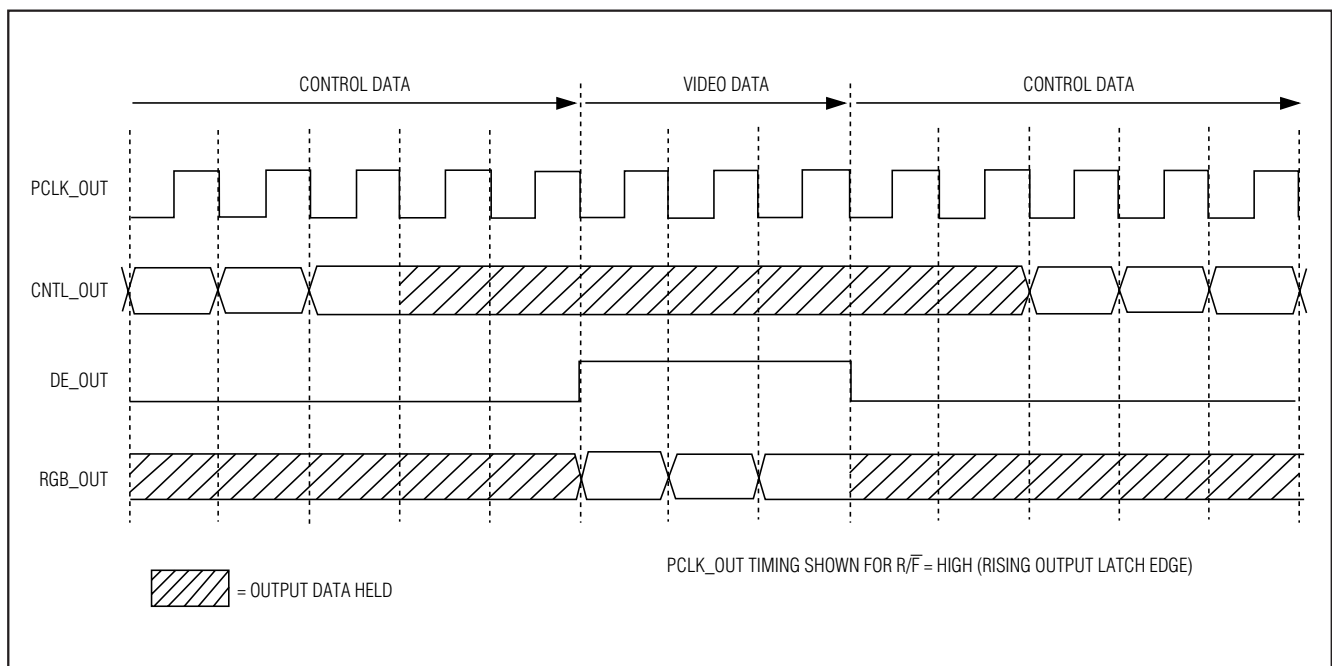


図13. 出力タイミング

# 27ビット、3MHz~35MHz、 DCバランスストLVDSデシリアライザ

MAX9218

## ESD保護

MAX9218のESD耐性定格は、ヒューマンボディモデル及びISO 10605です。ISO 10605は、電子機器のESD耐性を規定しています。ヒューマンボディモデルの放電

要素は、 $C_S = 100\text{pF}$ 及び $R_D = 1.5\text{k}\Omega$ です(図14)。ISO 10605の放電部分は、 $C_S = 330\text{pF}$ 及び $R_D = 2\text{k}\Omega$ です(図15)。

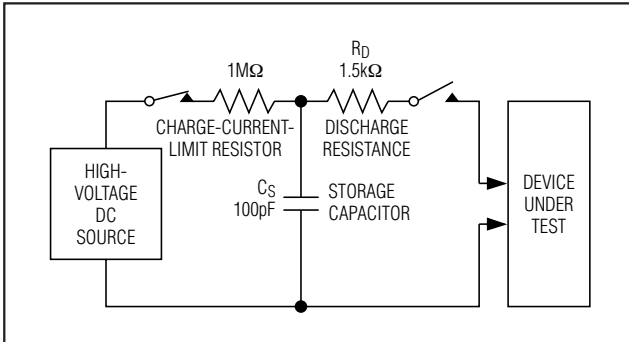


図14. ヒューマンボディによるESD試験回路

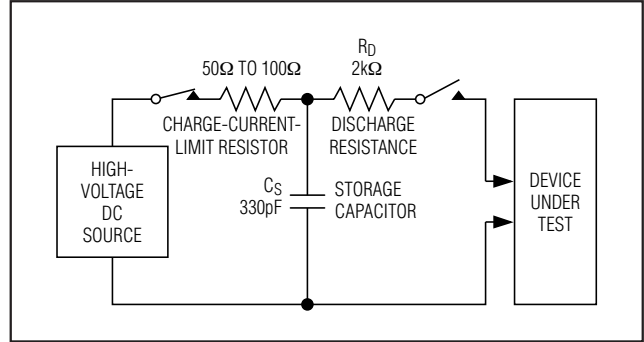


図15. ISO 10605による接触放電ESD試験回路

## チップ情報

TRANSISTOR COUNT: 17,782

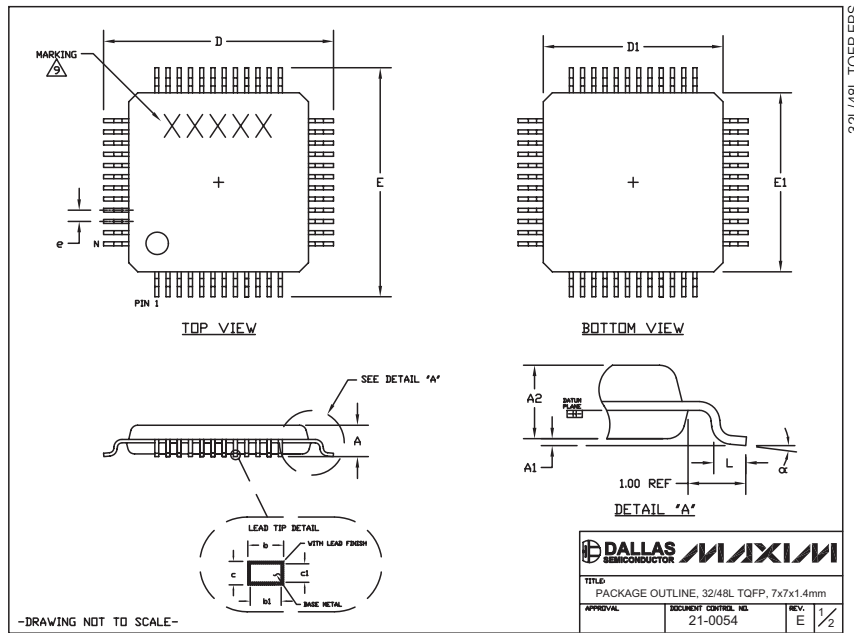
PROCESS: CMOS

# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

MAX9218



### NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. DATUM PLANE  $\overline{EED}$  IS LOCATED AT MOLD PARTING LINE AND COINCIDENT WITH LEAD, WHERE LEAD EXITS PLASTIC BODY AT BOTTOM OF PARTING LINE.
3. DIMENSIONS  $D_1$  AND  $E_1$  DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION IS 0.25 MM ON  $D_1$  AND  $E_1$  DIMENSIONS.
4. THE TOP OF PACKAGE IS SMALLER THAN THE BOTTOM OF PACKAGE BY 0.15 MILLIMETERS.
5. DIMENSION  $b$  DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08 MM TOTAL IN EXCESS OF THE  $b$  DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. ALL DIMENSIONS ARE IN MILLIMETERS.
7. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95, REGISTRATION MS-026.
8. LEADS SHALL BE COPLANAR WITHIN .004 INCH.
9. MARKING SHOWN IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
10. NUMBER OF LEADS ARE SHOWN FOR REFERENCE ONLY.

	JEDEC VARIATION			
	BBA		BBC	
	MIN.	MAX.	MIN.	MAX.
A	--	1.60	--	1.60
A1	0.05	0.15	0.05	0.15
A2	1.35	1.45	1.35	1.45
D	8.90	9.10	8.90	9.10
D1	6.90	7.10	6.90	7.10
E	8.90	9.10	8.90	9.10
E1	6.90	7.10	6.90	7.10
e	0.8	BSC.	0.5	BSC.
L	0.45	0.75	0.45	0.75
b	0.30	0.45	0.17	0.27
bi	0.30	0.40	0.17	0.23
c	0.09	0.20	0.09	0.20
cl	0.09	0.16	0.09	0.16
N	32		48	
$\alpha$	0°	7°	0°	7°

-DRAWING NOT TO SCALE-

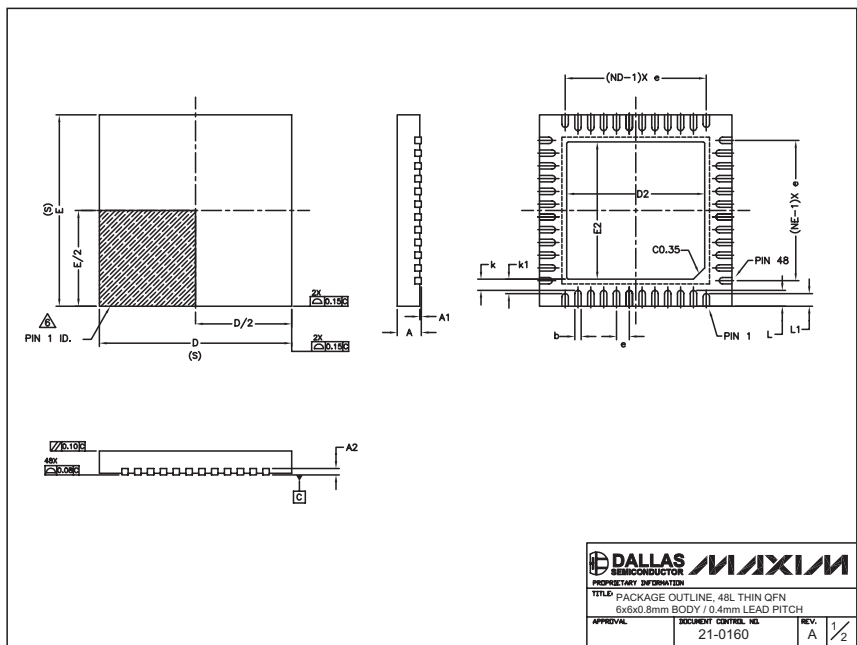


# 27ビット、3MHz~35MHz、 DCバランストLVDSデシリアライザ

MAX9218

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



**NOTE :**

1. ALL DIMENSIONS ARE IN mm. ANGLES IN DEGREES.
2. COPLANARITY APPLIES TO THE EXPOSED PAD AS WELL AS THE TERMINALS. COPLANARITY SHALL NOT EXCEED 0.08mm.
3. WARPAGE SHALL NOT EXCEED 0.10 mm.
4. PACKAGE LENGTH / PACKAGE WIDTH ARE CONSIDERED AS SPECIAL CHARACTERISTIC. (S)
5. REFER TO JEDEC MO-220.
6. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
7. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

COMMON DIMENSIONS			
SYMBOLS	MIN.	NOM.	MAX.
A	0.700	0.750	0.800
A1	0.000	--	0.050
A2	0.200 REF.		
b	0.150	0.200	0.250
D	5.900	6.000	6.100
e	0.400 TYP.		
E	5.900	6.000	6.050
k	0.250	0.350	0.450
k1	0.350	0.450	0.550
L	0.400	0.500	0.600
L1	0.300	0.400	0.500
N	48		
ND	12		
NE	12		

PKG. CODE	EXPOSED PAD VARIATIONS					
	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T4866-1	4.20	4.30	4.40	4.20	4.30	4.40



**マキシム・ジャパン株式会社**

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**