

EVALUATION KIT  
AVAILABLE

MAXIM

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## 概要

MAX8744/MAX8745は、同期整流を行うデュアルのステップダウン、スイッチモード電源(SMPS)コントローラであり、バッテリー駆動システムにおける5V/3.3Vメイン電源の生成を目的としています。最適なインターリーブの固定周波数で動作するため、最低入力電圧から26Vの最大入力まで入力リップル電流が最小になります。入力が10V未満に低下するとデューティサイクルのオーバーラップが発生する180度位相差のレギュレータと比べ、このコントローラは最適な40/60インターリーブによって入力が8.3Vに低下するまでデューティサイクルのオーバーラップが発生しません。

出力電流検出は、正確な検出抵抗または無損失のインダクタDCR電流検出を使用するピーク電流制限保護を提供します。低ノイズモードは、軽負荷時の高効率を維持しながらスイッチング周波数を可聴範囲外に保ちます。

内蔵の固定5V/100mAリニアレギュレータがMAX8744/MAX8745とそのゲートドライバに電源を供給し、さらに外部のキープアライブ負荷への給電も行います。メインPWMレギュレータが安定状態のとき、自動ブートストラップスイッチによって内蔵リニアレギュレータがバイパスされ、最大200mAの電流が供給されます。もう1つの可変リニアレギュレータドライバと外付けのpnpトランジスタを2次巻線と組み合わせて12V電源を供給するか、またはメイン出力から直接給電することによって最低1Vの低電圧出力を生成することができます。

各出力個別のイネーブル制御およびパワーグッド信号によって、柔軟な電源シーケンスが可能になっています。電圧ソフトスタートは出力電圧を漸増させることによって突入電流を低減させ、ソフトシャットダウンは出力電圧を漸減させて負の電圧ディップを防止します。MAX8744/MAX8745は出力低電圧および熱障害保護を備えています。MAX8744は出力過電圧障害保護も備えています。

MAX8744/MAX8745は5mm x 5mmの32ピンTQFNパッケージで提供されます。下面エクスポーズドパッドが熱特性を改善し、条件の厳しいリニアキープアライブアプリケーションに対応します。

## アプリケーション

メイン電源

2~4セルLi+ (リチウムイオン) バッテリー駆動デバイス  
ノートブックおよびサブノート型コンピュータ  
PDAおよびモバイル通信機器

Dual ModeはMaxim Integrated Products, Inc.の商標です。

## 特長

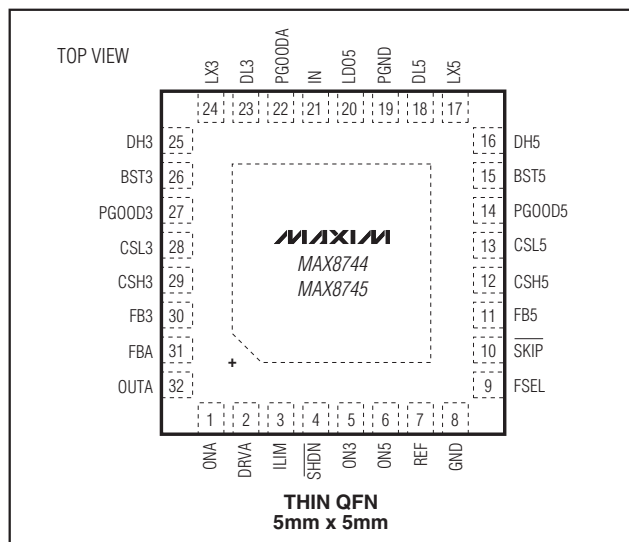
- ◆ 固定周波数、電流モード制御
- ◆ 40/60の最適なインターリーブ
- ◆ 内蔵BSTスイッチ
- ◆ 内蔵5V/100mAリニアレギュレータ
- ◆ 補助リニアレギュレータドライバ(12Vまたは最小1Vの可変)
- ◆ Dual Mode™ フィードバック：3.3V/5V固定または調整可能出力電圧
- ◆ スwitchング周波数200kHz/300kHz/500kHz
- ◆ 低電圧および熱障害保護
- ◆ 過電圧障害保護 (MAX8744のみ)
- ◆ 入力範囲6V~26V
- ◆ 2V ±0.75%のリファレンス出力
- ◆ 各出力個別のイネーブル入力とパワーグッド出力
- ◆ ソフトスタートおよびソフトシャットダウン (電圧ランプ)
- ◆ 8μA (typ)のシャットダウン電流

## 型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX8744ETJ+	-40°C to +85°C	32 Thin QFN (5mm x 5mm)	T3255-4
MAX8745ETJ+	-40°C to +85°C	32 Thin QFN (5mm x 5mm)	T3255-4

+は鉛フリーパッケージを示します。

## ピン配置



MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。 <http://japan.maxim-ic.com>

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

## ABSOLUTE MAXIMUM RATINGS

IN, $\overline{\text{SHDN}}$ , DRVA, OUTA to GND	-0.3V to +28V
LDO5, ON3, ON5, ONA to GND	-0.3V to +6V
PGOODA, PGOOD3, PGOOD5 to GND	-0.3V to +6V
CSL3, CSH3, CSL5, CSH5 to GND	-0.3V to +6V
REF, FB3, FB5, FBA to GND	-0.3V to ( $V_{\text{LDO5}} + 0.3\text{V}$ )
$\overline{\text{SKIP}}$ , FSEL, ILIM to GND	-0.3V to ( $V_{\text{LDO5}} + 0.3\text{V}$ )
DL3, DL5 to PGND	-0.3V to ( $V_{\text{LDO5}} + 0.3\text{V}$ )
BST3, BST5 to PGND	-0.3V to +34V
BST3 to LX3	-0.3V to +6V
DH3 to LX3	-0.3V to ( $V_{\text{BST3}} + 0.3\text{V}$ )
BST5 to LX5	-0.3V to +6V
DH5 to LX5	-0.3V to ( $V_{\text{BST5}} + 0.3\text{V}$ )
GND to PGND	-0.3V to +0.3V

BST3, BST5 LDO5	-0.3V to +0.3V
LDO Short Circuit to GND	Momentary
REF Short Circuit to GND	Momentary
DRVA Current (Sinking)	30mA
OUTA Shunt Current	30mA
Continuous Power Dissipation ( $T_A = +70^\circ\text{C}$ )	
Multilayer PC Board	
32-Pin, 5mm x 5mm TQFN	
(derated 34.5mW/°C above +70°C)	2459mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1,  $V_{\text{IN}} = 12\text{V}$ , both SMPS enabled, FSEL = REF,  $\overline{\text{SKIP}} = \text{GND}$ , ILIM = LDO5, FBA = LDO5,  $I_{\text{REF}} = I_{\text{LDO5}} = I_{\text{OUTA}} = \text{no load}$ ,  $T_A = 0^\circ\text{C}$  to  $+85^\circ\text{C}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ\text{C}$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>INPUT SUPPLIES (Note 1)</b>						
$V_{\text{IN}}$ Input Voltage Range	$V_{\text{IN}}$	LDO5 in regulation	5.4		26.0	V
		IN = LDO5, $V_{\text{CSL5}} < 4.4\text{V}$	4.5		5.5	
$V_{\text{IN}}$ Operating Supply Current	$I_{\text{IN}}$	LDO5 switched over to CSL5, either SMPS on		20	36	$\mu\text{A}$
$V_{\text{IN}}$ Standby Supply Current	$I_{\text{IN}}(\text{STBY})$	$V_{\text{IN}} = 6\text{V}$ to $26\text{V}$ , both SMPS off, includes $\overline{\text{SHDN}}$		65	120	$\mu\text{A}$
$V_{\text{IN}}$ Shutdown Supply Current	$I_{\text{IN}}(\text{SHDN})$	$V_{\text{IN}} = 6\text{V}$ to $26\text{V}$		8	20	$\mu\text{A}$
Quiescent Power Consumption	$P_{\text{Q}}$	Both SMPS on, FB3 = FB5 = LDO5, $\overline{\text{SKIP}} = \text{GND}$ , $V_{\text{CSL3}} = 3.5\text{V}$ , $V_{\text{CSL5}} = 5.3\text{V}$ , $V_{\text{OUTA}} = 15\text{V}$ , $P_{\text{IN}} + P_{\text{CSL3}} + P_{\text{CSL5}} + P_{\text{OUTA}}$		3.5	4.5	mW
<b>MAIN SMPS CONTROLLERS</b>						
3.3V Output Voltage in Fixed Mode	$V_{\text{OUT3}}$	$V_{\text{IN}} = 6\text{V}$ to $26\text{V}$ , $\overline{\text{SKIP}} = \text{FB3} = \text{LDO5}$ , $0 < V_{\text{CSH3}} - V_{\text{CSL3}} < 50\text{mV}$ (Note 2)	3.265	3.315	3.365	V
5V Output Voltage in Fixed Mode	$V_{\text{OUT5}}$	$V_{\text{IN}} = 6\text{V}$ to $26\text{V}$ , $\overline{\text{SKIP}} = \text{FB5} = \text{LDO5}$ , $0 < V_{\text{CSH5}} - V_{\text{CSL5}} < 50\text{mV}$ (Note 2)	4.94	5.015	5.09	V
Feedback Voltage in Adjustable Mode (Note 2)	$V_{\text{FB}_-}$	$V_{\text{IN}} = 6\text{V}$ to $26\text{V}$ , FB3 or FB5 duty factor = 20% to 80%	1.980	2.010	2.040	V
		$V_{\text{IN}} = 6\text{V}$ to $26\text{V}$ , FB3 or FB5 duty factor = 50%	1.990	2.010	2.030	

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled, FSEL = REF,  $\overline{SKIP} = GND$ , ILIM = LDO5, FBA = LDO5,  $I_{REF} = I_{LDO5} = I_{OUTA} =$  no load,  $T_A = 0^\circ C$  to  $+85^\circ C$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Output Voltage Adjust Range		Either SMPS	2.0		5.5	V	
FB3, FB5 Dual Mode Threshold			3.0	$V_{LDO5} - 1.0$	$V_{LDO5} - 0.4$	V	
Feedback Input Leakage Current		$V_{FB3} = V_{FB5} = 2.1V$	-0.1		+0.1	$\mu A$	
DC Load Regulation		Either SMPS, $\overline{SKIP} = LDO5$ , $0 < V_{CSH\_} - V_{CSL\_} < 50mV$		-0.1		%	
Line Regulation Error		Either SMPS, $6V < V_{IN} < 26V$		0.03		%/V	
Operating Frequency (Note 1)	$f_{OSC}$	FSEL = GND	170	200	230	kHz	
		FSEL = REF	270	300	330		
		FSEL = LDO5	425	500	575		
Maximum Duty Factor	$D_{MAX}$	(Note 1)	97.5	99		%	
Minimum On-Time	$t_{ONMIN}$			100		ns	
SMPS3-to-SMPS5 Phase Shift		SMPS5 starts after SMPS3		40		%	
				144		Deg	
<b>CURRENT LIMIT</b>							
ILIM Adjustment Range			0.5		$V_{REF}$	V	
Current-Sense Input Leakage Current		$CSH3 = CSH5 = GND$ or LDO5	-1		+1	$\mu A$	
Current-Limit Threshold (Fixed)	$V_{LIMIT}$	$V_{CSH\_} - V_{CSL\_}$ , ILIM = LDO5	45	50	55	mV	
Current-Limit Threshold (Adjustable)	$V_{LIMIT}$	$V_{CSH\_} - V_{CSL\_}$	$V_{ILIM} = 2.00V$	185	200	215	mV
			$V_{ILIM} = 1.00V$	94	100	106	
Current-Limit Threshold (Negative)	$V_{NEG}$	$V_{CSH\_} - V_{CSL\_}$ , $\overline{SKIP} = ILIM = LDO5$	-67	-60	-53	mV	
		$V_{CSH\_} - V_{CSL\_}$ , $\overline{SKIP} = LDO5$ , adjustable mode, percent of current limit		-120		%	
Current-Limit Threshold (Zero Crossing)	$V_{ZX}$	$V_{CSH\_} - V_{CSL\_}$ , $\overline{SKIP} = GND$ , ILIM = LDO5	0	3	6	mV	
Idle Mode™ Threshold	$V_{IDLE}$	$V_{CSH\_} - V_{CSL\_}$ , $\overline{SKIP} = GND$	ILIM = LDO5	6	10	14	mV
			With respect to current-limit threshold ( $V_{LIMIT}$ )		20		%
Idle Mode Threshold (Low Audible Noise Mode)	$V_{IDLE}$	$V_{CSH\_} - V_{CSL\_}$ , $\overline{SKIP} = REF$	ILIM = LDO5	2.5	5	7.5	mV
			With respect to current-limit threshold ( $V_{LIMIT}$ )		10		%
ILIM Leakage Current		ILIM = GND or REF	-1		+1	$\mu A$	

Idle ModeはMaxim Integrated Products, Inc.の商標です。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled, FSEL = REF,  $\overline{SKIP} = GND$ , ILIM = LDO5, FBA = LDO5,  $I_{REF} = I_{LDO5} = I_{OUTA} =$  no load,  $T_A = 0^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Soft-Start Ramp Time	t <sub>SSTART</sub>	Measured from the rising edge of ON_ to full scale		2		ms
Soft-Stop Ramp Time	t <sub>SSTOP</sub>	Measured from the falling edge of ON_ to full scale		4		ms
<b>INTERNAL FIXED LINEAR REGULATORS</b>						
LDO5 Output Voltage	V <sub>LDO5</sub>	ON5 = GND, $6V < V_{IN} < 26V$ , $0 < I_{LDO5} < 100mA$	4.85	4.95	5.10	V
LDO5 Undervoltage-Lockout Fault Threshold		Rising edge, hysteresis = 1% (typ)	3.7	4.0	4.1	V
LDO5 Bootstrap Switch Threshold		Rising edge of CSL5, hysteresis = 1% (typ)	4.35	4.55	4.70	V
LDO5 Bootstrap Switch Resistance		LDO5 to CSL5, V <sub>CSL5</sub> = 5V, I <sub>LDO5</sub> = 50mA		1	5	Ω
Short-Circuit Current		LDO5 = GND, ON5 = GND		225	450	mA
Short-Circuit Current (Switched over to CSL_)		LDO5 = GND, V <sub>CSL5</sub> > 4.7V	200	425		mA
<b>AUXILIARY LINEAR REGULATOR</b>						
DRVA Voltage Range	V <sub>DRVA</sub>		0.5		26.0	V
DRVA Drive Current		V <sub>FBA</sub> = 1.05V, V <sub>DRVA</sub> = 5V			0.4	mA
		V <sub>FBA</sub> = 0.965V, V <sub>DRVA</sub> = 5V	10			
FBA Regulation Threshold	V <sub>FBA</sub>	V <sub>DRVA</sub> = 5V, I <sub>DRVA</sub> = 1mA (sink)	0.98	1.00	1.02	V
FBA Load Regulation		V <sub>DRVA</sub> = 5V, I <sub>DRVA</sub> = 0.5mA to 5mA		-1.2	-2.2	%
OUTA Shunt Trip Level		Rising edge	25	26	27	V
FBA Leakage Current		V <sub>FBA</sub> = 1.035V	-0.1		+0.1	μA
Secondary Feedback Regulation Threshold		V <sub>DRVA</sub> - V <sub>OUTA</sub>		0		V
DL5 Pulse Width				1/ 3f <sub>OSC</sub>		μs
OUTA Leakage Current	I <sub>OUTA</sub>	V <sub>DRVA</sub> = V <sub>OUTA</sub> = 25V			50	μA
<b>REFERENCE (REF)</b>						
Reference Voltage	V <sub>REF</sub>	LDO5 in regulation, I <sub>REF</sub> = 0	1.985	2.00	2.015	V
Reference Load-Regulation Error	ΔV <sub>REF</sub>	I <sub>REF</sub> = -5μA to +50μA	-10		+10	mV
REF Lockout Voltage	V <sub>REF(UVLO)</sub>	Rising edge, hysteresis = 100mV (typ)		1.90		V
<b>FAULT DETECTION</b>						
Output Overvoltage Trip Threshold (MAX8744 Only)		With respect to error-comparator threshold	8	11	14	%
Output Overvoltage Fault Propagation Delay (MAX8744 Only)	t <sub>OVP</sub>	50mV overdrive		10		μs

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled,  $FSEL = REF$ ,  $\overline{SKIP} = GND$ ,  $ILIM = LDO5$ ,  $FBA = LDO5$ ,  $I_{REF} = I_{LDO5} = I_{OUTA} =$  no load,  $T_A = 0^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Undervoltage Protection Trip Threshold		With respect to error-comparator threshold	65	70	75	%
Output Undervoltage Fault Propagation Delay	$t_{UVP}$	50mV overdrive		10		$\mu s$
Output Undervoltage Protection Blanking Time	$t_{BLANK}$	From rising edge of $ON_+$ with respect to $f_{sw}$	5000	6144	7000	$1/f_{OSC}$
PGOOD_ Lower Trip Threshold		With respect to error-comparator threshold, hysteresis = 1% (typ)	-12	-10	-8	%
PGOOD_ Propagation Delay	$t_{PGOOD\_}$	Falling edge, 50mV overdrive		10		$\mu s$
		Rising edge, 50mV overdrive		1		
PGOOD_ Output Low Voltage		$I_{SINK} = 1mA$			0.4	V
PGOOD_ Leakage Current	$I_{PGOOD\_}$	High state, PGOOD_ forced to 5.5V			1	$\mu A$
Thermal Shutdown Threshold	$t_{SHDN}$	Hysteresis = $15^{\circ}C$		+160		$^{\circ}C$
<b>GATE DRIVERS</b>						
DH_ Gate-Driver On-Resistance	$R_{DH}$	$BST_- - LX_+$ forced to 5V		1.3	5	$\Omega$
DL_ Gate-Driver On-Resistance	$R_{DL}$	DL_, high state		1.7	5	$\Omega$
		DL_, low state		0.6	3	
DH_ Gate-Driver Source/Sink Current	$I_{DH}$	DH_ forced to 2.5V, $BST_- - LX_+$ forced to 5V		2		A
DL_ Gate-Driver Source Current	$I_{DL} (SOURCE)$	DL_ forced to 2.5V		1.7		A
DL_ Gate-Driver Sink Current	$I_{DL} (SINK)$	DL_ forced to 2.5V		3.3		A
Dead Time	$t_{DEAD}$	DH_low to DL_high	15	45		ns
		DL_low to DH_high	15	44		
Internal $BST_+$ Switch On-Resistance	$R_{BST}$	$I_{BST} = 10mA$		5		$\Omega$
$BST_+$ Leakage Current		$V_{BST_+} = 26V$		2	20	$\mu A$
<b>INPUTS AND OUTPUTS</b>						
$\overline{SHDN}$ Input Trip Level		Rising trip level	1.1	1.6	2.2	V
		Falling trip level	0.96	1	1.04	
ONA Logic Input Voltage		Hysteresis = 600mV (typ)	High	2.4		V
			Low		0.8	
ON3, ON5 Input Voltage		SMPS off level/clear fault level			0.8	V
		Delay start level	1.9		2.1	
		SMPS on level	2.4			

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled, FSEL = REF,  $\overline{SKIP} = GND$ , ILIM = LDO5, FBA = LDO5,  $I_{REF} = I_{LDO5} = I_{OUTA} =$  no load,  $T_A = 0^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted. Typical values are at  $T_A = +25^{\circ}C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Tri-Level Input Logic		$\overline{SKIP}$ , FSEL	High	$V_{LDO5}$ - 0.4		V
			REF	1.65	2.35	
			GND		0.5	
Input Leakage Current		$\overline{SKIP}$ , FSEL forced to GND or LDO5	-1		+1	$\mu A$
		$\overline{SHDN}$ forced to GND or 26V	-1		+1	

## ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled, FSEL = REF,  $\overline{SKIP} = GND$ , ILIM = LDO5, FBA = LDO5,  $I_{REF} = I_{LDO5} = I_{OUTA} =$  no load,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
<b>INPUT SUPPLIES (Note 1)</b>					
$V_{IN}$ Input Voltage Range	$V_{IN}$	LDO5 in regulation	5.4	26.0	V
		IN = LDO5, $V_{CSL5} < 4.4V$	4.5	5.5	
$V_{IN}$ Operating Supply Current	$I_{IN}$	LDO5 switched over to CSL5, either SMPS on		40	$\mu A$
$V_{IN}$ Standby Supply Current	$I_{IN(STBY)}$	$V_{IN} = 6V$ to 26V, both SMPS off, includes $\overline{SHDN}$		120	$\mu A$
$V_{IN}$ Shutdown Supply Current	$I_{IN(SHDN)}$	$V_{IN} = 6V$ to 26V		20	$\mu A$
Quiescent Power Consumption	$P_Q$	Both SMPS on, FB3 = FB5 = LDO5; $\overline{SKIP} = GND$ , $V_{CSL3} = 3.5V$ , $V_{CSL5} = 5.3V$ , $V_{OUTA} = 15V$ , $P_{IN} + P_{CSL3} + P_{CSL5}$		4.5	mW
<b>MAIN SMPS CONTROLLERS</b>					
3.3V Output Voltage in Fixed Mode	$V_{OUT3}$	$V_{IN} = 6V$ to 26V, $\overline{SKIP} = FB3 = LDO5$ , $0 < V_{CSH3} - V_{CSL3} < 50mV$ (Note 2)	3.255	3.375	V
5V Output Voltage in Fixed Mode	$V_{OU5}$	$V_{IN} = 6V$ to 26V, $\overline{SKIP} = FB5 = LDO5$ , $0 < V_{CSH5} - V_{CSL5} < 50mV$ (Note 2)	4.925	5.105	V
Feedback Voltage in Adjustable Mode	$V_{FB-}$	$V_{IN} = 6V$ to 26V, FB3 or FB5 duty factor = 20% to 80% (Note 2)	1.974	2.046	V
Output Voltage Adjust Range		Either SMPS	2.0	5.5	V
FB3, FB5 Dual Mode Threshold			3V	$V_{LDO5}$ - 0.4	V
Operating Frequency (Note 1)	$f_{OSC}$	FSEL = GND	170	230	kHz
		FSEL = REF	270	330	
		FSEL = LDO5	425	575	
Maximum Duty Factor	$D_{MAX}$		97		%

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled, FSEL = REF, SKIP = GND, ILIM = LDO5, FBA = LDO5, IREF = I<sub>LDO5</sub> = I<sub>OUTA</sub> = no load,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS	
<b>CURRENT LIMIT</b>						
ILIM Adjustment Range			0.5	V <sub>REF</sub>	V	
Current-Limit Threshold (Fixed)	V <sub>LIMIT</sub>	V <sub>CSHL</sub> - V <sub>CSL<sub>L</sub></sub> , ILIM = LDO5	44	56	mV	
Current-Limit Threshold (Adjustable)	V <sub>LIMIT</sub>	V <sub>CSHL</sub> - V <sub>CSL<sub>L</sub></sub>	V <sub>ILIM</sub> = 2.00V	185	215	mV
			V <sub>ILIM</sub> = 1.00V	93	107	
<b>INTERNAL FIXED LINEAR REGULATORS</b>						
LDO5 Output Voltage	V <sub>LDO5</sub>	ON5 = GND, 6V < V <sub>IN</sub> < 26V,	4.85	5.10	V	
LDO5 Undervoltage-Lockout Fault Threshold		Rising edge, hysteresis = 1% (typ)	3.7	4.1	V	
LDO5 Bootstrap Switch Threshold		Rising edge of CSL5, hysteresis = 1% (typ)	4.30	4.75	V	
Short-Circuit Current		LDO5 = GND, ON5 = GND		450	mA	
Short-Circuit Current (Switched over to CSL <sub>L</sub> )		LDO5 = GND, V <sub>CSL5</sub> > 4.7V	200		mA	
<b>AUXILIARY LINEAR REGULATOR</b>						
DRVA Voltage Range	V <sub>DRVA</sub>		0.5	26	V	
DRVA Drive Current		V <sub>FBA</sub> = 1.05V, V <sub>DRVA</sub> = 5V		0.4	mA	
		V <sub>FBA</sub> = 0.965V, V <sub>DRVA</sub> = 5V	10			
FBA Regulation Threshold	V <sub>FBA</sub>	V <sub>DRVA</sub> = 5V, I <sub>DRVA</sub> = 1mA (sink)	0.98	1.02	V	
OUTA Shunt Trip Level			25	27	V	
<b>REFERENCE (REF)</b>						
Reference Voltage	V <sub>REF</sub>	LDO5 in regulation, I <sub>REF</sub> = 0	1.980	2.020	V	

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1,  $V_{IN} = 12V$ , both SMPS enabled, FSEL = REF,  $\overline{SKIP} = GND$ , ILIM = LDO5, FBA = LDO5,  $I_{REF} = I_{LDO5} = I_{OUTA} =$  no load,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>FAULT DETECTION</b>						
Output Overvoltage Trip Threshold (MAX8744 Only)		With respect to error comparator threshold	8		14	%
Output Undervoltage Protection		With respect to error comparator threshold	65		75	%
PGOOD_Lower Trip Threshold		With respect to error comparator threshold, hysteresis = 1%	-12		-8	%
PGOOD_Output Low Voltage		$I_{SINK} = 1mA$			0.4	V
<b>GATE DRIVERS</b>						
DH_ Gate-Driver On-Resistance	$R_{DH}$	BST_ – LX_ forced to 5V			5	$\Omega$
DL_ Gate-Driver On-Resistance	$R_{DL}$	DL_, high state			5	$\Omega$
		DL_, low state			3	
<b>INPUTS AND OUTPUTS</b>						
SHDN Input Trip Level		Rising trip level	1.0		2.3	V
		Falling trip level	0.96		1.04	
ONA Logic Input Voltage		Hysteresis = 600mV	High	2.4		V
			Low			
ON3, ON5 Input Voltage		SMPS off level/clear fault level			0.8	V
		Delay start level	1.9		2.1	
		SMPS on level	2.4			
Tri-Level Input Logic		$\overline{SKIP}$ , FSEL	High	$V_{LDO5} - 0.4$		V
			REF	1.65	2.35	
			GND		0.5	

**Note 1:** The MAX8744/MAX8745 cannot operate over all combinations of frequency, input voltage ( $V_{IN}$ ), and output voltage. For large input-to-output differentials and high switching-frequency settings, the required on-time may be too short to maintain the regulation specifications. Under these conditions, a lower operating frequency must be selected. The minimum on-time must be greater than 150ns, regardless of the selected switching frequency. On-time and off-time specifications are measured from 50% point to 50% point at the DH\_ pin with LX\_ = GND,  $V_{BST\_} = 5V$ , and a 250pF capacitor connected from DH\_ to LX\_. Actual in-circuit times may differ due to MOSFET switching speeds.

**Note 2:** When the inductor is in continuous conduction, the output voltage has a DC-regulation level lower than the error-comparator threshold by 50% of the ripple. In discontinuous conduction ( $\overline{SKIP} = GND$ , light load), the output voltage has a DC regulation level higher than the trip level by approximately 1% due to slope compensation.

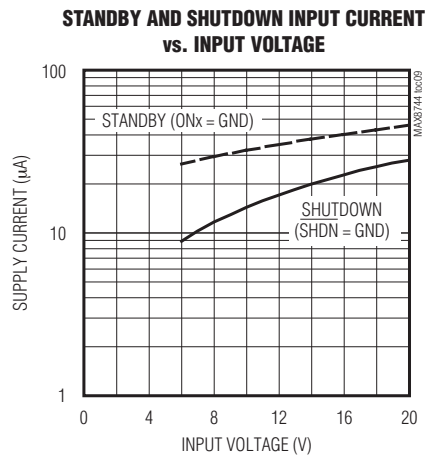
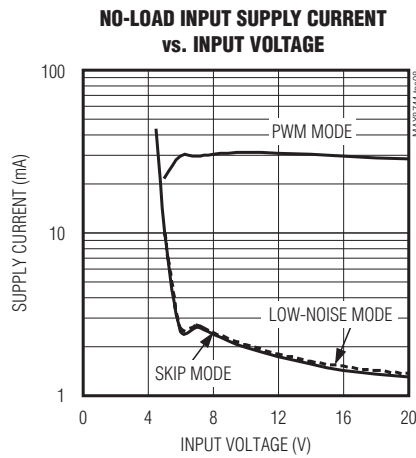
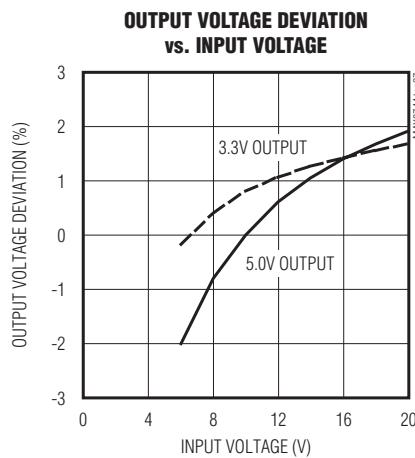
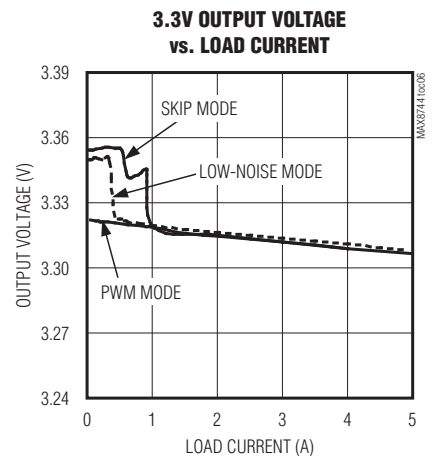
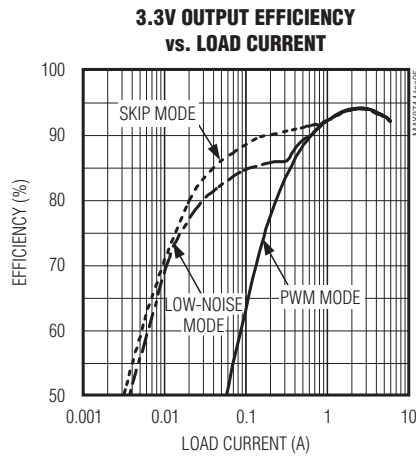
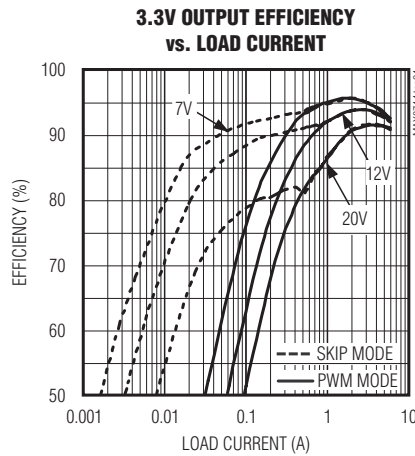
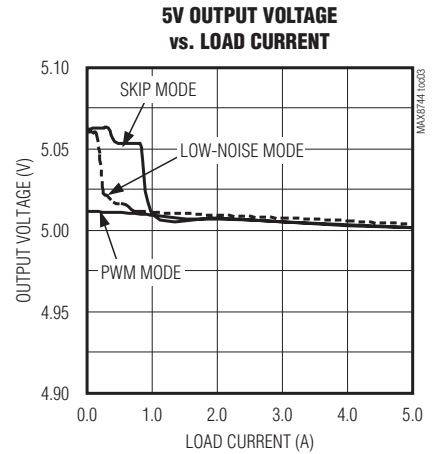
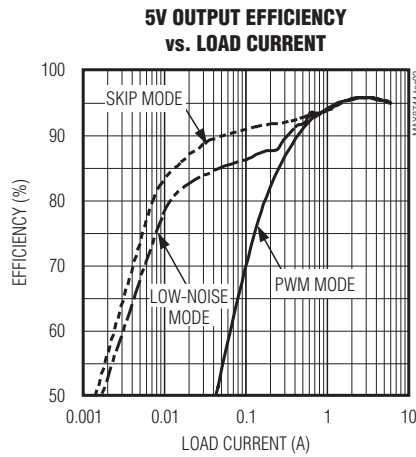
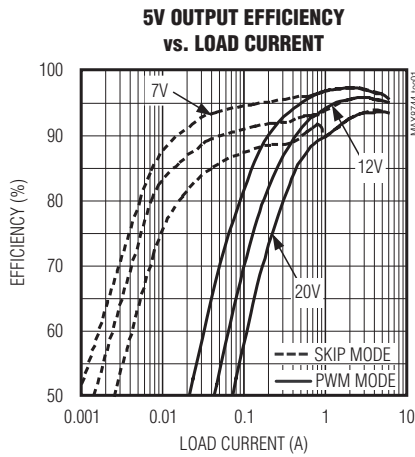
**Note 3:** Specifications from  $-40^{\circ}C$  to  $+85^{\circ}C$  are guaranteed by design, not production tested.

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## 標準動作特性

(Circuit of Figure 1,  $V_{IN} = 12V$ ,  $\overline{SKIP} = GND$ ,  $FSEL = REF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

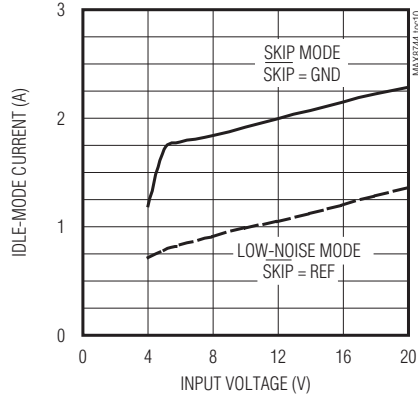


# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

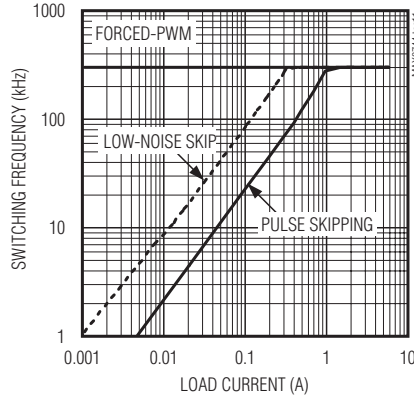
## 標準動作特性(続き)

(Circuit of Figure 1,  $V_{IN} = 12V$ ,  $\overline{SKIP} = GND$ ,  $FSEL = REF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)

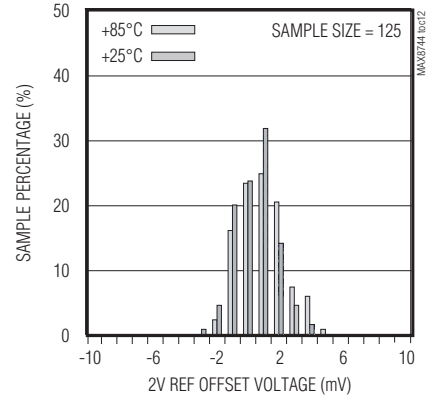
**3.3V IDLE-MODE CURRENT vs. INPUT VOLTAGE**



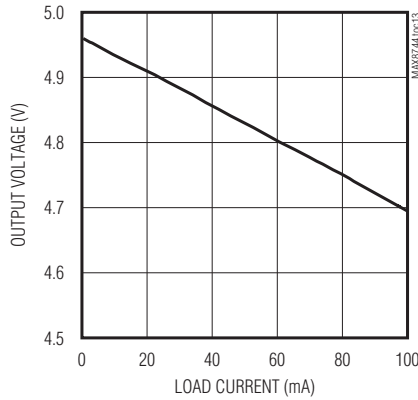
**3.3V SWITCHING FREQUENCY vs. LOAD CURRENT**



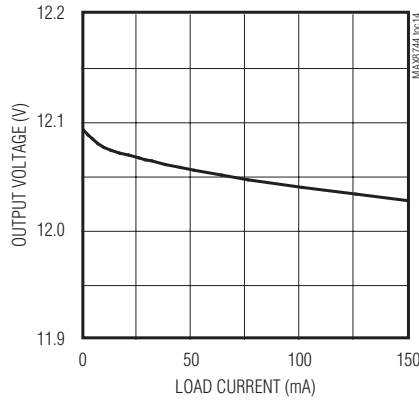
**REFERENCE OFFSET VOLTAGE DISTRIBUTION**



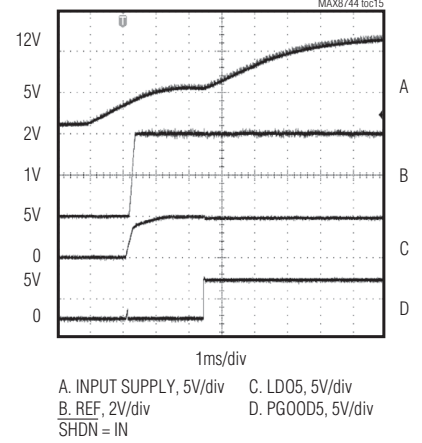
**LD05 OUTPUT VOLTAGE vs. LOAD CURRENT**



**OUTA OUTPUT VOLTAGE vs. LOAD CURRENT**



**LD05 POWER-UP**

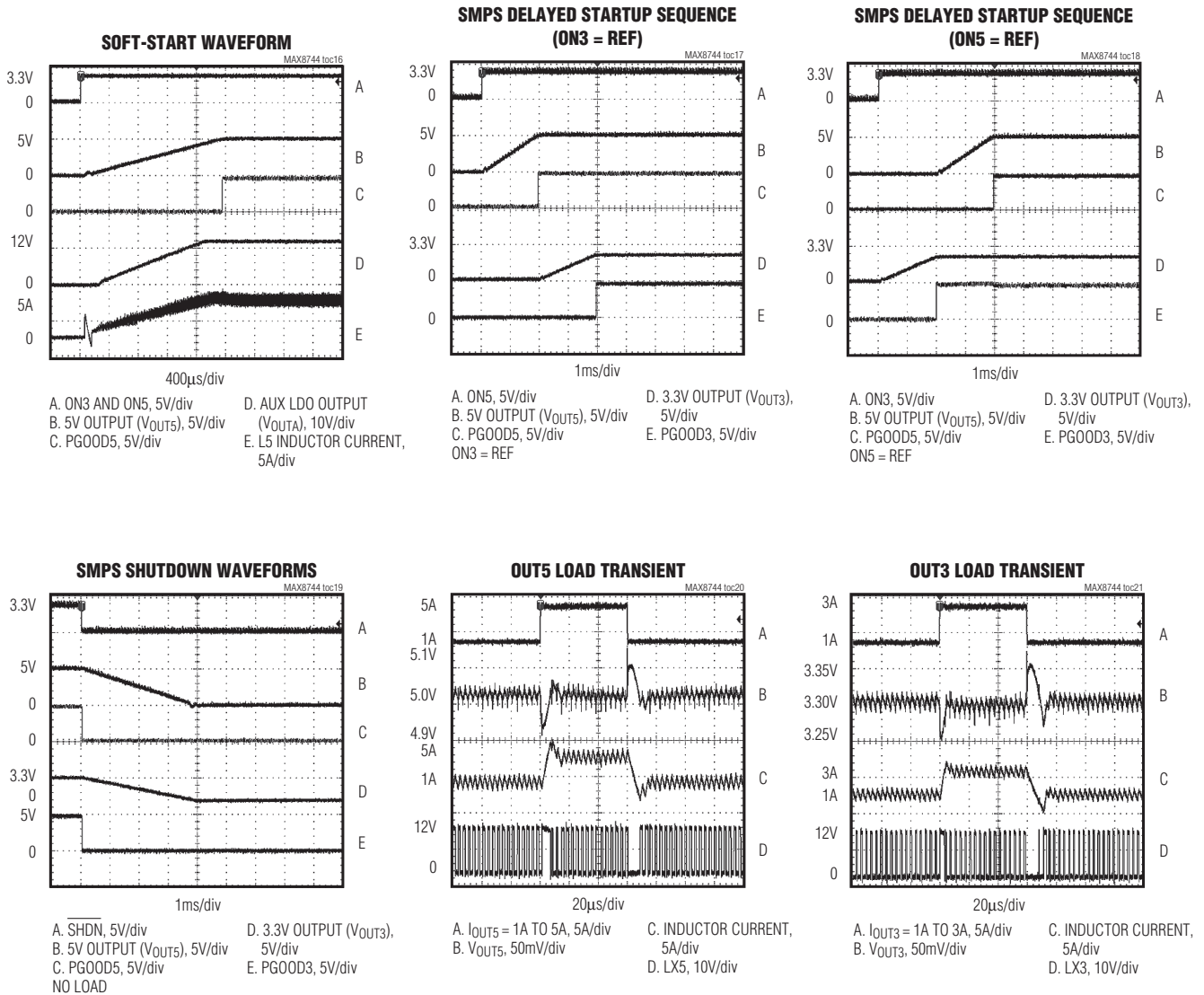


# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## 標準動作特性(続き)

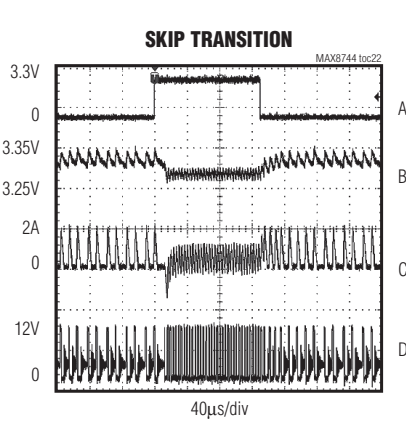
(Circuit of Figure 1,  $V_{IN} = 12V$ ,  $\overline{SKIP} = GND$ ,  $FSEL = REF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



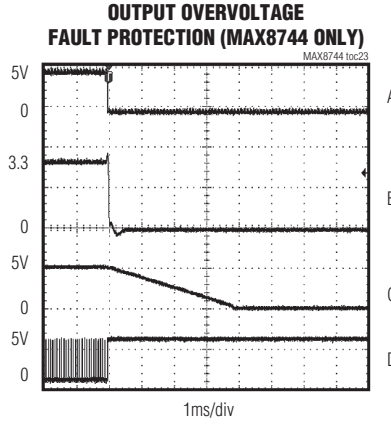
# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

## 標準動作特性(続き)

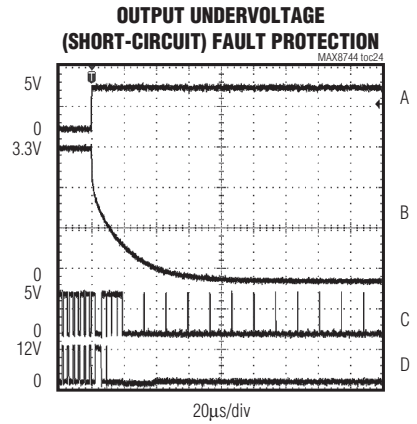
(Circuit of Figure 1,  $V_{IN} = 12V$ ,  $\overline{SKIP} = GND$ ,  $FSEL = REF$ ,  $T_A = +25^\circ C$ , unless otherwise noted.)



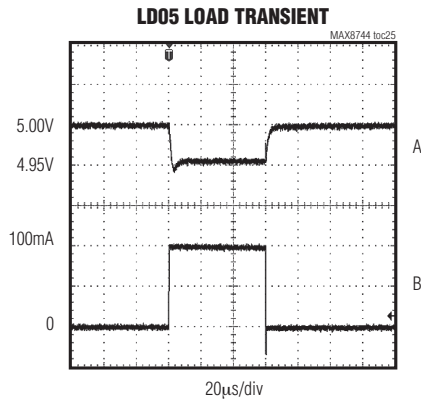
A.  $\overline{SKIP}$ , 5V/div  
B. 3.3V OUTPUT ( $V_{OUT3}$ ),  
100mV/div  
0.5A LOAD  
C. INDUCTOR CURRENT,  
2A/div  
D. LX3, 10V/div



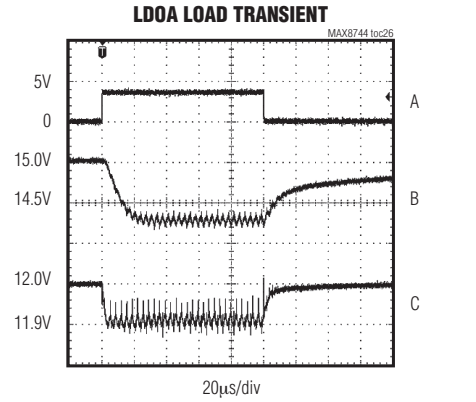
A. PGOOD3, 5V/div  
B. 3.3V OUTPUT ( $V_{OUT3}$ ),  
2V/div  
C. 5V OUTPUT ( $V_{OUT5}$ ),  
5V/div  
D. DL3, 5V/div



A. LOAD FET GATE, 5V/div  
B. 3.3V OUTPUT ( $V_{OUT3}$ ), 1V/div  
30mΩ MOSFET  
C. DL3, 5V/div  
D. DH3, 10V/div



A. LD05 OUTPUT, 50mV/div  
B. LOAD CURRENT, 50mA/div



A. LOAD FET GATE, 5V/div  
B. AUX LDO INPUT, 0.5V/div  
0 TO 150mA LOAD TRANSIENT  
C. AUX LDO OUTPUT ( $V_{OUTA}$ ),  
0.1V/div

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## 端子説明

端子	名称	機能
1	ONA	補助LDOイネーブル入力。ONAがローにプルダウンされているとき、OUTAはハイインピーダンスになり、2次フィードバック制御がディセーブルされます。ONAをハイに駆動すると、コントローラは補助LDOをイネーブルします。
2	DRVA	補助LDOトランジスタのベースドライバ。DRVAをpnpパワートランジスタのベースに接続してください。ベースとエミッタの間に680Ωのプルアップ抵抗を追加してください。
3	ILIM	ピーク電流制限スレッショルド調整。ILIMがLDO5にプルアップされている場合、電流制限スレッショルドはデフォルトの50mVになります。調整可能モードでは、CSH <sub>5</sub> とCSL <sub>5</sub> の間の電流制限スレッショルドは正確にILIMにおける0.5V~2.0Vの範囲の電圧の1/10になります。デフォルト値の50mVに切り替わる論理スレッショルドは、およそV <sub>LDO5</sub> - 1Vです。
4	SHDN	シャットダウン制御入力。V <sub>SHDN</sub> がSHDN入力の立下りエッジのトリップレベルより小さく、かつV <sub>SHDN</sub> がSHDN入力の立上りエッジトリップレベルより大きくなるまで再スタートしない場合、デバイスは電源電流8μAのシャットダウンモードに入ります。自動起動の場合はSHDNをV <sub>IN</sub> に接続してください。抵抗分圧器を通してSHDNをV <sub>IN</sub> に接続することによって、プログラマブルな低電圧ロックアウトが実現します。
5	ON3	3.3V SMPSイネーブル入力。ON3をハイに駆動すると3.3V SMPSがイネーブルされ、ON3をローにプルダウンすると3.3V SMPSがディセーブルされます。ON3がREFに接続されていると、5V SMPSが安定状態に達した後3.3V SMPSがスタートします(遅延スタート)。ON3を障害クリアレベル未満に駆動すると、障害ラッチがリセットされます。
6	ON5	5V SMPSイネーブル入力。ON5をハイに駆動すると5V SMPSがイネーブルされ、ON5をローにプルダウンすると5V SMPSがディセーブルされます。ON5がREFに接続されていると、3.3V SMPSが安定状態に達した後5V SMPSがスタートします(遅延スタート)。ON5を障害クリアレベル未満に駆動すると、障害ラッチがリセットされます。
7	REF	2.0Vリファレンス電圧出力。0.1μF以上のセラミックコンデンサでREFをアナロググランドにバイパスしてください。リファレンスは外部の負荷に対して最大50μAを供給します。REFに負荷を接続すると、REFの負荷レギュレーション誤差に応じて出力電圧の精度が低下します。システムがSHDNをローにプルダウンすると、リファレンスはシャットダウンします。
8	GND	アナロググランド。下面エクスポーズドパッドをGNDに接続します。
9	FSEL	周波数選択入力。この3レベルの論理入力で、コントローラのスイッチング周波数を設定します。LDO5、REF、またはGNDに接続して、次に示すスイッチング周波数(標準値)を選択することができます。LDO5 = 500kHz、REF = 300kHz、GND = 200kHz。
10	SKIP	パルススキップ制御入力。LDO5に接続すると、低ノイズ、強制PWM動作になります。REFに接続すると、軽負荷での自動、低ノイズ、パルススキップ動作になります。GNDに接続すると、軽負荷での自動、高効率、パルススキップ動作になります。
11	FB5	5V SMPS用のフィードバック入力。LDO5に接続すると、プリセットの5V出力になります。調整可能モードでは、FB5は2Vに安定化されます。
12	CSH5	5V SMPS用の正の電流検出入力。電流検出素子のプラス端子に接続してください。図7に、正確な検出抵抗を使用する方法とインダクタDCR検出による無損失方法の、2種類の電流検出方式を示します。
13	CSL5	5V SMPS用の出力検出および負の電流検出入力。内蔵のプリセット5Vフィードバック分圧器を使用する場合(FB5 = LDO5)、コントローラはCSL5を使用して出力電圧を検出します。電流検出素子のマイナス端子に接続してください。CSL5はLDO5に対するブートストラップ入力の役割も果たします。
14	PGOOD5	5V SMPS用のオープンドレイン、パワーグッド出力。CSL5が標準安定化点よりも10% (typ)を上回って低下するとPGOOD5はローになります。ソフトスタート中とシャットダウン中は、PGOOD5はローに保たれます。CSL5が安定状態のときPGOOD5はハイインピーダンスになります。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## 端子説明(続き)

端子	名称	機能
15	BST5	5V SMPS用のブーストフライングコンデンサ接続端子。MAX8744/MAX8745は、LDO5とBST5の間に内蔵ブーストスイッチが接続されています。図1に示すように、外付けのコンデンサに接続してください。
16	DH5	5V SMPS用のハイサイドゲートドライバ出力。DH5はLX5からBST5までスイングします。
17	LX5	5V SMPS用のインダクタ接続端子。LX5をインダクタのスイッチング側に接続してください。LX5はDH5ハイサイドゲートドライバの下側電源レールの役割を果たします。
18	DL5	5V SMPS用のローサイドゲートドライバ出力。DL5はPGNDからLDO5までスイングします。
19	PGND	電源グランド
20	LDO5	5V内蔵リニアレギュレータ出力。最低4.7 $\mu$ F (1 $\mu$ F/25mA)でバイパスしてください。DL_ローサイドゲートドライバ、DH_ハイサイドドライバ(BSTスイッチ経由)、PWMコントローラ、ロジック、リファレンス、および外部負荷に対して、少なくとも100mAを供給します。CSL5が4.5Vより大きく、かつソフトスタートが完了している場合、リニアレギュレータはシャットダウンし、LDO5は定格負荷が最大200mAの1 $\Omega$ スイッチ経由でCSL5に接続されます。
21	IN	起動回路およびLDO5内蔵5Vリニアレギュレータ入力。ICの近くに配置した0.22 $\mu$ F以上のセラミックコンデンサでPGNDにバイパスしてください。
22	PGOODA	補助LDO用のオープンドレイン、パワーグッド出力。FBAが公称安定化点よりも10% (typ)を超えて低下した場合、および補助LDOのシャットダウン時、PGOODAはローになります。FBAが安定状態のときPGOODAはハイインピーダンスになります。
23	DL3	3.3V SMPS用のローサイドゲートドライバ出力。DL3はPGNDからLDO5までスイングします。
24	LX3	3.3V SMPS用のインダクタ接続端子。LX3をインダクタのスイッチング側に接続してください。LX3はDH3ハイサイドゲートドライバの下側電源レールの役割を果たします。
25	DH3	3.3V SMPS用のハイサイドゲートドライバ出力。DH3はLX3からBST3までスイングします。
26	BST3	3.3V SMPS用のブーストフライングコンデンサ接続端子。MAX8744/MAX8745は、LDO5とBST3の間に内蔵ブーストスイッチが接続されています。図1に示すように、外付けのコンデンサに接続してください。
27	PGOOD3	3.3V SMPS用のオープンドレイン、パワーグッド出力。CSL3が公称安定化点よりも10% (typ)を超えて低下するとPGOOD3はローになります。ソフトスタート中とシャットダウン中は、PGOOD3はローに保たれます。CSL3が安定状態のときPGOOD3はハイインピーダンスになります。
28	CSL3	3.3V SMPS用の出力検出および負の電流検出入力。内蔵のプリセット3.3Vフィードバック分圧器を使用する場合(FB3 = LDO5)、コントローラはCSL3を使用して出力電圧を検出します。電流検出素子のマイナス端子に接続してください。
29	CSH3	3.3V SMPS用の正の電流検出入力。電流検出素子のプラス端子に接続してください。図7に、正確な検出抵抗を使用する方法とインダクタDCR検出による無損失方法の、2種類の電流検出方式を示します。
30	FB3	3.3V SMPS用のフィードバック入力。LDO5に接続すると、固定3.3V出力になります。調整可能モードでは、FB3は2Vに安定化されます。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

## 端子説明(続き)

端子	名称	機能
31	FBA	補助LDO用のフィードバック入力。OUTAとアナロググラウンド間に抵抗分圧器に接続して、補助リニアレギュレータの出力電圧を調整してください。FBAは1Vに安定化されます。
32	OUTA	調整可能な補助リニアレギュレータ出力。1 $\mu$ F以上のコンデンサ(1 $\mu$ F/25mA)でOUTAをGNDにバイパスしてください。DRVA < OUTAのとき、2次フィードバック制御によりDL5を1 $\mu$ sの間トリガされ、コントローラが補助充電コンデンサの再充電を行います。DRVAが25Vを超えると、MAX8744/MAX8745はOUTAの10mAシャントをイネーブルして、トランスの漏れインダクタンスによって充電コンデンサが危険レベルに達するのを防止します。ONAをハイにすると、リニアレギュレータドライバと2次フィードバック制御がイネーブルされます。
EP	EP	エクスポーズドパッド。下面エクスポーズドパッドをアナロググラウンドに接続します。

**表1. 標準アプリケーションの部品選択**

COMPONENT	300kHz 5V AT 5A 3.3V AT 6A	500kHz 5V AT 3A 3.3V AT 5A
<b>INPUT VOLTAGE</b>	<b>V<sub>IN</sub> = 7V TO 24V</b>	<b>V<sub>IN</sub> = 7V TO 24V</b>
C <sub>IN</sub> , Input Capacitor	(3) 10 $\mu$ F, 25V Taiyo Yuden TMK432BJ106KM	(3) 10 $\mu$ F, 25V Taiyo Yuden TMK432BJ106KM
<b>5V OUTPUT</b>		
C <sub>OUT5</sub> , Output Capacitor	2x 100 $\mu$ F, 6V, 35m $\Omega$ Sanyo 6TPE100MAZB	2x 100 $\mu$ F, 6V, 35m $\Omega$ Sanyo 6TPE100MAZB
L5/T5 Inductor/Transformer	6.8 $\mu$ H, 6.4A, 18m $\Omega$ (max) 1:2 Sumida 4749-T132	—
N <sub>H5</sub> High-Side MOSFET	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V
N <sub>L5</sub> Low-Side MOSFET	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1
<b>3V OUTPUT</b>		
C <sub>OUT3</sub> , Output Capacitor	2x 150 $\mu$ F, 4V, 35m $\Omega$ Sanyo 4TPE150MAZB	2x 100 $\mu$ F, 6V, 35m $\Omega$ Sanyo 6TPE100MAZB
L3, Inductor	5.7 $\mu$ H, 9A, 8.5m $\Omega$ TDK RLF12560T-5R6N9R2	3.9 $\mu$ H, 6.5A, 15m $\Omega$ Sumida CDRH124-3R9NC
N <sub>H3</sub> High-Side MOSFET	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V
N <sub>L3</sub> Low-Side MOSFET	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

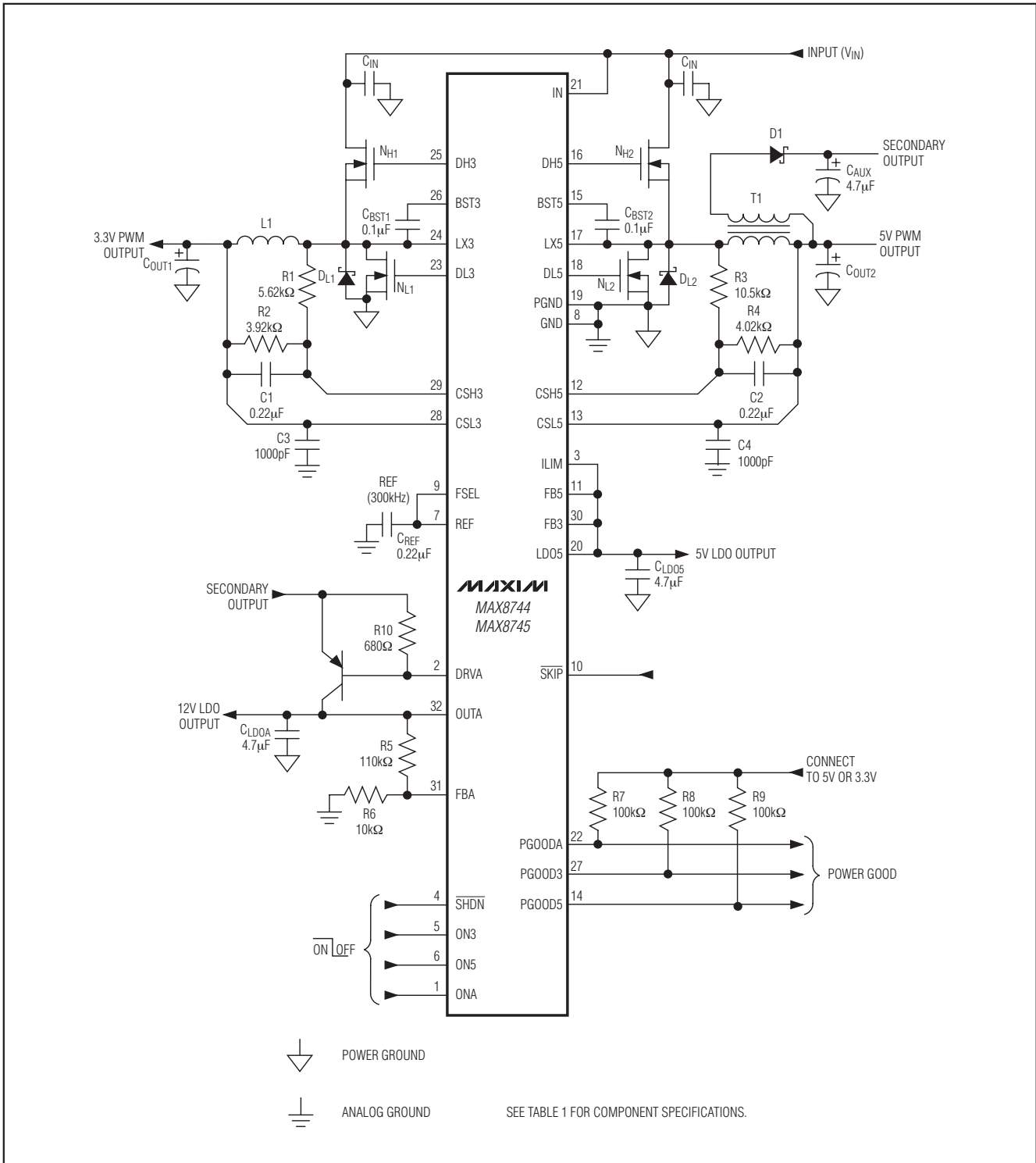


図1. 標準動作回路

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

表2. 部品メーカー

SUPPLIER	WEBSITE
AVX	www.avx.com
Central Semiconductor	www.centralsemi.com
Fairchild	www.fairchildsemi.com
International Rectifier	www.irf.com
Kemet	www.kemet.com
NEC/Tokin	www.nec-tokin.com
Panasonic	www.panasonic.com/industrial
Phillips	www.phillips.com
Pulse	www.pulseeng.com
Renesas	www.renesas.com
Sanyo	www.secc.co.jp
Sumida	www.sumida.com
Taiyo Yuden	www.t-yuden.com
TDK	www.component.tdk.com
TOKO	www.tokoam.com
Vishay (Dale, Siliconix)	www.vishay.com

## 詳細

MAX8744/MAX8745の標準動作回路(図1)は、ノートブックコンピュータのメイン電源として標準的な5V/5Aおよび3.3V/5Aを生成します。入力電源範囲は7V~24Vです。部品の選択については表1を、部品メーカーの一覧は表2を参照してください。

MAX8744/MAX8745には、低電圧電源向けに設計された、インターリーブされた2つの固定周波数ステップダウンコントローラが内蔵されています。最適なインターリーブアーキテクチャによって位相差動作が保証され、入力コンデンサのリップルが低減されます。1つの内蔵LDOがキープアライブ5V電源を生成します。MAX8744/MAX8745は調整可能な出力を持つ補助LDOを備えており、3.3Vキープアライブ電源の生成または低電力12Vシステム電源の安定化に使用することができます。

## 固定5Vリニアレギュレータ(LDO5)

内蔵リニアレギュレータは、プリセット5Vの小電流出力を生成します。LDO5は外付けMOSFETのゲートドライブに対する給電を行い、SMPSアナログコントローラ、リファレンス、およびロジックブロックに必要なバイアス電源を提供します。LDO5は外部および内部の負荷に少なくとも100mAを供給し、その中にはMOSFETゲートドライブも含まれますが、これはスイッチング周波数と外付けMOSFETの選択によって5mAから50mAまで変化するのが一般的です。全負荷状況における安定性を保証するため、4.7μF以上のセラミックコンデンサ(負荷25mA当り1μF)でLDO5をバイパスします。

MAX8744/MAX8745スイッチモード電源(SMPS)は、大電力の入力電源(バッテリーまたはACアダプタ)に加えて、

5Vのバイアス電源を必要とします。この5Vバイアス電源は、コントローラに内蔵された5Vリニアレギュレータ(LDO5)によって生成されます。このブートストラップLDOによって、コントローラ単体での起動が可能になっています。ゲートドライブ入力電源は固定5Vリニアレギュレータ出力(LDO5)に接続されます。したがって、5V LDO電源はLDO5 (PWMコントローラ)とゲートドライブ電力の給電を行う必要があり、必要な最大電源電流は次のようになります。

$$I_{BIAS} = I_{CC} + f_{SW} (Q_G(LOW) + Q_G(HIGH)) \\ = 5mA \text{ to } 50mA \text{ (typ)}$$

ここで、 $I_{CC}$ は0.7mA (typ)、 $f_{SW}$ はスイッチング周波数、そして $Q_G(LOW)$ と $Q_G(HIGH)$ はMOSFETのデータシートに記載された $V_{GS} = 5V$ における総ゲートチャージの仕様上の下限値です。

## SMPSからLDOブートストラップへの切り替え

5Vメイン出力電圧がLDO5のブートストラップ切り替えスレッショルドを上回り、かつソフトスタートが完了している場合、内蔵の1Ω (typ) pチャネルMOSFETがCSL5をLDO5に短絡し、それと同時にLDO5リニアレギュレータをシャットダウンします。これによってデバイスがブートストラップされ、内部の回路と外部の負荷に対する給電は、リニアレギュレータ経由のバッテリーからではなく、5V SMPS出力(CSL5)から行われます。ブートストラップによって、はるかに効率の低いリニアレギュレータからではなく、効率90%のスイッチモードソースから電力が供給されるため、ゲート電荷と自己消費損失による電力損失が低減されます。LDO5出力がCSL5に切り替わると、電流能力が100mAから200mAに増大します。ON5がローにプルダウンされると、コントローラは直ちにブートストラップスイッチをディセーブルし、5V LDOを再びイネーブルします。

## リファレンス(REF)

2Vリファレンスは温度と負荷の変化に対して±1%の精度を持ち、REFを高精度システムリファレンスとして有用にしています。0.1μF以上のセラミックコンデンサでREFをGNDにバイパスしてください。リファレンスは、最大50μAをソースし5μAをシンクして外部の負荷をサポートします。メインSMPS出力電圧に極めて高精度な仕様が要求される場合は、リファレンスに負荷を接続してはいけません。リファレンスに負荷を接続すると、リファレンス負荷レギュレーション誤差のために、LDO5、CSL5 (OUT5)、CSL3 (OUT3)、およびOUTAの出力電圧がわずかに低下します。

## システムイネーブル/シャットダウン( $\overline{SHDN}$ )

$\overline{SHDN}$ を正確に $\overline{SHDN}$ 入力立下りエッジトリップレベルを下回って駆動すると、MAX8744/MAX8745は低電力シャットダウン状態になります。シャットダウンモード

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

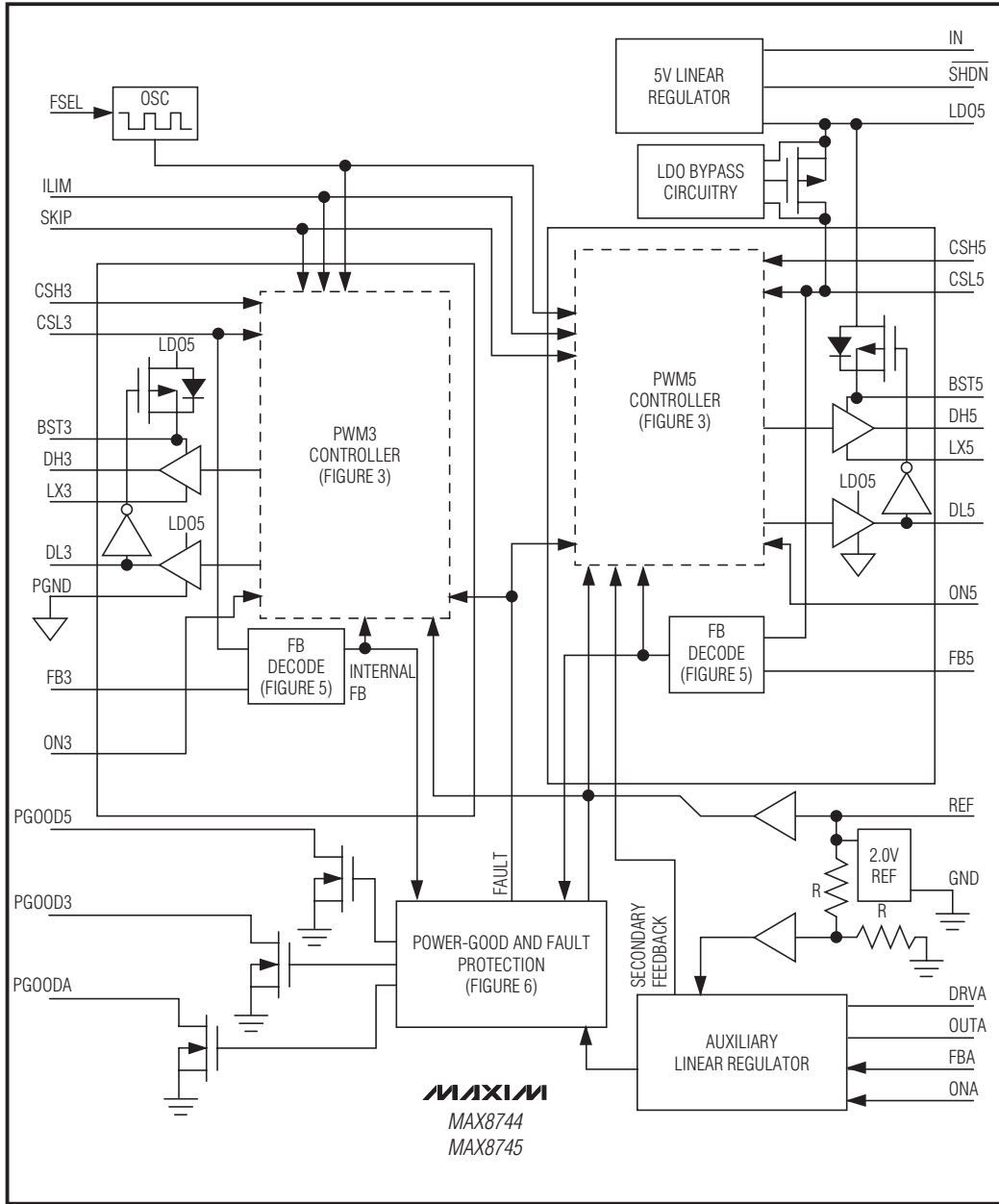


図2. 機能ブロック図

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

表3. 動作モード真理値表

MODE	INPUTS*			OUTPUTS		
	SHDN	ON5	ON3	LDO5	5V SMPS	3V SMPS
Shutdown Mode	Low	X	X	OFF	OFF	OFF
Standby Mode	High	Low	Low	ON	OFF	OFF
Normal Operation	High	High	High	ON	ON	ON
3.3V SMPS Active	High	Low	High	ON	OFF	ON
5V SMPS Active	High	High	Low	OFF LDO5 to CSL5 bypass switch enabled	ON	OFF
Normal Operation (Delayed 5V SMPS Startup)	High	Ref	High	OFF LDO5 to CSL5 bypass switch enabled	ON Power-up after 3.3V SMPS is in regulation	ON
Normal Operation (Delayed 3.3V SMPS Startup)	High	High	Ref	OFF LDO5 to CSL5 bypass switch enabled	ON	ON Power-up after 5V SMPS is in regulation

\*SHDNは、正確な、低電圧の論理入力であり、立下りエッジのスレッシュホールド電圧が1V、立上りエッジのスレッシュホールド電圧が1.6Vです。ON3とON5は、3レベルのCMOS論理入力です。論理ロー電圧が0.8V未満、論理ハイ電圧が2.4V超、そして中間の論理レベルが1.7V~2.3Vです([Electrical Characteristics (電気的特性)]の表を参照)。

では、コントローラはわずか8μAの自己消費電流しか消費しません。シャットダウンモードに入ると、コントローラがシャットダウンシーケンスを完了した後、リファレンスがオフになるため、シャットダウンを終了するスレッシュホールドの精度が低下します。起動を保証するには、SHDNを2V (SHDNの入力立上りエッジトリップレベル)を上回って駆動します。自動シャットダウンおよび起動を行うには、SHDNをVINに接続してください。正確な1VのSHDN立下りエッジスレッシュホールドは、特定の入力電圧レベルを検出し、デバイスをシャットダウンさせるために使用することができます。いったん、シャットダウンに入ると、1.6Vの立上りエッジスレッシュホールドが有効になり、ほとんどのアプリケーションにとって十分なヒステリシスを提供します。

## SMPS POR、UVLO、およびソフトスタート

パワーオンリセット(POR)は、LDO5が約1Vより大きくなったときに起こり、低電圧、過電圧、およびサーマルシャットダウンの各障害ラッチをリセットします。POR回路は、SMPSコントローラが動作を開始するまでローサイドドライバがハイに保たれることも保証します。図2に、MAX8744/MAX8745のブロック図を示します。

LDO5入力の低電圧ロックアウト(UVLO)回路は、5Vバイアス電源(LDO5)が4VのUVLOスレッシュホールドを下回っている場合、スイッチングを抑制します。5Vバイアス電源(LDO5)がこの入力UVLOスレッシュホールドを上回り、かつSMPSコントローラがイネーブルされている(ON\_がハイに駆動されている)と、SMPSコントローラはスイッチングを開始し、ソフトスタートを使用して出力電圧が漸増し始めます。LDO5の電圧がUVLOスレ

シヨルド未満に低下すると、コントローラはスイッチングを停止し、LDO5の電圧が回復するか、またはPORスレッシュホールド未満に低下するまで、ローサイドゲートドライバをローに保ちます。

内蔵のソフトスタートは、フィードバック電圧を1V/msのスルーレートで漸増させます。その結果、出力が公称安定化電圧に達するのはSMPSコントローラがイネーブルされてから2ms後になります(「標準動作特性」の「SOFT-START WAVEFORM」参照)。この漸増的なスルーレートによって、出力コンデンサの充電に必要な電流が最少化され、入力サージ電流が効果的に減少します( $I_{OUT} = I_{LOAD} + C_{OUT} V_{OUT(NOM)} / t_{SLEW}$ )。

## SMPSイネーブル制御(ON3、ON5)

ON3およびON5が、SMPSの電源投入シーケンスを制御します。ON3またはON5が2.4Vを超えて上昇すると、それぞれの出力がイネーブルされます。ON3またはON5が1.6V未満に降下すると、それぞれの出力がディセーブルされます。ON\_を0.8V未満に駆動すると、過電圧、低電圧、および熱障害の各ラッチがクリアされます。

## SMPS電源投入シーケンス制御

ON3またはON5をREFに接続すると、他方の出力が安定化に達するまでその出力を強制的にオフにして、他方の出力が安定化した後に起動させることができます。第2のSMPSは、第1のSMPSがオフになるか、デバイスがシャットダウンするか、障害が発生するか、またはLDO5がUVLOになるまで、オンのままになります。第1の電源がオフになるときは、両方の電源が直ちに電源切断シーケンスを開始します。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

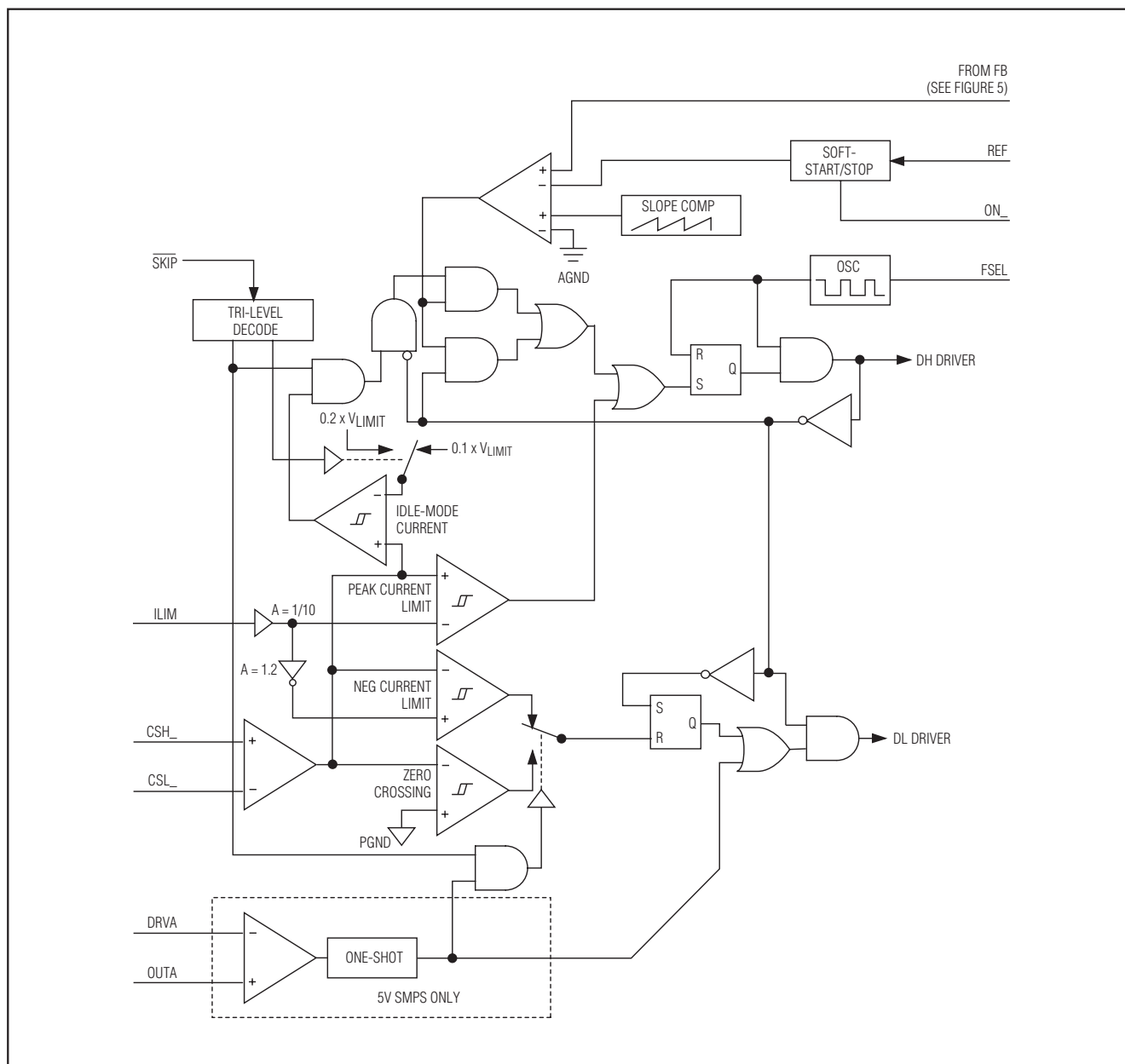


図3. PWMコントローラの機能ブロック図

## 出力の放電(ソフトシャットダウン)

スイッチングレギュレータがディセーブルされたとき (ON\_またはSHDNをローにしたとき、または出力低電圧障害が発生したとき)、内蔵のソフトシャットダウンがフィードバック電圧を0.5V/msのスルーレートで漸減させます。その結果、SMPSコントローラがディセーブルされてから4ms以内に安定化電圧が0Vに降下します(「標準動作特性」の「SMPS SHUTDOWN WAVEFORMS」参照)。これによって出力容量が緩やかに放電され、

インダクタとローサイドMOSFETを通した出力の急速な放電によって負の出力電圧が生じることがなくなります。SMPSのターゲット電圧が0.1Vまで放電すると、ローサイドドライバ(DL\_)が強制的にハイになり、それぞれのSMPS出力をGNDにクランプします。正確なスレッショルドを提供し、過電圧保護を提供するために、リファレンスはアクティブなままになります。両方のSMPSコントローラが、独立したソフトシャットダウン回路を備えています。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

表4. FSELの設定表

FSEL	SWITCHING FREQUENCY (kHz)
LDO5	500
REF	300
GND	200

## 固定周波数、電流モードPWMコントローラ

各電流モードPWMコントローラの中心は、リファレンス電圧に対する出力電圧の誤差信号とスロープ補償ランプ(傾斜波)の2つの信号を加算する、マルチ入力のオープンループコンパレータです(図3)。MAX8744/MAX8745は直接加算構成を使用しており、伝統的な誤差アンプとそれに伴う位相ずれがないため、出力電圧に対するサイクルごとの理想的な制御に近い結果が得られます。

## 周波数の選択(FSEL)

FSEL入力によって、PWMモードのスイッチング周波数を選択します。表4に、FSELの接続に基づくスイッチング周波数を示します。高い周波数(500kHz)の動作は、部品サイズを最小化したいアプリケーションに最適化し、そのトレードオフとして、より大きなスイッチング損失に起因して効率が低下します。負荷電流の小さい超小型携帯デバイスの場合は、これが適すると思われる。低い周波数(200kHz)の動作は、最良の総合効率を提供しますが、部品サイズと基板スペースが犠牲になります。

## 強制PWMモード

低ノイズ強制PWMモード(SKIP = LDO5)では、ローサイドスイッチのオン時間を制御するゼロクロスコンパレータがディセーブルされます。これによって、ローサイドゲートドライブの波形は常にハイサイドゲートドライブの波形と相補的關係になり、 $DH_g$ が $V_{OUT}/V_{IN}$ というデューティ比を保つ限り、軽負荷においてインダクタ電流が反転します。強制PWMモードのメリットは、スイッチング周波数がほぼ一定に保たれることです。しかし強制PWM動作には、外付けのMOSFETとスイッチング周波数に応じて、20mA~50mAの無負荷の5V電源電流が残るといったデメリットが伴います。

強制PWMモードは、可聴周波数ノイズの防止と過渡負荷応答の改善に最も効果を発揮します。強制PWM動作ではゼロクロスコンパレータがディセーブルされるため、軽負荷においてインダクタ電流が反転します。

## 軽負荷動作の制御(SKIP)

MAX8744/MAX8745は、両方のスイッチングレギュレータ用のゼロクロスコンパレータのイネーブルまたはディセーブルを行うために使用する、軽負荷動作モード制御入力(SKIP)を備えています。ゼロクロスコンパレータがイネーブルされている場合、電流検出力がイン

ダクタ電流ゼロを検出するとレギュレータが強制的に $DL_{-}$ をローにします。これによって、インダクタによる出力コンデンサの放電を防止し、軽負荷状態でレギュレータにパルススキップさせて出力への過充電を防止します。ゼロクロスコンパレータがディセーブルされている場合、レギュレータは軽負荷状態でもPWM動作の維持を強制されます(強制PWM)。

## Idle Mode電流検出スレッシュホールド

パルススキップモードがイネーブルされている場合、ステップダウンコントローラのオン時間は、出力電圧がフィードバックスレッシュホールドを超えたとき、および電流検出電圧がアイドルモード電流検出スレッシュホールドを超えたときに終了します。軽負荷状態におけるオン時間の長さは、ILIMによって設定される全負荷電流制限スレッシュホールドの20% ( $SKIP = GND$ )に相当するアイドルモード電流検出スレッシュホールド、またはILIMによって設定される全負荷電流制限スレッシュホールドの10% ( $SKIP = REF$ )に相当する低ノイズ電流検出スレッシュホールドのみに依存します。これによって、コントローラはサイクルごとに最小限の電力を供給することになります。出力の過充電を防止するために、出力電圧がフィードバックスレッシュホールド未満に低下するまで次のオン時間を開始することはできません。スイッチングレギュレータによる電流のシンクはゼロクロスコンパレータによって防止されるため、コントローラはパルスをスキップする必要があります。したがって、コントローラは軽負荷状態における出力リップルの谷を安定化します。

## 自動パルススキップ動作クロスオーバ

スキップモードでは、軽負荷時に固有のPFMへの自動切り替えが生じます(図4)。この切り替えは、インダクタ電流のゼロクロス時点でローサイドスイッチのオン時間を終了させるコンパレータの影響を受けます。ゼロクロスコンパレータは、 $CSH_{-}$ から $CSL_{-}$ へのインダクタ電流を検出します。いったん $V_{CSH_{-}} - V_{CSL_{-}}$ が3mVのゼロクロス電流検出スレッシュホールド未満に低下すると、コンパレータが $DL_{-}$ をローにします(図3)。この仕組みによって、パルスをスキップするPFM動作とスキップしないPWM動作の間のスレッシュホールドが、連続インダクタ電流動作と不連続インダクタ電流動作の間の境界(「臨界導通」点とも呼ばれます)と一致することになります。PFM/PWMのクロスオーバが生じる負荷電流レベル $I_{LOAD(SKIP)}$ は、次式で与えられます。

$$I_{LOAD(SKIP)} = \frac{(V_{IN} - V_{OUT})V_{OUT}}{2V_{IN}f_{osc}L}$$

軽負荷によってパルススキップ動作が行われると、スイッチング波形はノイズが多く非同期的に見えるかも知れませんが、これは軽負荷時に高い効率を

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

得ることができる正常な動作状態です。PFMのノイズと軽負荷時の効率との間のトレードオフは、インダクタの値を変えることによって調整することができます。一般に、インダクタの値が小さい場合は効率対負荷の曲線が緩慢であり、インダクタンスの値が大きくなると全負荷の効率が向上して(コイルの抵抗は一定であると仮定)、出力電圧リップルが減少します。大きいインダクタ値を使用する場合のデメリットには、物理サイズの増大や(特に低い入力電圧レベルにおける)過渡負荷応答の劣化などがあります。

## 出力電圧

「Electrical Characteristics (電気的特性)」のDC出力精度に関する仕様は、誤差コンパレータのスレッシュホールドに関係しています。インダクタが連続的に導通している場合、MAX8744/MAX8745は出力リップルのピークを安定化するため、実際のDC出力電圧はスロープ補償されたトリップレベルよりも出力リップル電圧の50%だけ小さくなります。PWM動作(連続導通)の場合、出力電圧は次式によって正確に定義されます。

$$V_{OUT(PWM)} = V_{NOM} \left( 1 - \frac{A_{SLOPE} V_{RIPPLE}}{V_{IN}} \right) - \left( \frac{V_{RIPPLE}}{2} \right)$$

ここで、 $V_{NOM}$ は公称出力電圧、 $A_{SLOPE}$ は1%、 $V_{RIPPLE}$ は出力リップル電圧です( $V_{RIPPLE} = ESR \times \Delta I_{INDUCTOR}$ 、「出力コンデンサの選択」の項を参照)。

不連続導通( $I_{OUT} < I_{LOAD(SKIP)}$ )では、MAX8744/MAX8745は出力リップルの谷を安定化するため、出力電圧のDC安定化レベルは誤差コンパレータのスレッシュホールドよりも高くなります。PFM動作(不連続導通)の場合、出力電圧はおおよそ次式によって決まります。

$$V_{OUT(PFM)} = V_{NOM} + \frac{1}{2} \left( \frac{f_{SW}}{f_{OSC}} \right) I_{IDLE} ESR$$

ここで、 $V_{NOM}$ は公称出力電圧、 $f_{OSC}$ は内蔵の発振器によって設定される最大スイッチング周波数、 $f_{SW}$ は実際のスイッチング周波数、 $I_{IDLE}$ はパルススキップ時のアイドルモードのインダクタ電流です。

FB3およびFB5をLDO5に接続すると、固定のSMPS出力電圧(それぞれ3.3Vと5V)がイネーブルされます。これらの電圧は、出力(CSL\_)とアナロググランドの間に接続された内蔵のプリセット抵抗分圧器によって設定されます。出力(CSL\_)とGNDの間の抵抗分圧器をFB\_に接続して、それぞれの出力電圧を2V~5.5Vの範囲で調整することができます(図5)。 $R_{FBLO}$ (FBとAGNDの間の抵抗)として約10kΩを選び、次式を使って $R_{FBHI}$ (出力とFBの間の抵抗)を求めます。

$$R_{FBHI} = R_{FBLO} \left( \frac{V_{OUT\_} - 1}{V_{FB\_}} \right)$$

ここで、 $V_{FB\_} = 2V$ (公称)です。

両方の出力電圧を調整する場合、3.3V SMPSが5V SMPSより低くなるように設定してください。CSL5がLDO5のブートストラップスレッシュホールド(4.5V)を上回り、かつCSL5側のソフトスタートシーケンスが完了

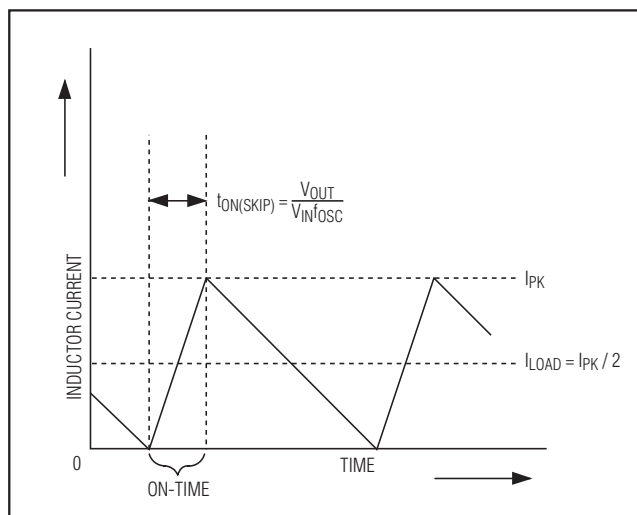


図4. パルススキップ/不連続クロスオーバー点

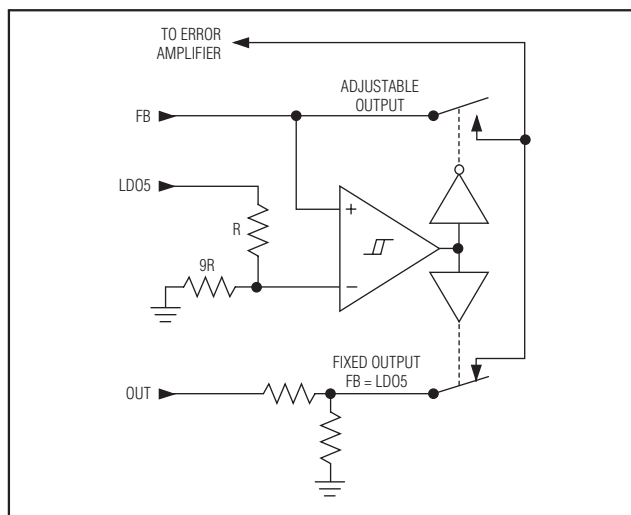


図5. Dual Modeフィードバックデコーダ

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

している場合にのみ、内部のスイッチを通してLDO05が5V出力(CSL5)に接続されます。ブートストラップは、固定出力電圧を使用するとき最も効果を発揮します。いったんLDO05がCSL5からブートストラップされると、内蔵の5Vリニアレギュレータはオフになります。これによって、内部の電力損失が低減され、より高い入力電圧での効率が改善されます。

## 電流制限保護(ILIM)

電流制限回路は、差動電流検出入力(CSH<sub>-</sub>とCSL<sub>-</sub>)を使ってピークインダクタ電流を制限します。電流検出信号の大きさが電流制限スレッシュホールドを超えると、PWMコントローラはハイサイドMOSFETをオフにします(図3)。実際の最大負荷電流は、インダクタリップル電流の半分に等しい量だけピーク電流制限スレッシュホールドよりも小さくなります。したがって、最大負荷能力は、電流検出抵抗、インダクタ値、スイッチング周波数、およびデューティサイクル( $V_{OUT}/V_{IN}$ )の関数になります。強制PWMモードでは、 $V_{OUT}$ が電流をシンクしているときに過度の逆インダクタ電流を防止するため、MAX8744/MAX8745は負の電流制限も実現しています。負の電流制限スレッシュホールドは正の電流制限の約120%に設定され、ILIMを調整すると正の電流制限に追従します。

デフォルトの50mVのスレッシュホールドを使用する場合はILIMをLDO05に接続し、電流制限スレッシュホールドを調整する場合はILIMに外付け抵抗分圧器を接続します。精度とノイズ耐性を高めるため、2 $\mu$ A~20 $\mu$ Aの分圧器電流を使用してください。電流制限スレッシュホールドの調整範囲は50mV~200mVです。調整可能モードでは、電流制限スレッシュホールド電圧は正確にILIMの電圧の1/10に等しくなります。デフォルト値への切り替えの論理スレッシュホールドは約 $V_{LDO5} - 1V$ です。

ノイズとDC誤差によるCSH<sub>-</sub>とCSL<sub>-</sub>での差動電流検出信号の劣化がないことを保証するため、プリント基板レイアウトのガイドラインを十分に遵守してください。ICを検出抵抗の近くに配置して短い直接的な配線を使用し、電流検出抵抗にケルビン接続を行ってください。

## MOSFETゲートドライバ(DH<sub>-</sub>、DL<sub>-</sub>)

DH<sub>-</sub>およびDL<sub>-</sub>ドライバは、中型のハイサイドパワーMOSFETおよびより大型のローサイドパワーMOSFETの駆動に最適化されています。これは、 $V_{IN} - V_{OUT}$ の差が大きいノートブックアプリケーションに見られる低いデューティ比と合致します。ハイサイドゲートドライバ(DH<sub>-</sub>)は2Aをソースおよびシンクし、ローサイドゲートドライバ(DL<sub>-</sub>)は1.7Aをソースし3.3Aをシンクします。これによって、大電流アプリケーションにおける確実なゲート駆動が保証されます。DH<sub>-</sub>のフローティングハイサイドMOSFETドライバは、BST<sub>-</sub>のチャージポンプによって給電され、DL<sub>-</sub>同期整流器ドライバは固定5Vリニアレギュレータ(LDO05)によってじかに給電されます。

適応型テッドタイム回路がDL<sub>-</sub>およびDH<sub>-</sub>ドライバを監視し、一方のFETが完全にオフになるまで他方のFETがオンになるのを防ぎます。この適応型のドライバテッドタイムによって、広範囲のMOSFETでシュートスルーのない動作が可能になり、遅延が最小限に抑えられ効率が維持されます。適応型テッドタイム回路が正しく動作するためには、DL<sub>-</sub>およびDH<sub>-</sub>ドライバからMOSFETゲートへの経路が低抵抗、低インダクタンスであることが必要です。さもなければ、MAX8744/MAX8745の検出回路は、実際には電荷が残っている間はMOSFETゲートが「オフ」と判断します。非常に短く幅の広い配線を使用してください(MOSFETがドライバから1インチの場合で、50mil~100mil幅)。

DL<sub>-</sub>をローに駆動する内蔵プルダウントランジスタは堅牢であり、オン抵抗は0.6 $\Omega$  (typ)です。これは、インダクタノード(LX<sub>-</sub>)がグランドから $V_{IN}$ に高速で切り替わるときローサイドMOSFETのドレインからゲートへ

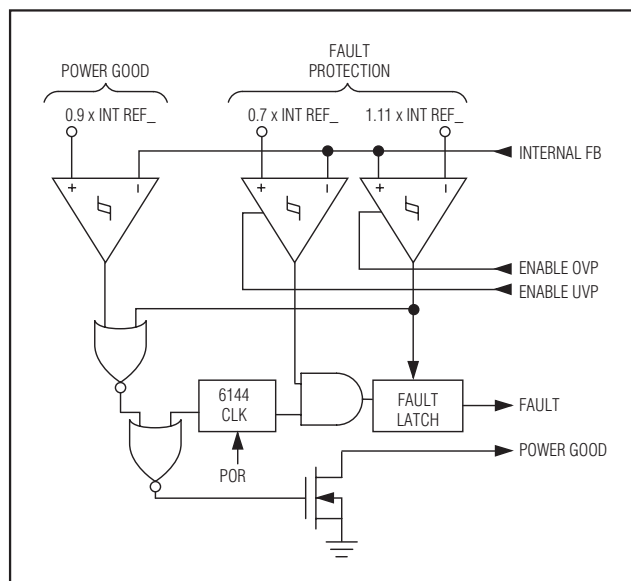


図6. パワーグッドおよび障害保護

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

表5. 動作モードの真理値表

MODE	CONDITION	COMMENT
Power-Up	LDO5 < UVLO threshold	Transitions to discharge mode after $V_{IN}$ POR and after REF becomes valid. LDO5, REF remain active. DL_ is active (high).
Run	$\overline{SHDN}$ = high, ON3 or ON5 enabled	Normal operation.
Output Overvoltage (OVP) Protection (MAX8744)	Either output > 111% of nominal level	Exited by POR or cycling $\overline{SHDN}$ , ON3, or ON5.
Output Undervoltage Protection (UVP)	Either output < 70% of nominal level, UVP is enabled 6144 clock cycles ( $1/f_{OSC}$ ) after the output is enabled	Exited by POR or cycling $\overline{SHDN}$ , ON3, or ON5.
Standby	ON5 and ON3 < startup threshold, $\overline{SHDN}$ = high	DL_ stays high. LDO5 active.
Shutdown	$\overline{SHDN}$ = low	All circuitry off.
Thermal Shutdown	$T_J > +160^\circ\text{C}$	Exited by POR or cycling $\overline{SHDN}$ , ON3, or ON5. DL3 and DL5 go high before LDO5 turns off. They remain high as long as possible thereafter.
Switchover Fault	Excessive current on LDO5 switchover transistors	Exited by POR or cycling $\overline{SHDN}$ , ON3, or ON5.

の容量性カップリングによってDL\_がプルアップされるのを防ぐのに役立ちます。入力電圧が高く、長い誘導性ドライバ配線を持つアプリケーションでは、高速なLX\_の立上りエッジによるローサイドMOSFETゲートのプルアップと、それに伴うシュートスルー電流が生じないことを保証するため、より大きなゲートソース間容量が必要になる場合があります。MOSFETのゲートドレイン間容量( $C_{GD} = C_{RSS}$ )、ゲートソース間容量( $C_{GS} = C_{ISS} - C_{GD}$ )、およびその他の基板寄生容量によって生成されるLX\_とDL\_の間の容量性カップリングが、次の最小スレッショルドを超えてはなりません。

$$V_{GS(TH)} > V_{IN} \left( \frac{C_{RSS}}{C_{ISS}} \right)$$

設計に余裕がないと、ロットごとのスレッショルド電圧の変動によって問題が発生する可能性があります。

## パワーグッド出力(PGOOD\_)

PGOOD\_は、SMPSの出力電圧と補助LDOの出力の両方について、低電圧状態の発生を絶えず監視しているコンパレータのオープンドレイン出力です。PGOOD\_は、シャットダウン( $\overline{SHDN} = GND$ )、スタンバイ(ON3 = ON5 = ONA = GND)、ソフトスタート、およびソフトシャットダウンの際に、能動的にローに保たれます。ソフトスタートシーケンスが終了した後は、出力がFB\_によって設定された公称安定化電圧の90%を上回っている限り、PGOOD\_はハイインピーダンスになります。各出力がそれぞれの公称安定化点より

10%低下した場合、SMPS出力に過電圧障害が発生した場合、またはON\_または $\overline{SHDN}$ がローの場合、PGOOD\_はローになります。ロジックレベルのPGOOD\_出力電圧を得るには、外付けのプルアップ抵抗をPGOOD\_とLDO5の間に接続してください。ほとんどのアプリケーションでは、100k $\Omega$ のプルアップ抵抗で良好な動作が得られます。

## 障害保護

### 出力過電圧保護(OVP) - MAX8744のみ

いずれかのSMPSの出力電圧がその公称安定化電圧の111%を上回り、かつOVP保護がイネーブルされている場合、コントローラは障害ラッチをセットし、PGOODをローに下げ、障害を発生させたSMPSコントローラをシャットダウンし、直ちにDH\_をローに、DL\_をハイにします。これによって、同期整流器のMOSFETが100%デューティでオンになり、出力コンデンサを急速に放電させ、両方の出力をグラウンドにクランプします。しかし、直ちにDL\_をハイにラッチすると、OVPが発生した瞬間に出力LCに蓄積されるエネルギーによって、わずかに負の出力電圧が生じるのが一般的です。負荷が負の電圧に耐えられない場合、逆極性クランプの役割を果たすパワーショットキダイオードを出力に配置してください。過電圧の原因となった条件が持続的なものである場合は(ハイサイドMOSFETの短絡など)、バッテリーが切れます。もう1方の出力は、ソフトシャットダウンシーケンスを使用してシャットダウンされます。障害ラッチをクリアしてSMPSコントローラを再始動

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

するには、LDO5をいったん、1V以下に下げた元に戻すか、ON3、ON5、またはSHDNをトグルしてください。

## 出力低電圧保護(UVP)

各SMPSコントローラには出力UVP保護回路が含まれており、出力のイネーブルから(ON<sub>n</sub>をハイにしてから)6144クロックサイクル( $1/f_{osc}$ )後にその出力の監視を開始します。いずれかのSMPSの出力電圧がその公称安定化電圧の70%を下回り、かつUVP保護がイネーブルされている場合、UVP回路は障害ラッチをセットし、PGOODをローに下げ、ソフトシャットダウンシーケンスを使用して両方のコントローラをシャットダウンします。SMPSの出力電圧が0.1Vに低下すると、その同期整流器がオンになり、放電された出力をGNDにクランプします。障害ラッチをクリアしてSMPSコントローラを再始動するには、LDO5をいったん、1V未満に下げた元に戻すか、ON3、ON5、またはSHDNをトグルしてください。

## 熱障害保護

MAX8744/MAX8745は熱障害保護回路を備えています。接合部温度が+160°Cを超えて上昇すると、熱センサが障害ラッチを動作させ、PGOODをローに下げ、ソフトシャットダウンシーケンスを使用して両方のSMPSコントローラをシャットダウンします。SMPSの出力電圧が0.1Vに低下すると、その同期整流器がオンになり、放電された出力をGNDにクランプします。接合部温度が15°Cだけ低下した後で障害ラッチをクリアしてSMPSコントローラを再始動するには、ON3、ON5、またはSHDNをトグルしてください。

## 補助LDOの詳細

MAX8744/MAX8745には、PCMCIAの電源要件および携帯型デバイスの負荷スイッチのゲートバイアスに最適な、12Vに設定することができる補助リニアレギュレータ(OUTA)が含まれています。また、OUTAは1V~23Vの出力に設定することも可能です。補助レギュレータは独立したON/OFF制御を備えているため、必要ないときはシャットダウンしておくことができ、システムが低電力状態のときの消費電力が低減します。

フライバック巻線制御ループが2次巻線の出力を安定化し、1次出力の負荷が軽い場合または入力/出力の差電圧が小さい場合のクロスレギュレーションを改善します。 $V_{DRVA} - V_{OUTD}$ が負の場合、ローサイドスイッチがスイッチング周期の33%に等しい時間オンになります。これによってインダクタ(1次)電流が反転し、出力フィルタコンデンサから電流が流れて、フライバックトランスが順方向モードで動作することになります。順方向モードではトランス2次側がローインピーダンスになるため、電流が2次出力に流れ、2次コンデンサが充電さ

れ、 $V_{INA} - V_{OUTA}$ が安定化状態に復帰します。メイン(1次)出力に重い負荷がかかっている通常のフライバックモードでは、2次フィードバックループによって2次出力の精度が改善されることはありません。この状態では、2次整流器の電圧降下、トランスの巻数比、およびメイン出力電圧の精度によって2次出力の精度が決まります。

## SMPSの設計手順

スイッチング周波数とインダクタ動作点(リップル電流比)を選択する前に、入力電圧範囲と最大負荷電流を確定してください。設計上の主なトレードオフは、適切なスイッチング周波数とインダクタ動作点を選択することであり、以下の4つの要素によってその他の部分の設計が決定されます。

- **入力電圧範囲。**最大値( $V_{IN(MAX)}$ )は、ワーストケースであるACアダプタの大きい電圧に対応する必要があります。最小値( $V_{IN(MIN)}$ )は、コネクタ、ヒューズ、およびバッテリー切り替えスイッチに起因する電圧降下が生じた後の最低バッテリー電圧に対応する必要があります。選択の余地がある場合は、入力電圧が低いほど効率が良くなります。
- **最大負荷電流。**考慮すべき値が2つあります。ピーク負荷電流( $I_{LOAD(MAX)}$ )によって瞬間的な部品ストレスとフィルタ要件が決まり、出力コンデンサの選択、インダクタの飽和定格、および電流制限回路の設計に大きく影響します。連続負荷電流( $I_{LOAD}$ )によって熱ストレスが決まり、入力コンデンサ、MOSFET、および熱源となるその他の重要部品の選択に大きく影響します。
- **スイッチング周波数。**この選択によって、サイズと効率の間の基本的なトレードオフが決まります。MOSFETのスイッチング損失は周波数と $V_{IN}^2$ に比例するため、最適な周波数は主に最大入力電圧の関数となります。また、MOSFET技術の急速な進歩によってより高い周波数が実用されていくため、最適な周波数は常に変化します。
- **インダクタ動作点。**この選択によって、サイズと効率の間および過渡応答と出力リップルの間のトレードオフが決定されます。インダクタの値を小さくすると過渡応答が改善され物理サイズが小さくなりますが、リップル電流が増えるため効率が低下して出力リップルが大きくなります。実用的な最小のインダクタ値は、臨界導通の境界(最大負荷の各サイクルでインダクタ電流がちょうどゼロになる状態)で回路が動作する値です。これよりさらにインダクタ値を小さくしても、それ以上小型化のメリットは得られません。最適な動作点は、リップル電流が20%~50%の範囲になるのが一般的です。パルススキップ動作時(SKIPがローかつ軽負荷の時)は、PFM/PWM切り替えが発生する負荷電流値もインダクタ値によって決まります。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

## インダクタの選択

スイッチング周波数とインダクタ動作点によって、次のようにインダクタ値が決まります。

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}f_{OSC}I_{LOAD(MAX)}LIR}$$

たとえば、 $I_{LOAD(MAX)} = 5A$ 、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $f_{OSC} = 300kHz$ 、リップル電流が30%すなわち $LIR = 0.3$ のときは、次のようになります。

$$L = \frac{5V \times (12V - 5V)}{12V \times 300kHz \times 5A \times 0.3} = 6.50\mu H$$

与えられた寸法に収まるものの中で、最もDC抵抗の小さい低損失インダクタを見つけてください。ほとんどのインダクタメーカは、 $1.0\mu H$ 、 $1.5\mu H$ 、 $2.2\mu H$ 、 $3.3\mu H$ など、標準値のインダクタを提供しています。また、非標準の値についても、入力電圧範囲の中でより良いLIRの妥協点を提供するものがないか探してください。スイングインダクタ(無負荷インダクタンスが電流の増加に伴ってリニアに減少します)を使用する場合は、適切にスケールしたインダクタンス値でLIRの評価を行ってください。選択したインダクタンス値に対して、実際のピークトゥピークインダクタリップル電流( $\Delta I_{INDUCTOR}$ )は次式で定義されます。

$$\Delta I_{INDUCTOR} = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}f_{OSC}L}$$

粉末鉄は安価であり200kHzで良好に動作しますが、多くの場合フェライトコアが最善の選択です。コアは、ピークインダクタ電流( $I_{PEAK}$ )でも飽和しないだけの十分な大きさが必要です。

$$I_{PEAK} = I_{LOAD(MAX)} + \frac{\Delta I_{INDUCTOR}}{2}$$

## トランスの設計

### (MAX8744/MAX8745の補助出力の場合)

5V SMPSのインダクタの代わりに、結合インダクタまたはトランスを使用することで、補助出力を作ることができます(図1)。5V出力の負荷が軽い場合でも2次フィードバックスレッショルドによって自動的にDL5がトリガされるMAX8744/MAX8745は、そうしたアプリケーションに特に適しています。

補助電源の電源要件については、メイン出力の設計の中で検討する必要があります。トランスは、適切な巻数比

とインダクタンスによって、1次出力と2次出力の両方に必要な電流が供給されるように設計する必要があります。同期整流器のMOSFETの電力定格とMAX8744/MAX8745の電流制限値も、それに応じて調整する必要があります。入出力間の電圧差が極端に小さい場合、出力負荷レベルに大幅な違いがある場合、および巻数比が大きい場合は、巻線間容量、2次側抵抗、漏れインダクタンスなどの寄生トランスパラメータによって設計が一層複雑になる可能性があります。メイン出力と2次出力の電力を合計することによって、メイン出力電圧を基準とする等価電流が得られます。電流制限値を決定する際には、この全電流を使用してください(「電流制限の設定」の項を参照)：

$$I_{TOTAL} = P_{TOTAL} / V_{OUT5}$$

ここで、 $I_{TOTAL}$ はメイン出力に換算した等価出力電流、 $P_{TOTAL}$ はメイン出力と2次出力の両方の出力電力の和です：

$$N = \frac{V_{SEC} + V_{FWD}}{V_{OUT5} + V_{RECT} + V_{SENSE}}$$

ここで、 $L_{PRIMARY}$ は1次側インダクタンス、 $N$ はトランスの巻数比、 $V_{SEC}$ は必要とする最小整流2次電圧、 $V_{FWD}$ は2次整流器の両端間の順方向電圧降下、 $V_{OUT5(MIN)}$ はメイン出力電圧の最小値、 $V_{RECT}$ はオン状態での同期整流器MOSFETの両端間の電圧降下です。トランスの2次側リターンは、必要な巻数比を減らすために、多くの場合グランドでなくメイン出力電圧に接続されます。この場合、上記のトランス巻数比の式で2次電圧から $V_{OUT5}$ を減じてください( $V_{SEC} - V_{OUT5}$ )。結合インダクタアプリケーションの2次ダイオードは、60Vを超えるフライバック電圧に耐える必要があります。1N4001などの一般的なシリコン整流器は、低速すぎるため使用することができません。MURS120などの高速シリコン整流器が唯一の選択肢になります。整流器両端間のフライバック電圧は、次式に示すように $V_{IN} - V_{OUT}$ の差に関係し、トランスの巻数比に応じて決まります：

$$V_{FLYBACK} = V_{SEC} + (V_{IN} - V_{OUT5}) \times N$$

ここで、 $N$ はトランスの巻数比(2次巻数/1次巻数)で、 $V_{SEC}$ は最大2次DC出力電圧です。2次巻線をグランドではなく $V_{OUT5}$ に戻す場合、上の式で $V_{FLYBACK}$ から $V_{OUT5}$ を減じてください。また、ダイオードの逆ブレークダウン電圧定格も、漏れインダクタンスによるリングングに対応する必要があります。ダイオードの電流定格は、2次出力のDC負荷電流の少なくとも2倍にしてください。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

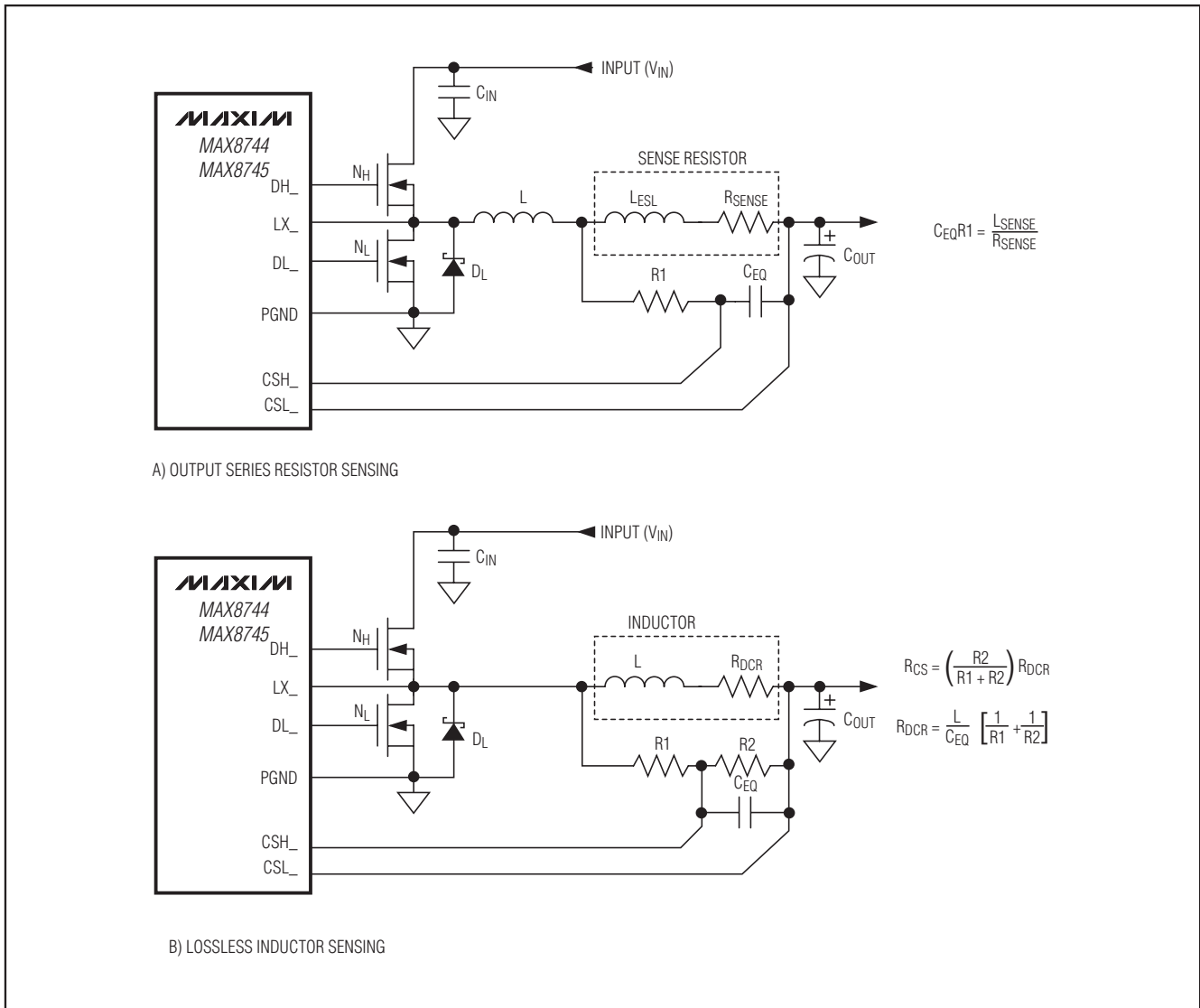


図7. 電流検出の設定

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

## 過渡応答

インダクタのリプル電流は、特に $V_{IN} - V_{OUT}$ の差が小さい場合に、過渡応答特性にも影響を与えます。インダクタ値が小さい場合はインダクタ電流の変化が早くなるため、急な負荷ステップによって出力フィルタコンデンサから流出した電荷を補給することができます。総出力電圧サグは、インダクタにエネルギーが蓄積している間の電圧サグと、次のパルスが発生する前の電圧サグとの和になります：

$$V_{SAG} = \frac{L(\Delta I_{LOAD(MAX)})^2}{2C_{OUT}(V_{IN} \times D_{MAX} - V_{OUT})} + \frac{\Delta I_{LOAD(MAX)}(T - \Delta T)}{C_{OUT}}$$

ここで、 $D_{MAX}$ は最大デューティ比（「Electrical Characteristics (電气的特性)」の表参照）、 $T$ はスイッチング周期( $1/f_{OSC}$ )であり、 $\Delta T$ は、PWMモードでは $V_{OUT}/V_{IN} \times T$ に等しく、スキップモードでは $L \times 0.2 \times I_{MAX} / (V_{IN} - V_{OUT})$ に等しくなります。インダクタに蓄積されたエネルギーによる全負荷から無負荷への過渡におけるオーバシュートの量は、次のように計算することができます：

$$V_{SOAR} \approx \frac{(\Delta I_{LOAD(MAX)})^2 L}{2C_{OUT}V_{OUT}}$$

## 電流制限の設定

最小電流制限スレッショルドは、許容差による電流制限値が最小値のとき最大負荷電流に対応するのに十分な大きさであることが必要です。ピークインダクタ電流は、 $I_{LOAD(MAX)}$ にリプル電流の1/2を加えた値になります：

$$I_{LIMIT} > I_{LOAD(MAX)} + \left( \frac{\Delta I_{INDUCTOR}}{2} \right)$$

ここで、 $I_{LIMIT}$ は、最小電流制限スレッショルド電圧を電流検出抵抗( $R_{SENSE}$ )で除算した値に等しくなります。デフォルト設定の場合、最小電流制限スレッショルドは45mVです。

デフォルトの50mVの電流制限スレッショルドを使用する場合は、 $I_{LIM}$ をLD05に接続してください。調整可能モードでは、電流制限スレッショルドは正確に $I_{LIM}$ の電圧の1/10になります。調整可能スレッショルドを使用する場合は、REFとアナロググランド(GND)の間に抵抗分圧器を接続し、 $I_{LIM}$ をセンタタップに接続してください。外部の0.5V~2Vの調整範囲が、50mV~200mVの電流制限スレッショルドに対応します。電流制限を調整するときは、電流制限の誤差に大きな不正

確さが生じるのを防ぐため、許容差1%の抵抗を使用し、分圧器の電流は約10mAにしてください。

電流検出の方法(図7)と値の大きさによって、達成可能な電流制限の精度と電力損失が決まります。一般に、電流検出制限値が大きいほど精度が高くなりますが、電力の損失も大きくなります。ほとんどのアプリケーションでは50mV~100mVの電流制限スレッショルド( $V_{LIMIT}$ )を使用しており、次式によって検出抵抗を決めることができます：

$$R_{CS} = \frac{V_{LIMIT}}{I_{LIMIT}} = \frac{V_{LIM}}{10 \times I_{LIMIT}}$$

最良の電流検出精度と過電流保護を実現するために、図7Aに示すように、インダクタと出力の間に許容差1%の電流検出抵抗を接続してください。この構成はインダクタ電流を常に監視するため、正確な電流制限保護が可能です。しかし、電流検出抵抗の寄生インダクタンスによって、特に小さい値のインダクタと電流検出抵抗を使用する場合には、電流制限が不正確になる可能性があります。この寄生インダクタンス( $L_{SENSE}$ )は、検出抵抗の両端間に次の等価時定数を持つRC回路を追加することによって打ち消すことができます。

$$C_{EQR1} = \frac{L_{SENSE}}{R_{SENSE}}$$

一方、さほど高い精度の電流制限保護を必要としない大電力アプリケーションでは、次の等価時定数を備えた直列RC回路をインダクタの両端間に接続することによって、全体的な電力損失を低減することができます(図7B)：

$$R_{CS} = \left( \frac{R_2}{R_1 + R_2} \right) R_{DCR}$$

および

$$R_{DCR} = \frac{L}{C_{EQ}} \left[ \frac{1}{R_1} + \frac{1}{R_2} \right]$$

ここで、 $R_{CS}$ が必要な電流検出抵抗であり、 $R_{DCR}$ はインダクタの直列DC抵抗です。インダクタのメーカーから提供されたワーストケースのインダクタンスと $R_{DCR}$ の値に、温度と負荷に応じたインダクタンスの低下を見込んで多少の余裕を加えたものを使用してください。

## 出力コンデンサの選択

出力フィルタコンデンサは、出力リプルと過渡負荷の要件を満たすためには十分に小さく、かつ安定性の要件を満たすために十分に大きい等価直列抵抗(ESR)を備えている必要があります。出力容量は、全負荷状態から

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

無負荷状態に移行する際のインダクタのエネルギーを、過電圧障害保護を作動させることなく吸収することができます。大容量、低ESRのコンデンサを使用するときは(安定性要件を参照)、フィルタコンデンサのESRが出力電圧リップルの主要因となります。したがって、出力コンデンサのサイズは、下記の出力電圧リップル( $V_{\text{RIPPLE(P-P)}}$ )の仕様を満たすために必要な最大ESRによって決まります:

$$V_{\text{RIPPLE(P-P)}} = \text{RESR} \times \text{LOAD(MAX)} \times \text{LIR}$$

アイドルモードではインダクタ電流が不連続になり、ピーク電流はアイドルモード電流検出スレッショルド( $V_{\text{IDLE}} = 0.2V_{\text{LIMIT}}$ )によって設定された値になります。アイドルモードでは、無負荷出力リップルを次のように決定することができます:

$$V_{\text{RIPPLE(P-P)}} = \frac{V_{\text{IDLE}} \times \text{RESR}}{R_{\text{SENSE}}}$$

実際に必要な容量値は、コンデンサの種類とともに、低ESRの実現に必要な物理サイズにも関係します。このためコンデンサは、容量値よりもESRと電圧定格によって選択されるのが普通です(これは、タンタル、OS-CON、ポリマ、およびその他の電解コンデンサに当てはまります)。セラミックコンデンサなどの小容量フィルタコンデンサを使用するとき、サイズは通常、過渡負荷の際に $V_{\text{SAG}}$ や $V_{\text{SOAR}}$ が問題を起こすのを防止するために必要な容量によって決定されます。一般に、オーバシュートの要件を満たすのに十分な容量を付加してしまえば、負荷の立上りエッジにおけるアンダシュートは問題でなくなります(「過渡応答」の項の $V_{\text{SAG}}$ と $V_{\text{SOAR}}$ の式参照)。しかし、小容量フィルタコンデンサは、全体的な安定性に影響する可能性のある高ESRゼロを備えているのが一般的です(「出力コンデンサによる安定性について」の項参照)。

## 出力コンデンサによる安定性について

安定性は、スイッチング周波数に相対的なESRゼロの値によって決まります。不安定性の境界は次式によって表わされます:

$$f_{\text{ESR}} \leq \frac{f_{\text{OSC}}}{\pi}$$

ここで、

$$f_{\text{ESR}} = \frac{1}{2\pi \text{RESR} C_{\text{OUT}}}$$

標準的な300kHzアプリケーションの場合、ESRゼロ周波数は95kHzよりも十分に低くする必要があります。できれば50kHz未満にすべきです。本書の出版時点で幅広く使用されているタンタルおよびOS-CONコンデンサの

場合、標準的なESRゼロ周波数は25kHzです。インダクタの選択の項で使用した設計例では、25mV<sub>p-p</sub>のリップルをサポートするために必要なESRは25mV/1.5A = 16.7mΩです。1個の220μF/4V三洋ポリマー(TPE)コンデンサは、15mΩ(max)のESRを備えています。その結果、48kHzがゼロになり、十分に安定性の範囲内になります。

デューティサイクルが50%を超える( $V_{\text{OUT}}/V_{\text{IN}} \geq 50\%$ )低入力電圧アプリケーションの場合、出力リップル電圧は内部のスロープ補償電圧の2倍以下である必要があります:

$$V_{\text{RIPPLE}} \leq 0.02 \times V_{\text{OUT}}$$

ここで、 $V_{\text{RIPPLE}} = \Delta I_{\text{INDUCTOR}} \times \text{RESR}$ です。ワーストケースのESR限界は $V_{\text{IN}} = 2 \times V_{\text{OUT}}$ の時であるため、上式を簡単にして次の境界条件を得ることができます:

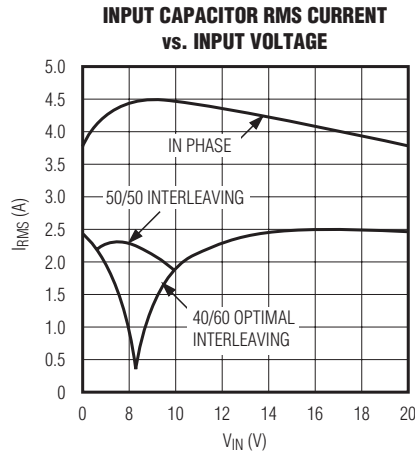
$$\text{RESR} \leq 0.04 \times L \times f_{\text{SW}}$$

大きな値のセラミックコンデンサをフィードバック検出ポイントにじかに接続する際は、安定性を確保するための対策を講じてください。値の大きいセラミックコンデンサは、ESRゼロ周波数が高く、不規則で不安定な動作を引き起こす可能性があります。ただし、できる限りインダクタに近づける必要があるフィードバック検出ポイントから数インチ下流の位置に、コンデンサを配置することによって、十分な直列抵抗を容易に追加することができます。

不安定な動作は、短いパルスと長いパルス、またはスイッチング周波数の低下を招くパルスのスキップという、互いに関連性のある、しかし明らかに異なる2つの形で現われます。不安定性は、出力のノイズが原因で発生するか、ESRが小さすぎて出力電圧信号の中に十分な電圧ランプ(傾斜波)得られない原因で発生します。その結果、誤差コンパレータが「誤って」早めにトリガされたり、サイクルをスキップしたりします。サイクルのスキップ自体は、有害というよりはわずらわしい現象であり、出力リップルの増大くらいしか実害はありません。しかし、ESRの不足が原因でループの不安定性が生じている可能性があることを示しています。ループの不安定性によって、電源または負荷ステップ後の出力に発振が生じることがあります。こうした変動は通常は減衰しますが、出力電圧が許容範囲を超えて上昇または下降する場合があります。

安定性をチェックする最も簡単な方法は、非常に高速なゼロから最大までの過渡負荷を印加して、出力電圧リップルのエンベロープにオーバシュートやリングングがないか注意深く観察することです。同時に、AC電流プローブでインダクタ電流を観察すると効果的です。最初のステップ応答のアンダシュート/オーバシュート後に3サイクルを超えるリングングがあってはなりません。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ



INPUT RMS CURRENT FOR INTERLEAVED OPERATION:

$$I_{RMS} = \sqrt{(I_{OUT5} - I_{IN})^2 (D_{LX5} - D_{OL}) + (I_{OUT3} - I_{IN})^2 (D_{LX3} - D_{OL}) + (I_{OUT5} + I_{OUT3} - I_{IN})^2 D_{OL} + I_{IN}^2 (1 - D_{LX5} - D_{LX3} + D_{OL})}$$

$$D_{LX5} = \frac{V_{OUT5}}{V_{IN}} \quad D_{LX3} = \frac{V_{OUT3}}{V_{IN}} \quad D_{OL} = \text{DUTY - CYCLE OVERLAP FRACTION}$$

$$I_{IN} = \frac{V_{OUT5} I_{OUT5} + V_{OUT3} I_{OUT3}}{V_{IN}}$$

INPUT RMS CURRENT FOR SINGLE-PHASE OPERATION:

$$I_{RMS} = I_{LOAD} \left( \frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}} \right)$$

図8. 入力RMS電流

## 入力コンデンサの選択

入力コンデンサは、スイッチング電流によって課せられるリップル電流要件( $I_{RMS}$ )を満たさなければなりません。位相差レギュレータの場合、入力コンデンサの全RMS電流は負荷電流、入力電流、デューティサイクル、および図8で定義するオーバーラップ量の関数になります。

MAX8744/MAX8745の40/60最適インターリーブアーキテクチャによって、入力電圧が8.3Vに下がるまでデューティサイクルのオーバーラップが生じません。このため、10V未満でデューティサイクルがオーバーラップし始める標準的な180度位相差アーキテクチャよりも高い効率が得られます。図8は、5V/5Aおよび3.3V/5Aを必要とするアプリケーションにおける、入力コンデンサのRMS電流と入力電圧の関係を示したものです。50/50インターリーブおよび同位相動作に対して、40/60最適インターリーブが優れていることが分かります。

入力と直列に機械式のスイッチやコネクタが存在するシステムに特有の通電時サージ電流に対する耐性の面で、ほとんどのアプリケーションにはタンタル以外の種類

(セラミック、アルミ、またはOS-CON)が適します。最良の信頼性と寿命を得るため、RMS入力電流による温度上昇が10°C未満のコンデンサを選択してください。

## パワーMOSFETの選択

以下のMOSFETガイドラインのほとんどは、高電圧(> 20V)のACアダプタを使用する際に高い負荷電流能力を得るという問題に焦点を合わせた内容になっています。小電流アプリケーションの場合、通常はここまで注意する必要はありません。

ハイサイドMOSFET ( $N_H$ )は、 $V_{IN(MIN)}$ と $V_{IN(MAX)}$ の両方において抵抗損失とスイッチング損失を消費することができる必要があります。理想的には、 $V_{IN(MIN)}$ における損失と $V_{IN(MAX)}$ における損失がほぼ等しく、両者の間ではそれより損失が少ないという状態になります。 $V_{IN(MIN)}$ における損失の方がかなり大きい場合は、 $N_H$ のサイズを大きくすることを検討してください。逆に、 $V_{IN(MAX)}$ における損失の方がかなり大きい場合は、 $N_H$ のサイズを小さくすることを検討してください。 $V_{IN}$ が

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

広範囲に変化しなければ、導通損失とスイッチング損失が等しいハイサイドMOSFET ( $N_H$ )を選択することによって最高の効率が達成されます。

ローサイドのMOSFET ( $N_L$ )には、可能な限りオン抵抗 ( $R_{DS(ON)}$ )が小さく、中程度のサイズのパッケージ(すなわち、8ピンSOP、DPAK、またはD<sup>2</sup>PAK)で入手され、妥当な価格のものを選択してください。MAX8744/MAX8745のDL\_ゲートドライバから、ゲート電荷をサポートするための十分な電流と、ハイサイドMOSFETがオンになることによって生じる寄生ドレイン/ゲート間コンデンサに注入される電流が、確実に供給されるようにしてください。そうしないと、交差導通の問題が発生する可能性があります。ステップダウントポロジで使用する場合、ローサイドMOSFETはゼロ電圧スイッチデバイスになるため、スイッチング損失は問題になりません。

## パワーMOSFETの電力損失

ワーストケースの伝導損失は、最小または最大のデューティ比で起こります。ハイサイドMOSFET ( $N_H$ )の場合、抵抗によるワーストケースの電力損失は最小入力電圧で起こります：

$$PD(N_H \text{ Resistive}) = \left( \frac{V_{OUT}}{V_{IN}} \right) (I_{LOAD})^2 R_{DS(ON)}$$

一般に、高い入力電圧でのスイッチング損失を減少させるには、小さなハイサイドMOSFETを使用してください。しかし多くの場合は、パッケージの電力損失制限を守るために必要な $R_{DS(ON)}$ によって、MOSFETの最小サイズが制限されます。スイッチング損失と導通 ( $R_{DS(ON)}$ ) 損失が等しい場合が最適条件になります。ハイサイドのスイッチング損失は、入力が約15Vを超えるまでは問題になりません。

ターンオンおよびターンオフ時間に影響を与える定量化困難な要因を考慮する必要があるため、スイッチング損失によるハイサイドMOSFET ( $N_H$ )の電力損失を計算することは困難です。それらの要因には、内部ゲート抵抗、ゲート電荷、スレッショルド電圧、ソースインダクタンス、およびプリント基板レイアウトの特性などがあります。以下のスイッチング損失の計算によって与えられるのは非常に大まかな推定値に過ぎず、ブレッドボード評価( $N_H$ に熱電対を使用した検証を含むことが望ましい)の代わりになるものではありません：

$$PD(N_H \text{ Switching}) = \left( \frac{I_{LOAD} Q_{G(SW)}}{I_{GATE}} + \frac{C_{OSS} V_{IN(MAX)}}{2} \right) V_{IN(MAX)} f_{SW}$$

ここで、 $C_{OSS}$ は $N_H$ の出力容量、 $Q_{G(SW)}$ は $N_H$  MOSFETのターンオンに必要な電荷、 $I_{GATE}$ はピークゲートドライブソース/シンク電流(1A typ)です。

最高ACアダプタ電圧を印加した場合、スイッチング損失の式( $C \times V_{IN}^2 \times f_{SW}$ )の2乗項によって、ハイサイドMOSFETのスイッチング損失が熱問題につながる可能性があります。低いバッテリー電圧で十分な $R_{DS(ON)}$ を持つように選択したハイサイドMOSFETが、 $V_{IN(MAX)}$ を印加したときに極端に加熱される場合には、より小さい寄生容量を持つ別のMOSFETの選択を検討してください。

ローサイドMOSFET ( $N_L$ )の場合、ワーストケースの電力損失は常に最大バッテリー電圧で発生します：

$$PD(N_L \text{ Resistive}) = \left[ 1 - \left( \frac{V_{OUT}}{V_{IN(MAX)}} \right) \right] (I_{LOAD})^2 R_{DS(ON)}$$

MOSFETの電力損失の絶対的ワーストケースは、 $I_{LOAD(MAX)}$ より大きく、しかし電流制限値を超えて障害ラッチを作動させるほどには大きくない、重度の過負荷状態で発生します。この可能性に対する保護としては、次の条件に耐えるように回路を「過剰設計」してください：

$$I_{LOAD} = I_{LIMIT} - \left( \frac{\Delta I_{INDUCTOR}}{2} \right)$$

ここで、 $I_{LIMIT}$ は電流制限回路が許容するピーク電流であり、スレッショルドの許容差と検出抵抗の偏差を含みます。過負荷時の電力損失に対応するため、MOSFETは比較的大きいヒートシンクを備えている必要があります。

ローサイドMOSFETのボディダイオードがデッドタイム中にオンになるのを防ぐため、順方向電圧降下が十分に小さいショットキダイオード( $D_L$ )を選択してください。目安としては、DC電流定格が負荷電流の1/3に等しいダイオードを選択してください。このダイオードはオプションであり、効率が重要でない場合は省くことができます。

## ブーストコンデンサ

ブーストコンデンサ( $C_{BST}$ )は、ハイサイドMOSFETのゲートチャージ要件に十分対応することができる大きさのものを選択する必要があります。一般的には、中サイズのMOSFETを駆動する低電力アプリケーションの場合、0.1 $\mu$ Fのセラミックコンデンサで良好な動作が得られます。しかし、大型のハイサイドMOSFETを駆動する大電流アプリケーションには、0.1 $\mu$ Fよりも大きい

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

ブーストコンデンサが必要になります。これらのアプリケーションでは、ハイサイドMOSFETのゲートを充電中にコンデンサが200mVを超えて放電することのないようなブーストコンデンサを選択してください：

$$C_{BST} = \frac{Q_{GATE}}{200mV}$$

ここで、 $Q_{GATE}$ は、ハイサイドMOSFETのデータシートで規定された総ゲート電荷です。たとえば、FDS6612A nチャネルMOSFETをハイサイドに使用するとします。メーカーのデータシートによると、1個のFDS6612Aの最大ゲート電荷は13nCです ( $V_{GS} = 5V$ )。上の式を使用すると、必要なブースト容量は次のようになります：

$$C_{BST} = \frac{13nC}{200mV} = 0.065\mu F$$

最も近い標準値を選択すると、この例では0.1 $\mu$ Fのセラミックコンデンサが必要ということになります

## LDOAの設計手順

### 出力電圧の選択

補助リニアレギュレータの出力電圧は、OUTAとアナロググラウンドの間に抵抗分圧器を接続し、センタタップをFBAに接続することによって調整します(図1)。R6を10k $\Omega$ ~30k $\Omega$ の範囲で選択し、次式を用いてR5を計算してください：

$$R5 = R6 \left( \frac{V_{OUTA}}{V_{FBA}} - 1 \right)$$

ここで、 $V_{FBA} = 1.0V$ です。

### トランジスタの選択

パストラジスタは、電流利得( $\beta$ )、入力容量、コレクタエミッタ間の飽和電圧、および消費電力の各仕様を満たす必要があります。トランジスタの電流利得によって、保証最大出力電流が次のように制限されます：

$$I_{LOAD(MAX)} = \left( I_{DRV} - \frac{V_{BE}}{R_{BE}} \right) \beta_{MIN}$$

ここで、 $I_{DRV}$ は最小保証ベースドライブ電流、 $V_{BE}$ はトランジスタのベースエミッタ間電圧、 $R_{BE}$ はトランジスタのベースとエミッタ間に接続されたプルアップ抵抗

です。さらに、トランジスタの電流利得によってリニアレギュレータのDCループ利得(LDOAの安定性要件)の項参照)が増大するため、過度の利得は出力を不安定にします。したがって、最大出力電流において100を超える電流利得を持つトランジスタでは安定が困難になる可能性があり、推奨することができません。また、トランジスタの入力容量と入力抵抗によって第2の極が生成され、これが低いと重い負荷をかけたとき出力が不安定になる可能性があります。

最大出力電流におけるトランジスタの飽和電圧によって、リニアレギュレータがサポート可能な最小の入出力電圧差が決まります。一方、パッケージの消費電力によって、利用可能な最大の入出力電圧差が制限される場合があります。トランジスタのパッケージとその実装の最大電力消費能力は、デバイスの実際の消費電力を上回っている必要があります。消費電力は、最大負荷電流と最大入出力電圧差の積に等しくなります：

$$PWR = I_{LOAD(MAX)} (V_{INA} - V_{OUTA})$$

$$PWR = I_{LOAD(MAX)} V_{CE}$$

### LDOAの安定性要件

MAX8744/MAX8745リニアレギュレータコントローラは、内蔵のトランスコンダクタンスアンプを使用して外付けのpnp/パストラジスタを駆動します。トランスコンダクタンスアンプ、パストラジスタ、ベースエミッタ間抵抗、および出力コンデンサによって、ループの安定性が決まります。

トランスコンダクタンスアンプは、パストラジスタのベース電流を制御することによって、出力電圧を安定化します。およその総DCループ利得は、次のようになります。

$$A_{V(LDO)} = \left( \frac{5.5V}{V_T} \right) \left( 1 + \frac{I_{BIAS} h_{FE}}{I_{LOAD}} \right)$$

ここで、 $V_T$ は室温において26mV、 $h_{FE}$ はパストラジスタのDC利得、 $I_{BIAS}$ はベースエミッタ間抵抗( $R_{BE}$ )を流れる電流です。図1で使用している680 $\Omega$ のベースエミッタ間抵抗は、1mAのバイアス電流( $I_{BIAS}$ )を提供するように選択されています。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

出力コンデンサと負荷抵抗によって、システム内に主極が生成されます。しかし、内蔵アンプの遅延、パストランジスタの入力容量、およびフィードバック端子の浮遊容量によって、もう1つの極がシステム内に生成され、出力コンデンサのESRがゼロを生成します。適切な動作のために、以下の手順を使ってリニアレギュレータの安定性を確保してください。

- 最初に、リニアレギュレータの出力容量と負荷抵抗によって設定される主極を計算します：

$$f_{\text{POLE(LDO)}} = \frac{1}{2\pi C_{\text{OUTA}} R_{\text{LOAD}}}$$

ここで、 $C_{\text{OUTA}}$ は補助LDOの出力容量、 $R_{\text{LOAD}}$ は最大負荷電流に対応する負荷抵抗です。リニアレギュレータのユニティゲインクロスオーバーは次のようになります：

$$f_{\text{CROSSOVER}} = A_V(\text{LDO}) f_{\text{POLE(LDO)}}$$

- 内蔵アンプの遅延による極は、約1MHzになります：

$$f_{\text{POLE(AMP)}} \approx 1\text{MHz}$$

- 次に、トランジスタの入力容量、トランジスタの入力抵抗、およびベースエミッタ間のプルアップ抵抗によって設定される極を計算します。トランジスタの入力抵抗( $h_{\text{FE}}/g_m$ )は一般的にベースエミッタ間のプルアップ抵抗よりもはるかに大きいため、次に示す簡約化された式から極を求めることができます：

$$f_{\text{POLE(CIN)}} \approx \frac{1}{2\pi C_{\text{IN}} R_{\text{IN}}}$$
$$C_{\text{IN}} = \frac{g_m}{2\pi f_T}$$

ここで、 $g_m$ はパストランジスタのトランスコンダクタンス、 $f_T$ は遷移周波数です。いずれのパラメータも、トランジスタのデータシートに記載されています。したがって、上の式はさらに次のように簡略化することができます：

$$f_{\text{POLE(CIN)}} \approx \frac{f_T}{h_{\text{FE}}}$$

- 次に、リニアレギュレータのフィードバック抵抗と、FBAとグラウンドの間の容量(浮遊容量を含めて約5pF)によって設定される極を計算します：

$$f_{\text{POLE(FBA)}} = \frac{1}{2\pi C_{\text{FBA}} (R_5 \parallel R_6)}$$

- 次に、出力コンデンサのESRによるゼロを計算します：

$$f_{\text{ZERO(ESR)}} = \frac{1}{2\pi C_{\text{OUTA}} R_{\text{ESR}}}$$

ここで、 $R_{\text{ESR}}$ は $C_{\text{OUTA}}$ の等価直列抵抗です。

- 安定性を確保するため、十分に大きな $C_{\text{OUTA}}$ の値を選び、ステップ2から5で計算した極およびゼロよりもずっと前でクロスオーバーが生じるようにします。ステップ3と4の極は一般的には数MHzの位置に生じますが、セラミック出力コンデンサを使うことでESRゼロも数MHzに生じることが保証されます。500kHzより下にクロスオーバー周波数を設定すれば、一般的にはアンプ遅延の極を避けるのに十分であり、変わった部品選択や余計な容量によって他の極やゼロを1MHz未満に移動させない限り、普通は問題なく動作します。

リニアレギュレータの出力とフィードバック端子の間にコンデンサを接続することによって、過渡応答を改善し、フィードバックループに結合されるノイズを低減することができます。

低ドロップアウトソリューションが必要な場合、外付けのpチャネルMOSFETパストランジスタを使う方法も考えられます。しかし、pMOSベースのリニアレギュレータは、ループを安定させるためにより大きな出力容量を必要とします。pチャネルMOSFETの大きいゲート容量によって $f_{\text{POLE(CIN)}}$ が低下し、不安定性の原因となる可能性があります。大きな出力容量を使ってユニティゲイン帯域幅を減少させ、極がユニティゲインクロスオーバー周波数よりずっと上に位置することを保証する必要があります。

## アプリケーション情報

### デューティサイクル制限

#### 最小入力電圧

最小入力動作電圧(ドロップアウト電圧)は、最大デューティサイクルの仕様によって制限されます(「Electrical Characteristics (電气的特性)」の表を参照)。最良のドロップアウト性能を得るためには、最も遅いスイッチング周波数の設定(200kHz、FSEL = GND)を使用してください。ただし、ステップダウンレギュレータがドロップアウト電圧に近づくにつれて過渡性能が悪化するため、大きい容量のコンデンサを追加する必要があります(「SMPSの設計手順」の項の電圧サグおよびサージの式をご覧ください)。ドロップアウトの絶対点は、オン時間( $\Delta I_{\text{UP}}$ )のインダクタ電流の増加量がオフ時間( $\Delta I_{\text{DOWN}}$ )の減少量に等しいときに生じます。その結果、次式によって定義される最小動作電圧が得られます：

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

$$V_{IN(MIN)} = V_{OUT} + V_{CHG} + h \left( \frac{1}{D_{MAX}} - 1 \right) (V_{OUT} + V_{DIS})$$

ここで、 $V_{CHG}$ と $V_{DIS}$ はそれぞれ充電経路と放電経路の寄生電圧降下です。hの最小値として妥当な値は1.5ですが、絶対最小入力電圧は $h = 1$ で計算します。

## 最大入力電圧

コントローラには最小オン時間の仕様が含まれており、選択したスイッチング周波数が維持される最大入力動作電圧がそれによって決まります(「Electrical Characteristics (電気的特性)」の表を参照)。この最大入力電圧を超える動作は、SKIPで選択された動作モードに関係なく常にパルススキップ動作になります。各サイクルの開始時に、出力電圧がなおフィードバックスレッショルド電圧を上回っている場合、コントローラはオン時間パルスをトリガせず、実質的にサイクルをスキップします。それによってコントローラは最大入力電圧を超えても安定化動作を維持することができますが、実質的により低いスイッチング周波数での動作を強制されることとなります。こうして、コントローラがパルスのスキップを開始する入力スレッショルド電圧( $V_{IN(SKIP)}$ )が決まります:

$$V_{IN(SKIP)} = V_{OUT} \left( \frac{1}{f_{OSC(ON(MIN))}} \right)$$

ここで、 $f_{OSC}$ はFSELで選択したスイッチング周波数です。

## プリント基板レイアウトのガイドライン

スイッチング損失の少ない、クリーンで安定した動作を達成するためには、注意深いプリント基板のレイアウトが極めて重要になります。スイッチングパワー段は、特に注意が必要です(図9)。可能であれば、すべての電力部品を基板の最上面に実装して、それぞれのグランド端子を互いに密接させてください。良好なプリント基板レイアウトを実現するため、以下のガイドラインに従ってください。

大電流の経路は、特にグランド端子側を、常に短く配線してください。これは、安定した、ジッタのない動作にとって不可欠です。

電源配線および負荷接続部を短くしてください。これは、高効率の実現に不可欠です。厚い銅のプリント基板を使用する(1オンスよりも2オンスを)ことによって、全負荷効率を1%以上改善することができます。プリント基板の配線を正しく引き回すことは、数分の1cm単位の作業を必要とする困難な仕事であり、余計な配線抵抗が1mΩ増えるだけで明確な効率低下が生じます。

CSH<sub>-</sub>とCSL<sub>-</sub>を電流検出抵抗( $R_{SENSE}$ )の両端間にじかに接続することによって、電流検出誤差を最小化してください。

配線長のトレードオフが必要な場合、インダクタの充電経路を放電経路よりも長くすべきです。たとえば、入力コンデンサとハイサイドMOSFET間の距離を多少長くする方が、インダクタとローサイドMOSFET間の距離やインダクタと出力フィルタコンデンサ間の距離を長くするよりも、良い結果が得られます。

高速スイッチング端子(BST<sub>-</sub>、LX<sub>-</sub>、DH<sub>-</sub>、およびDL<sub>-</sub>)は、感度の高いアナログ領域(REF、FB<sub>-</sub>、CSH<sub>-</sub>、CSL<sub>-</sub>)から離して配線してください。

## レイアウトの手順

最初に電力部品を配置して、グランド端子を隣接させます( $N_L$  ソース、 $C_{IN}$ 、 $C_{OUT}$ 、および $D_L$  アノード)。可能であれば、これらの接続はすべて最上層において、広い、銅で埋められた領域を使って行ってください。

コントローラICを、ローサイドMOSFETに隣接させて実装します。できれば背面に、 $N_L$ と $N_H$ の反対側に当たる位置に配置して、LX<sub>-</sub>、GND、DH<sub>-</sub>、およびDL<sub>-</sub>の各ゲート駆動線を短く太くできるようにします。DL<sub>-</sub>とDH<sub>-</sub>のゲート配線は短くかつ太くして(MOSFETがコントローラICから1インチ離れている場合で50mil~100mil幅)、ドライバのインピーダンスを小さくするとともに、適応型テッドタイム検出が適切に行われるようにしてください。

ゲートドライブ部品(BST<sub>-</sub>のダイオードとコンデンサ、LDO5のバイパスコンデンサ)を、コントローラICの近くにまとめて配置してください。

図1および9に示すように、DC-DCコントローラのグランドを接続します。この図には、2つの独立したグランドプレーンが存在すると見ることができます。すべての大電力部品が接続される電源グランドプレーンと、敏感なアナログ部品用のアナロググランドプレーンです。アナロググランドプレーンと電源グランドプレーンは、ICが位置する1点でのみ接続してください。

出力電源プレーンを、出力フィルタコンデンサの正および負端子に複数のピアでじかに接続してください。実用的な範囲で、DC-DCコンバータ回路全体をできる限り負荷の近くに配置してください。

# ノートブックコンピュータ用 高効率、4出力、メイン電源コントローラ

MAX8744/MAX8745

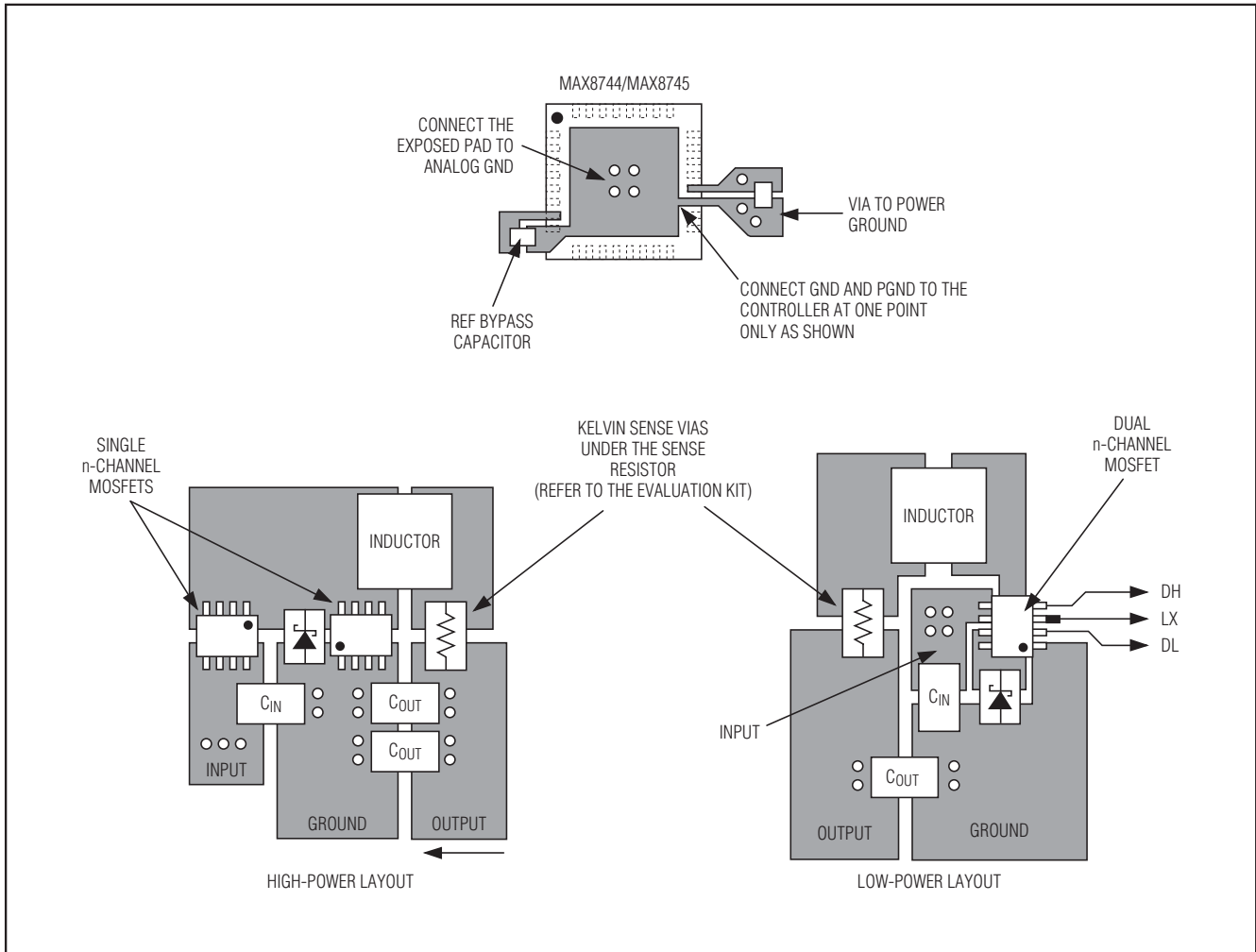


図9. プリント基板レイアウト

## チップ情報

TRANSISTOR COUNT: 6897

PROCESS: BiCMOS

