

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

概要

MAX8743は、高電圧バッテリーのステップダウンに不可欠な高効率、優れた過渡応答、及び高DC出力精度を備え、ノートブックコンピュータにおいて低電圧のチップセット及びRAM電源を生成する、ステップダウン(バック)構成に設定されたデュアルパルス幅変調(PWM)コントローラです。CS_入力を使ってローサイド検出抵抗で高精度電流制限を行ったり、またはローサイドMOSFETを電流検出素子として使用してCS_入力をLX_に接続することができます。シャットダウン時の高出力インピーダンスによって負の出力電圧がなくなり、出力側のショットキダイオードのコストが削減されます。

オンデマンドのPWMコントローラは、入力フィードフォワード付のフリーランニング、一定オン時間コントローラです。この構成によって、超高速過渡応答、広い入出力差範囲、低消費電流、及び厳密な負荷レギュレーション特性が実現します。MAX8743はシンプルで、補償が容易です。

1段バック変換を通じて、MAX8743は高電圧バッテリーを直接ステップダウンして、効率を最大化することができます。あるいは、2段変換(高スイッチング周波数で、バッテリーの代わりに5Vのシステム電源をステップダウン)によって、最小限の物理サイズを実現します。

MAX8743は、チップセット、DRAM、CPU I/O、またはその他の最低1Vの低電圧電源を生成することを目的としています。MAX8743は、28ピンQSOP及び36ピン薄型QFNパッケージで提供されます。

アプリケーション

ノートブックコンピュータ

CPUコア電源

最低1Vのチップセット/RAM電源

1.8V及び2.5VのI/O電源

ピン配置はデータシートの最後に記載されています。

Quick-PWM及びDual Modeは、Maxim Integrated Products, Inc.の商標です。

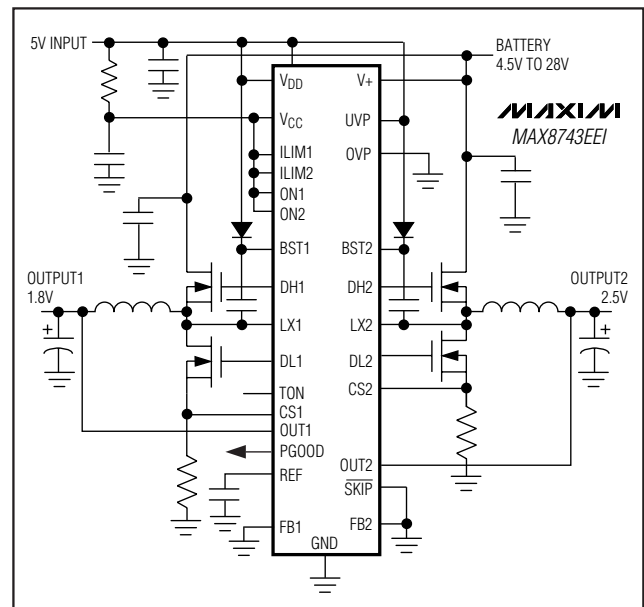
特長

- ◆ 超高効率
- ◆ 高精度電流制限オプション
- ◆ 100nsの負荷ステップ応答付Quick-PWM™
- ◆ 全入力電圧範囲及び全負荷範囲のV_{OUT}精度：1%
- ◆ シャットダウン時に高出力インピーダンス
- ◆ Dual Mode™：固定1.8V/1.5V/可変、または2.5V/可変出力
- ◆ 可変出力範囲：1V~5.5V
- ◆ バッテリー入力範囲：2V~28V
- ◆ 公称スイッチング周波数：200kHz/300kHz/420kHz/540kHz
- ◆ 調整可能な過電圧保護
- ◆ デジタルソフトスタート：1.7ms
- ◆ 大型同期整流器FETを駆動
- ◆ パワーグッドウィンドウコンパレータ
- ◆ リファレンス出力：2V ±1%

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX8743EEI	-40°C to +85°C	28 QSOP
MAX8743ETX	-40°C to +85°C	36 Thin QFN 6mm x 6mm

最小動作回路



シャットダウン時ハイインピーダンスの、 デュアル、高効率、ステップダウンコントローラ

MAX8743

ABSOLUTE MAXIMUM RATINGS (Note 1)

V+ to AGND.....	-0.3 to +30V	LX_ to BST_.....	-6V to +0.3V
VCC to AGND.....	-0.3V to +6V	DH2 to LX2.....	-0.3V to (VBST2 + 0.3V)
VDD to PGND.....	-0.3V to +6V	REF Short Circuit to GND.....	Continuous
AGND to PGND.....	-0.3V to +0.3V	Continuous Power Dissipation (TA = +70°C)	
PGOOD, OUT_ to AGND.....	-0.3V to +6V	28-Pin QSOP (derate 10.8mW/°C above +70°C).....	860mW
OVP, UVP, ILIM_, FB_, REF, SKIP, TON, ON_ to AGND.....	-0.3V to (VCC + 0.3V)	36-Pin 6mm × 6mm Thin QFN (derate 26.3mW/°C above +70°C).....	2105mW
DL_ to PGND.....	-0.3V to (VDD + 0.3V)	Operating Temperature Range.....	-40°C to +85°C
BST_ to AGND.....	-0.3V to +36V	Junction Temperature.....	+150°C
CS_ to AGND.....	-6V to +30V	Storage Temperature Range.....	-65°C to +150°C
DH1 to LX1.....	-0.3V to (VBST1 + 0.3V)	Lead Temperature (soldering, 10s).....	+300°C

Note 1: For the MAX8743EEI, AGND and PGND refer to a single pin designated GND.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, VDD = VCC = 5V, SKIP = AGND, V+ = 15V, TA = 0°C to +85°C, typical values are at +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS				
PWM CONTROLLERS										
Input Voltage Range	V+	Battery voltage, V+	2		28	V				
	VCC/VDD	VCC, VDD	4.5		5.5					
DC Output Voltage OUT1 (Note 2)	VOUT1	V+ = 2V to 28V, ILOAD = 0 to 8A, SKIP = VCC, +25°C to +85°C	FB1 to AGND	1.782	1.8	1.818	V			
			FB1 to VCC	1.485	1.5	1.515				
			FB1 to OUT1	0.99	1	1.01				
		V+ = 2V to 28V, ILOAD = 0 to 8A, SKIP = VCC, 0°C to +85°C	FB1 to AGND	1.773	1.8	1.827				
			FB1 to VCC	1.477	1.5	1.523				
			FB1 to OUT1	0.985	1	1.015				
DC Output Voltage OUT2 (Note 2)	VOUT2	V+ = 4.5V to 28V, ILOAD = 0 to 4A, SKIP = VCC, +25°C to +85°C	FB2 to AGND	2.475	2.5	2.525	V			
			FB2 to OUT2	0.99	1	1.01				
		V+ = 4.5V to 28V, ILOAD = 0 to 4A, SKIP = VCC, 0°C to +85°C	FB2 to AGND	2.463	2.5	2.537				
			FB2 to OUT2	0.985	1	1.015				
			Output Voltage Adjust Range		OUT1, OUT2	1			5.5	V
			Dual-Mode Threshold, Low		OVP, FB_	0.05		0.1	0.15	V
Dual-Mode Threshold, High		OVP, ILIM_	VCC - 1.5		VCC - 0.4	V				
		FB1	1.9	2.0	2.1					
OUT_ Input Resistance	ROUT1	VOUT1 = 1.5V	75			kΩ				
	ROUT2	VOUT2 = 2.5V	100							
FB_ Input-Bias Current	IFB		-0.1		+0.1	μA				
Soft-Start Ramp Time		Zero to full ILIM		1700		μs				

シャットダウン時ハイインピーダンスの、 デュアル、高効率、ステップダウンコントローラ

MAX8743

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = AGND$, $V_+ = 15V$, $T_A = 0^\circ C$ to $+85^\circ C$, typical values are at $+25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
On-Time, Side 1	t_{ON1}	$V_+ = 24V$, $V_{OUT1} = 2V$ (Note 3)	TON = AGND	120	137	153	ns
			TON = REF	153	174	195	
			TON = float	222	247	272	
			TON = V_{CC}	316	353	390	
On-Time, Side 2	t_{ON2}	$V_+ = 24V$, $V_{OUT2} = 2V$ (Note 3)	TON = AGND	160	182	204	ns
			TON = REF	205	234	263	
			TON = float	301	336	371	
			TON = V_{CC}	432	483	534	
On-Time Tracking		On-time 2 with respect to on- time 1 (Note 3)	TON = AGND	125	135	145	%
			TON = REF	125	135	145	
			TON = float	125	135	145	
			TON = V_{CC}	125	135	145	
Minimum Off-Time	t_{OFF}	(Note 3)		400	500	ns	
Quiescent Supply Current (V_{CC})	I_{CC}	FB_ forced above the regulation point		1100	1500	μA	
Quiescent Supply Current (V_{DD})	I_{DD}	FB_ forced above the regulation point		<1	5	μA	
Quiescent Supply Current (V_+)	I_+	Measured at V_+		25	70	μA	
Shutdown Supply Current (V_{CC})		ON1 = ON2 = AGND, OVP = V_{CC}		<1	5	μA	
Shutdown Supply Current (V_{DD})		ON1 = ON2 = AGND		<1	5	μA	
Shutdown Supply Current (V_+)		ON1 = ON2 = AGND, measured at V_+ , $V_{CC} = AGND$ or 5V		<1	5	μA	
Reference Voltage	V_{REF}	$V_{CC} = 4.5V$ to $5.5V$, no external REF load	1.98	2	2.02	V	
Reference Load Regulation		$I_{REF} = 0$ to $50\mu A$			0.01	V	
REF Sink Current		REF in regulation	10			μA	
REF Fault Lockout Voltage		Falling edge, hysteresis = 40mV		1.6		V	
Overshoot Trip Threshold (Fixed-Threshold Mode)		OVP = AGND, with respect to error- comparator trip threshold	112	114	117	%	
Overshoot Comparator Offset (Adjustable-Threshold Mode)		$1V < V_{OVP} < 1.8V$, external feedback, measured at FB_ with respect to V_{OVP}	-28	0	+28	mV	
		$1V < V_{OVP} < 1.8V$, internal feedback, measured at OUT_ with respect to OUT_ regulation point	-3.5	0	+3.5	%	
OVP Input Leakage Current		$1V < V_{OVP} < 1.8V$	-100	<1	+100	nA	
Overshoot Fault Propagation Delay		FB_ forced 2% above trip threshold		1.5		μs	
Output Undervoltage Threshold		UVP = V_{CC} , with respect to error-comparator trip threshold	65	70	75	%	
Output Undervoltage Protection Blanking Time		From ON_ signal going high	10		30	ms	

シャットダウン時ハイインピーダンスの、 デュアル、高効率、ステップダウンコントローラ

MAX8743

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = AGND$, $V_+ = 15V$, $T_A = 0^\circ C$ to $+85^\circ C$, typical values are at $+25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current-Limit Threshold (Fixed)		AGND - V_{CS_-} , $ILIM_- = V_{CC}$	40	50	60	mV
Current-Limit Threshold (Adjustable)		AGND - V_{CS_-} , $ILIM_- = 0.5V$	40	50	60	mV
		AGND - V_{CS_-} , $ILIM_- = 1V$	85	100	115	
ILIM_ Adjustment Range	V_{ILIM_-}		0.3		2.5	V
Negative Current-Limit Threshold (Fixed)		$V_{CS_-} - AGND$, $ILIM_- = V_{CC}$, $T_A = +25^\circ C$	-75	-60	-45	mV
Thermal-Shutdown Threshold		Hysteresis = $15^\circ C$		+160		$^\circ C$
V_{CC} Undervoltage-Lockout Threshold		Rising edge, hysteresis = 20mV, PWMs disabled below this level	4.05		4.40	V
DH Gate-Driver On-Resistance		BST - LX forced to 5V (Note 4)	MAX8743EEI	1.5	5	Ω
			MAX8743ETX	1.5	6	Ω
DL Gate-Driver On-Resistance		DL, high state (Note 4)	MAX8743EEI	1.5	5	Ω
			MAX8743ETX	1.5	6	Ω
DL Gate-Driver On-Resistance		DL, low state (Note 4)	MAX8743EEI	0.5	1.7	Ω
			MAX8743ETX	0.5	2.7	Ω
DH_ Gate-Driver Source/Sink Current		$V_{DH_-} = 2.5V$, $V_{BST_-} = V_{LX_-} = 5V$		1		A
DL_ Gate-Driver Sink Current		$V_{DL_-} = 2.5V$		3		A
DL_ Gate-Driver Source Current		$V_{DL_-} = 2.5V$		1		A
Logic Input High Voltage	V_{IH}	ON_- , \overline{SKIP}	2.4			V
		UVP	$V_{CC} - 0.4$			
Logic Input Low Voltage	V_{IL}	ON_- , \overline{SKIP}			0.8	V
		UVP			0.05	
TON Input Logic Level		V_{CC} level	$V_{CC} - 0.4$			V
		Float level	3.15		3.85	
		REF level	1.65		2.35	
		AGND level			0.5	
Logic Input Current		TON (AGND or V_{CC})	-3		+3	μA
Logic Input Current		ON_- , \overline{SKIP} , UVP	-1		+1	μA
PGOOD Trip Threshold (Lower)		With respect to error-comparator trip threshold, falling edge	-12.5	-10	-7.5	%
PGOOD Trip Threshold (Upper)		With respect to error-comparator trip threshold, rising edge	+7.5	+10	+12.5	%
PGOOD Propagation Delay		Falling edge, FB_- forced 2% below PGOOD trip threshold		1.5		μs
PGOOD Output Low Voltage		$I_{SINK} = 1mA$			0.4	V
PGOOD Leakage Current		High state, forced to 5.5V			1	μA

シャットダウン時ハイインピーダンスの、 デュアル、高効率、ステップダウンコントローラ

MAX8743

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = AGND$, $V_+ = 15V$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PWM CONTROLLERS						
Input Voltage Range	V_+	Battery voltage, V_+	2		28	V
	V_{CC}/V_{DD}	V_{CC} , V_{DD}	4.5		5.5	
DC Output Voltage, OUT1	V_{OUT1}	$V_+ = 2V$ to $28V$, $\overline{SKIP} = V_{CC}$, $I_{LOAD} = 0$ to $8A$ (Note 2)	FB1 to AGND	1.773	1.827	V
			FB1 to V_{CC}	1.477	1.523	
			FB1 to OUT1	0.985	1.015	
DC Output Voltage, OUT2	V_{OUT2}	$V_+ = 2V$ to $28V$, $\overline{SKIP} = V_{CC}$, $I_{LOAD} = 0$ to $4A$ (Note 2)	FB2 to AGND	2.463	2.537	V
			FB2 to OUT2	0.985	1.015	
Output Voltage Adjust Range		OUT1, OUT2	1.0		5.5	V
Dual-Mode Threshold, Low		OVP, FB_	0.05		0.15	V
Dual-Mode Threshold, High		OVP, ILIM_	$V_{CC} - 1.5$		$V_{CC} - 0.4$	V
		FB_	1.9		2.1	
OUT_ Input Resistance	ROUT1	$V_{OUT1} = 1.5V$	75			k Ω
	ROUT2	$V_{OUT2} = 2.5V$	100			
FB_ Input Bias Current	I_{FB}		-0.1		+0.1	μA
On-Time, Side 1	t_{ON1}	$V_+ = 24V$, $V_{OUT1} = 2V$ (Note 3)	TON = AGND	120	153	ns
			TON = REF	153	195	
			TON = float	217	272	
			TON = V_{CC}	308	390	
On-Time, Side 2	t_{ON2}	$V_+ = 24V$, $V_{OUT2} = 2V$ (Note 3)	TON = AGND	160	204	ns
			TON = REF	205	263	
			TON = float	295	371	
			TON = V_{CC}	422	534	
On-Time Tracking		On-time 2, with respect to on-time 1 (Note 3)	TON = AGND	125	145	%
			TON = REF	125	145	
			TON = float	125	145	
			TON = V_{CC}	125	145	
Minimum Off-Time	t_{OFF}	(Note 3)			500	ns
Quiescent Supply Current (V_{CC})	I_{CC}	FB forced above the regulation point			1500	μA
Quiescent Supply Current (V_{DD})	I_{DD}	FB forced above the regulation point			5	μA
Quiescent Supply Current (V_+)	I_+	Measured at V_+			70	μA
Reference Voltage	V_{REF}	$V_{CC} = 4.5V$ to $5.5V$, no external REF load	1.98		2.02	V
Reference Load Regulation		$I_{REF} = 0$ to $50\mu A$			0.01	V
Overshoot Trip Threshold (Fixed-Threshold Mode)		OVP = GND, with respect to FB_ regulation point, no load	112		117	%
Output Undervoltage Threshold		UVP = V_{CC} , with respect to FB_ regulation point, no load	65		75	%
Current-Limit Threshold (Fixed)		AGND - $V_{CS_}$, ILIM_ = V_{CC}	35		65	mV

シャットダウン時ハイインピーダンスの、 デュアル、高効率、ステップダウンコントローラ

MAX8743

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = AGND$, $V_+ = 15V$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted.) (Note 5)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Current-Limit Threshold (Adjustable)		AGND - $V_{CS_}$, $ILIM_ = 0.5V$	35		65	mV
		AGND - $V_{CS_}$, $ILIM_ = 1V$	80		120	
V_{CC} Undervoltage-Lockout Threshold		Rising edge, hysteresis = 20mV, PWMs disabled below this level	4.05		4.40	V
Logic Input High Voltage	V_{IH}	ON_, \overline{SKIP}	2.4			V
		UVP	$V_{CC} - 0.4$			
Logic Input Low Voltage	V_{IL}	ON_, \overline{SKIP}			0.8	V
		UVP			0.05	
Logic Input Current		TON (AGND or V_{CC})	-3		+3	μA
		ON_, \overline{SKIP} , UVP	-1		+1	

Note 2: When the inductor is in continuous conduction, the output voltage will have a DC regulation level higher than the error-comparator threshold by 50% of the output voltage ripple. In discontinuous conduction ($\overline{SKIP} = AGND$, light load), the output voltage has a DC regulation higher than the error-comparator threshold by approximately 1.5% due to slope compensation.

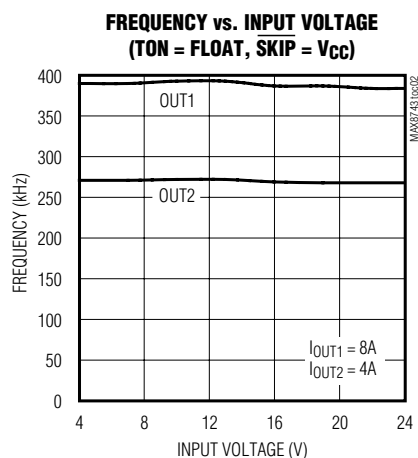
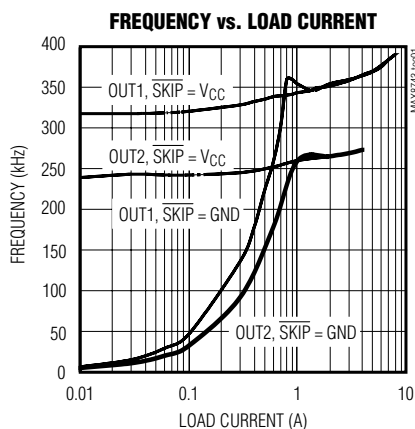
Note 3: On-time and off-time specifications are measured from the 50% point to the 50% point at $DH_$ with $LX_ = GND$, $BST_ = 5V$, and a 250pF capacitor connected from $DH_$ to $LX_$. Actual in-circuit times may differ due to MOSFET switching speeds.

Note 4: Production testing limitations due to package handling require relaxed maximum on-resistance specifications for the QFN package. The MAX8743EEI and MAX8743ETX contain the same die, and the QFN package imposes no additional resistance in-circuit.

Note 5: Specifications to $-40^\circ C$ are guaranteed by design, not production tested.

標準動作特性

(Circuit of Figure 1, components from Table 1, $V_{IN} = 15V$, $\overline{SKIP} = GND$, TON = unconnected, $T_A = +25^\circ C$, unless otherwise noted.)

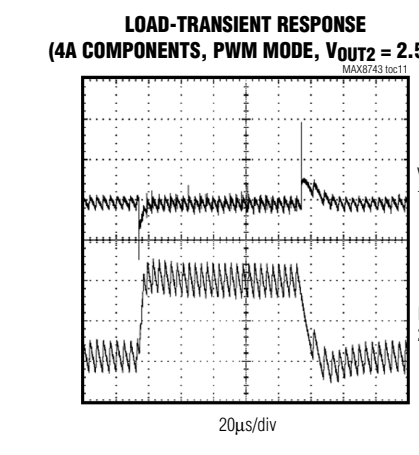
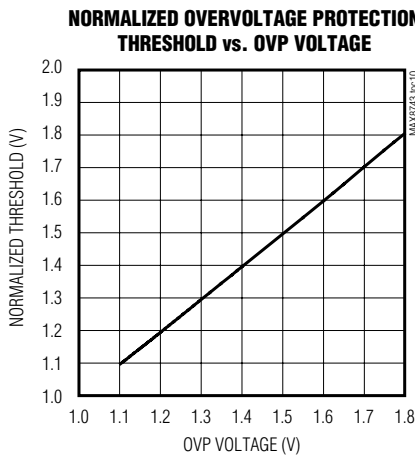
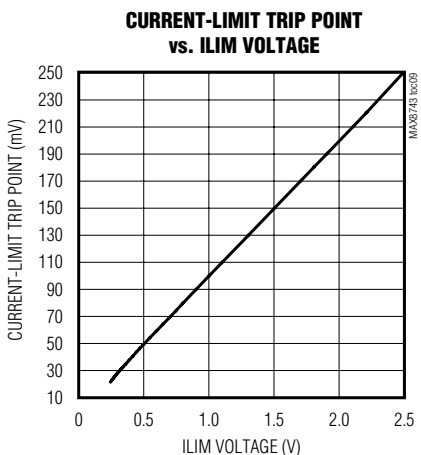
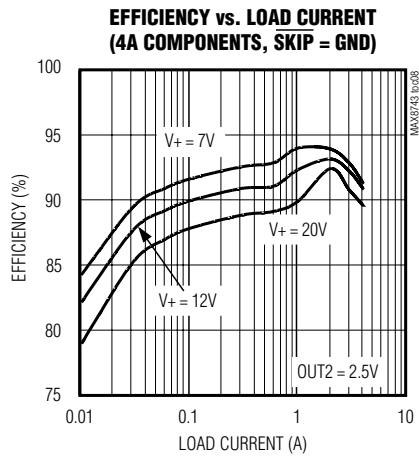
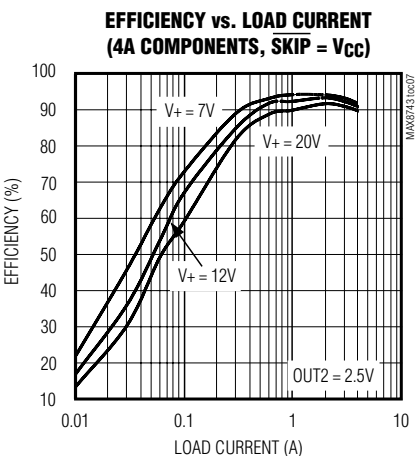
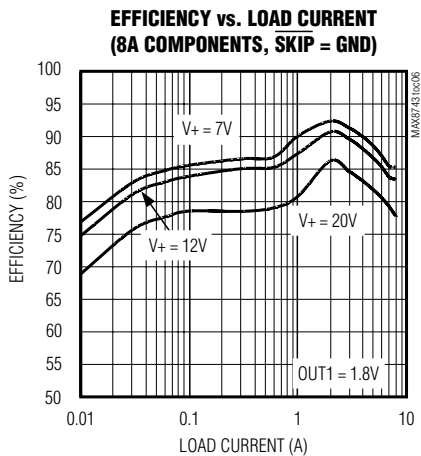
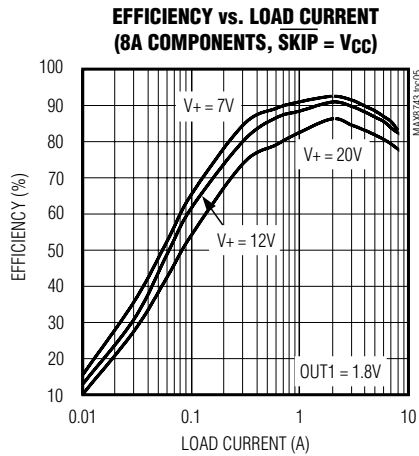
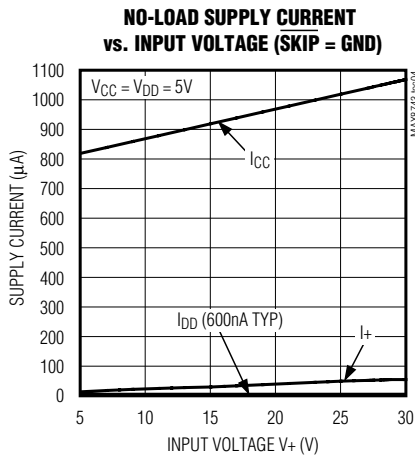
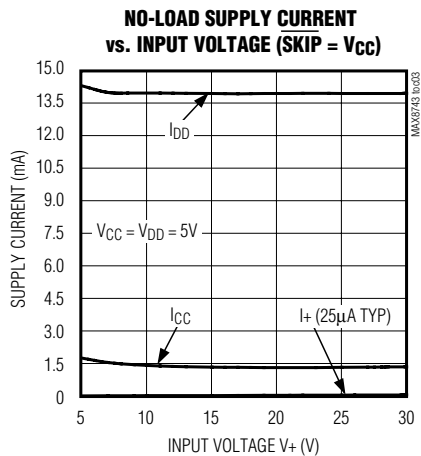


シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

標準動作特性(続き)

(Circuit of Figure 1, components from Table 1, $V_{IN} = 15V$, $\overline{SKIP} = GND$, $T_{ON} = \text{unconnected}$, $T_A = +25^\circ C$, unless otherwise noted.)



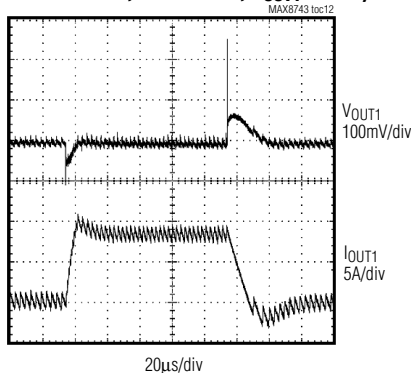
シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

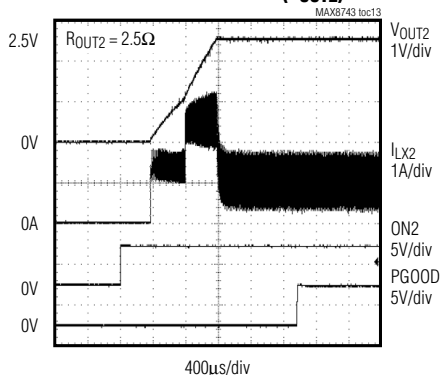
標準動作特性(続き)

(Circuit of Figure 1, components from Table 1, $V_{IN} = 15V$, $\overline{SKIP} = GND$, $TON = \text{unconnected}$, $T_A = +25^\circ C$, unless otherwise noted.)

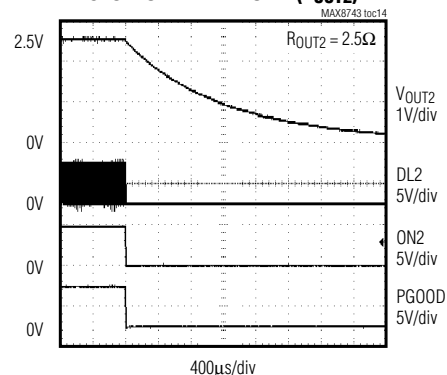
LOAD-TRANSIENT RESPONSE
(8A COMPONENTS, PWM MODE, $V_{OUT1} = 1.8V$)



STARTUP WAVEFORM (V_{OUT2})



SHUTDOWN WAVEFORM (V_{OUT2})



端子説明

端子		名称	機能		
QSOP	TQFN				
1	32	OUT1	OUT1 PWMの出力電圧接続。外付けインダクタと出力フィルタコンデンサとの接続点に直接接続します。OUT1は出力電圧を検出してオン時間を決定し、固定出力モードでフィードバック入力としても機能します。		
2	33	FB1	OUT1のフィードバック入力。1.8Vの固定出力の場合はGNDに、1.5Vの固定出力の場合は V_{CC} に接続します。または1V~5.5Vの可変出力の場合はOUT1から抵抗分圧器回路に接続します。		
3	34	ILIM1	OUT1の電流制限スレッシュホールドの調整。CS1の電流制限スレッシュホールドは、ILIM1の電圧の0.1倍です。電流制限スレッシュホールドを25mV~250mV(ILIMで0.25V~2.5Vの場合)に設定するには、REFから抵抗分圧器回路を接続します。50mVのデフォルト電流制限スレッシュホールドをアサートするには、 V_{CC} に接続します。		
4	35	V+	バッテリー電圧検出接続。入力電力ソースに接続します。V+を使って、疑似固定周波数動作用にDH_のオン時間を調整することができます。		
5	1	TON	オン時間選択制御入力。この4レベルの入力端子によって、DH_のオン時間を設定して、動作周波数を決定します。		
			TON	FREQUENCY (OUT1) (kHz)	FREQUENCY (OUT2) (kHz)
			AGND	620	460
			REF	485	355
			Open	345	255
		Vcc	235	170	
6	2	\overline{SKIP}	パルススキップ制御入力。低ノイズ強制PWMモードの場合は、 V_{CC} に接続します。パルススキップ動作をイネーブルするには、AGNDに接続します。		

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

端子説明(続き)

端子		名称	機能
QSOP	TQFN		
7	3	PGOOD	パワーグッドオープンドレイン出力。どちらかの出力電圧が1.7msのソフトスタート時間の間に公称レギュレーション点より10%以上、上回るか下回ると、PGOODはローになります。
8	4	OVP	過電圧保護スレッショルド。FB1またはFB2の電圧が設定した過電圧トリップスレッショルドを上回ると、過電圧障害が発生します。調整範囲は、1V(100%)~1.8V(180%)です。公称電圧の114%であるデフォルト過電圧スレッショルドを設定するには、OVPをGNDに接続します。OVPをディセーブルし、OVPのラッチをクリアするには、V _{CC} に接続します。
9	5	UVP	低電圧保護スレッショルド。FB1またはFB2の電圧が低電圧トリップスレッショルド(公称電圧の70%)を下回ると、低電圧障害が発生します。低電圧保護をイネーブルするには、UVPをV _{CC} に接続します。低電圧保護をディセーブルし、UVPのラッチをクリアするには、GNDに接続します。
10	7	REF	+2.0Vのリファレンス電圧出力。0.22μF(min)のコンデンサでGNDにバイパスします。外付け負荷に50μAを供給可能です。
11	8	ON1	OUT1のON/OFF制御入力。OUT1をターンオフするには、AGNDに接続します。OUT1をターンオンするには、V _{CC} に接続します。
12	11	ON2	OUT2のON/OFF制御入力。OUT2をターンオフするには、AGNDに接続します。OUT2をターンオンするには、V _{CC} に接続します。
13	12	ILIM2	OUT2の電流制限スレッショルドの調整。CS2の電流制限スレッショルドは、ILIM2の電圧の0.1倍です。電流制限スレッショルドを25mV~250mV(ILIMで0.25V~2.5Vの場合)に設定するには、REFから抵抗分圧器回路を接続します。50mVのデフォルト電流制限スレッショルドをアサートするには、V _{CC} に接続します。
14	13	FB2	OUT2のフィードバック入力。2.5Vの固定出力の場合はGNDに接続します。または1V~5.5Vの変出力の場合はOUT2から抵抗分圧器回路に接続します。
15	14	OUT2	OUT2 PWMの出力電圧接続。外付けインダクタと出力フィルタコンデンサとの接続点に直接接続します。OUT2は出力電圧を検出してオン時間を決定し、固定出力モードでフィードバック入力としても機能します。
16	15	CS2	OUT2の電流検出入力。CS2は、谷間電流制限用の電流制限回路への入力です。コストを最低限に抑え、効率を最大にするには、LX2に接続します。精度を最高にするには、検出抵抗を使用します。「電流制限回路(ILIM ₂)」の項を参照してください。
17	16	LX2	OUT2の外付けインダクタ接続。インダクタのスイッチト側に接続します。LX2は、DH2ハイサイドゲートドライバ用の内蔵低電源電圧レールとして機能します。
18	18	DH2	OUT2のハイサイドゲートドライバ出力。LX2からBST2にシングします。
19	19	BST2	OUT2のブーストフライングコンデンサ接続。図1の標準動作回路に従って、外付けコンデンサ及びダイオードに接続します。「MOSFETゲートドライバ(DH ₂ 、DL ₂)」の項を参照してください。
20	20	DL2	OUT2のローサイドゲートドライバ出力。DL2は、PGNDからV _{DD} にシングします。
21	21	V _{DD}	DLゲートドライバの電源入力。+4.5V~+5.5Vのシステム電源電圧に接続します。4.7μFの低ESRコンデンサでPGNDにバイパスします。
22	22	V _{CC}	アナログ電源入力。20Ωの直列抵抗でシステム電源電圧(+4.5V~+5.5V)に接続します。1μFのコンデンサでAGNDにバイパスします。
23	—	GND	グラウンド。統合されたアナロググラウンド及び電源グラウンド。CS ₂ アンプの負入力として機能します。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

端子説明(続き)

端子		名称	機能
QSOP	TQFN		
—	23	AGND	アナロググランド。CS_アンプの負入力として機能します。裏面パッドをAGNDに接続します。
—	24	PGND	電源グランド
24	26	DL1	OUT1のローサイドゲートドライバ出力。DL1は、PGNDからV _{DD} にスイングします。
25	27	BST1	OUT1のブーストフライングコンデンサ接続。図1の標準動作回路に従って、外付けコンデンサ及びダイオードに接続します。「MOSFETゲートドライバ(DH_、DL_)」の項を参照してください。
26	28	DH1	OUT1のハイサイドゲートドライバ出力。LX1からBST1にスイングします。
27	30	LX1	OUT1の外付けインダクタ接続。インダクタのスイッチされる側に接続します。LX1は、DH1ハイサイドゲートドライバ用の内蔵低電源電圧レールとして機能します。
28	31	CS1	OUT1の電流検出入力。CS1は、谷間電流制限用の電流制限回路への入力です。コストを最低限に抑え、効率を最大にするには、LX1に接続します。精度を最高にするには、検出抵抗を使用します。「電流制限回路(ILIM_)」の項を参照してください。
—	6, 9, 10, 17, 25, 29, 36	N.C.	接続なし

標準動作回路

標準動作回路(図1)は、ノートブックコンピュータで1.8V及び2.5Vの汎用レールを生成します。

部品の選択については、表1を参照してください。表2は、製造メーカーを示しています。

詳細

MAX8743バックコントローラは、ノートブックコンピュータの低電圧電源用に設計されています。MAX8743のマキシム独自のQuick-PWMパルス幅変調器(図2)は特に高速負荷ステップの処理用に設計され、広範囲の入力電圧にわたって比較的一定の動作周波数とインダクタ動作点を維持します。Quick-PWMアーキテクチャによって、固定周波数電流モードPWMの不適切な負荷過渡タイミングの問題が回避され、また標準的な一定オン時間及び一定オフ時間PWM方式でスイッチング周波数を広範囲に変化させると発生する問題も回避されます。

5Vのバイアス電源電圧(V_{CC}及びV_{DD})

MAX8743には、バッテリーのほかに5Vの外付けバイアス電源も必要です。通常は、この5Vのバイアス電源は、ノートブックコンピュータの95%効率、5Vのシステム電源になります。バイアス電源をこのICに外付けすると、効率が向上し、そうでない場合はPWM回路やゲートドライバに必要な5Vのリニアレギュレータに伴うコストが不要になります。スタンドアロン機能が必要な場合は、

MAX1615などの外付けリニアレギュレータで5Vのバイアス電源を生成することができます。

入力電源が4.5V~5.5Vの固定電源の場合は、電源入力と5Vのバイアス入力をまとめて接続することができます。5Vのバイアス電源がバッテリー電源より先に電源投入される場合は、起動を確保するバッテリー電圧が得られるまで、イネーブル信号(ON1、ON2)を遅延させる必要があります。5Vのバイアス電源は、V_{CC}とゲート駆動電源を供給する必要があります。このため、最大消費電流は以下のとおりです。

$$I_{BIAS} = I_{CC} + f(Q_{G1} + Q_{G2}) = 5mA \sim 30mA \text{ (typ)}$$

ここで、I_{CC}は1mA (typ)、fはスイッチング周波数、Q_{G1}及びQ_{G2}はV_{GS} = 5V時のMOSFETデータシートの総ゲートチャージ仕様制限値です。

入力フィードフォワード付フリーランニング、一定オン時間PWMコントローラ

Quick-PWM制御アーキテクチャは、電圧フィードフォワード付、疑似固定周波数、一定オン時間、電流モード方式です(図3)。このアーキテクチャは、電流検出抵抗として機能する出力フィルタコンデンサの実効直列抵抗(ESR)に基づいています。このため、PWMランプ信号は出力リップル電圧から得られます。この制御アルゴリズムは、以下のようにシンプルです。すなわち、パルス幅が入力電圧に反比例し、出力電圧に正比例するワンショットのみによって、ハイサイドスイッチのオン

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

時間が決まります。もう1つのワンショットによって、最小オフ時間(typ、400ns)が設定されます。エラーコンパレータがローで、ローサイドスイッチの電流が電流制限スレッシュホールドを下回り、最小オフ時間のワンショットがタイムアウトになった場合に、オン時間のワンショットがトリガされます(表3)。

オン時間ワンショット(TON)

PWMコアの心臓部は、両コントローラのハイサイドスイッチのオン時間を設定するワンショットです。高速、低ジッタ、調整可能なこのワンショットは、バッテリー電圧及び出力電圧に応じてオン時間を変える回路を搭載しています。ハイサイドスイッチのオン時間は、V+入力で測定されるバッテリー電圧に反比例し、出力電圧に正比例します。このアルゴリズムによって、固定周波数クロック発振器がないにもかかわらずスイッチング周波数がほぼ固定されます。固定スイッチング周波数の利点は2つあります。まず、455kHz IF帯域などのノイズに敏感な領域を避けるように周波数を選択することができ、次にインダクタのリプル電流動作点が比較的一定のため、設計方法が容易になり、出力電圧リップルが予測可能になります。サイド1のオン時間は、

サイド2のオン時間に比べ35%長く設定されます。これは、これらの2つのサイド間のオーディオ周波数の「ビート」を防ぐために実行されます。2つのサイドは各サイドに対して非同期でスイッチングします。オン時間は、次式で求められます。

$$\text{On-time} = K (V_{\text{OUT}} + 0.075\text{V}) / V_{\text{IN}}$$

ここで、KはTONピンストラップ接続で設定され(表4)、0.075VはローサイドMOSFETスイッチ両端の予想電圧降下に対応する概算値です。伝播遅延は固定であるため、オン時間の設定が短いほどワンショットタイミング誤差が増大し、高周波数では約±12.5%、低周波数では±10%になります。このため、高周波数ではスイッチング周波数の精度が低下することになります(表4)。ローサイドMOSFET両端の電圧降下が増大するため、スイッチング周波数は負荷電流の関数として上昇します。このため、インダクタ電流放電ランプが速くなります。「電気的特性(Electrical Characteristics)」で保証されるオン時間は、外付けハイサイドパワーMOSFETのスイッチング遅延から影響を受けます。

スイッチング周波数の精度に影響を与える2つの外部要因は、2つの伝導ループにおける抵抗の電圧降下(インダクタ及びプリント基板の抵抗を含む)とデッドタイム

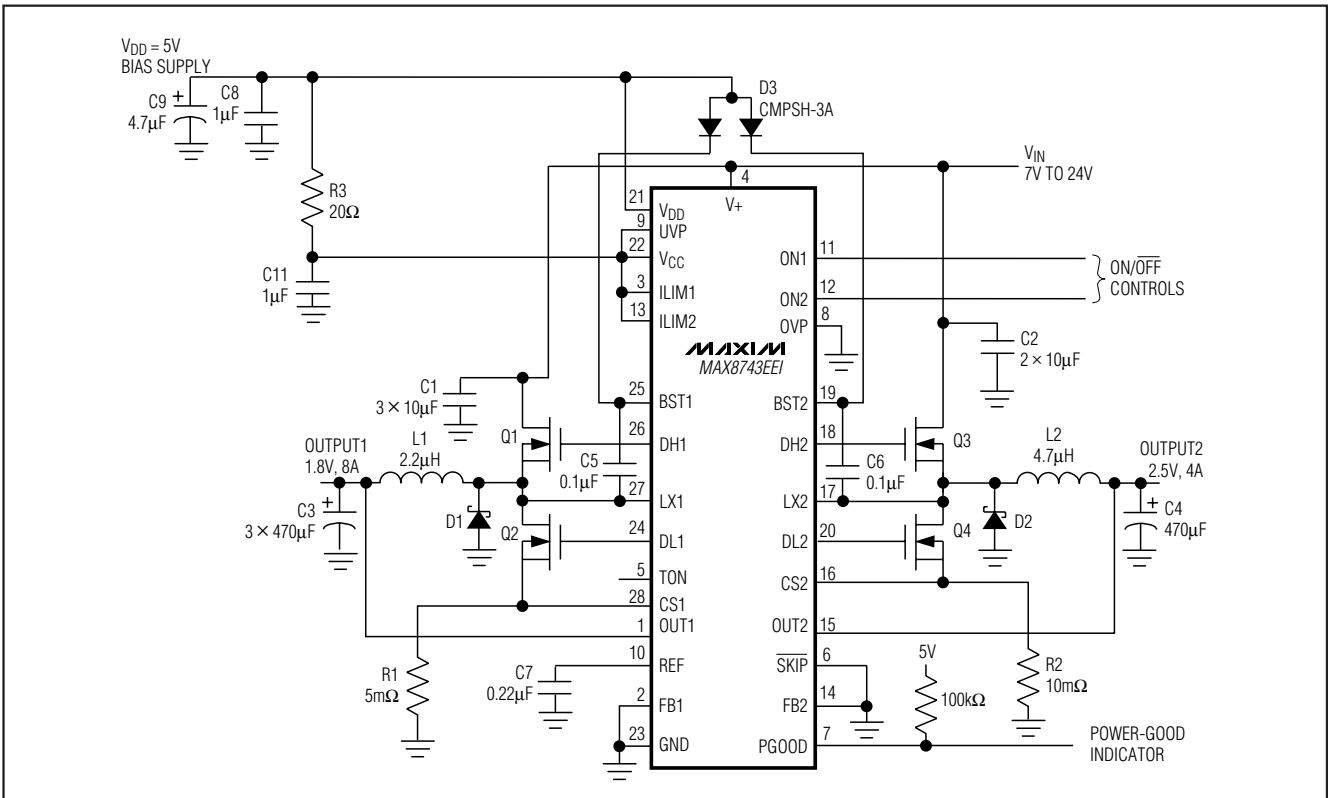


図1. 標準動作回路

シャットダウン時ハイインピーダンスの、 デュアル、高効率、ステップダウンコントローラ

MAX8743

表1. 標準アプリケーション用の部品の選択

COMPONENT	SIDE 1: 1.8V AT 8A/ SIDE 2: 2.5V AT 4A
Input Range	4.5V to 28V
Q1 High-Side MOSFET	Fairchild Semiconductor FDS6612A
Q2 Low-Side MOSFET	Fairchild Semiconductor FDS6670A
Q3, Q4 High/Low-Side MOSFETs	Fairchild Semiconductor FDS6982A
D1, D2 Rectifier	Nihon EP10QY03
D3 Rectifier	Central Semiconductor CMPSH-3A
L1 Inductor	2.2μH Panasonic ETQP6F2R2SFA or Sumida CDRH127-2R4
L2 Inductor	4.7μH Sumida CDRH124-4R7MC
C1 (3), C2 (2) Input Capacitor	10μF, 25V Taiyo Yuden TMK432BJ106KM or TDK C4532X5R1E106M
C3 (3), C4 Output Capacitor	470μF, 6V Kemet T510X477M006AS or Sanyo 6TPB330M
R _{SENSE1}	5mΩ, ±1%, 1W IRC LR2512-01-R005-F or Dale WSL-2512-R005F
R _{SENSE2}	10mΩ, ±1%, 0.5W IRC LR2010-01-R010-F or Dale WSL-2010-R010F

効果です。これらの影響が負荷電流の変化に伴う周波数変動の最大の要因です。デッドタイム効果によって有効オン時間が増大し、1つまたは両デッドタイムと共にスイッチング周波数が下がります。この効果は、PWMモード(SKIP=ハイ)で、インダクタ電流が軽負荷電流や負の負荷電流で反転している場合にのみ発生します。逆インダクタ電流の場合は、インダクタのEMFによってLXは通常より早くハイになり、ローからハイへのデッドタイムだけオン時間が長くなります。

臨界導通点を上回る負荷の場合は、実際のスイッチング周波数は次のとおりです。

表2. 部品メーカ

MANUFACTURER	WEBSITE
Central Semiconductor	www.centrasemi.com
Fairchild Semiconductor	www.fairchildsemi.com
International Rectifier	www.irf.com
IRC	www.ircct.com
Kemet	www.kemet.com
NIEC (Nihon)	www.niec.co.jp
Panasonic	www.panasonic.com
Sanyo	www.sanyo.com/components
Sumida	www.sumida.com
Taiyo Yuden	www.t-yuden.com
TDK	www.component.tdk.com
Vishay/Dale	www.vishay.com

$$f = \frac{V_{OUT} + V_{DROP1}}{t_{ON}(V_{IN} + V_{DROP2})}$$

ここで、V_{DROP1}は同期整流器、インダクタ、プリント基板の抵抗などのインダクタ放電経路の寄生抵抗の電圧降下の合計値、V_{DROP2}は充電経路の抵抗の合計値、そしてt_{ON}はMAX8743で計算されるオン時間です。

自動パルススキップ切替え

スキップモード(SKIP=GND)では、パルス周波数変調(PFM)への固有の自動切替えは軽負荷時に行われます。この切替えは、インダクタ電流のゼロクロスでローサイドスイッチのオン時間を短縮するコンパレータから影響を受けます。このメカニズムによって、パルススキップPFM動作と非スキップPWM動作間のスレッショルドが、連続及び断続のインダクタ電流動作間の境界(別名、臨界導通点)と一致します。7V~24Vのバッテリー範囲では、このスレッショルドはバッテリー電圧に多少依存しますが比較的一定です。

$$I_{LOAD(SKIP)} \approx \frac{K \times V_{OUT-}}{2L} \left(\frac{V_{IN} - V_{OUT-}}{V_{IN}} \right)$$

ここで、Kはオン時間スケールファクタです(表4)。PFM/PWMクロスオーバーが発生する負荷電流レベルI_{LOAD(SKIP)}は、インダクタ値の関数であるピークトゥピークリップル電流の1/2です(図4)。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

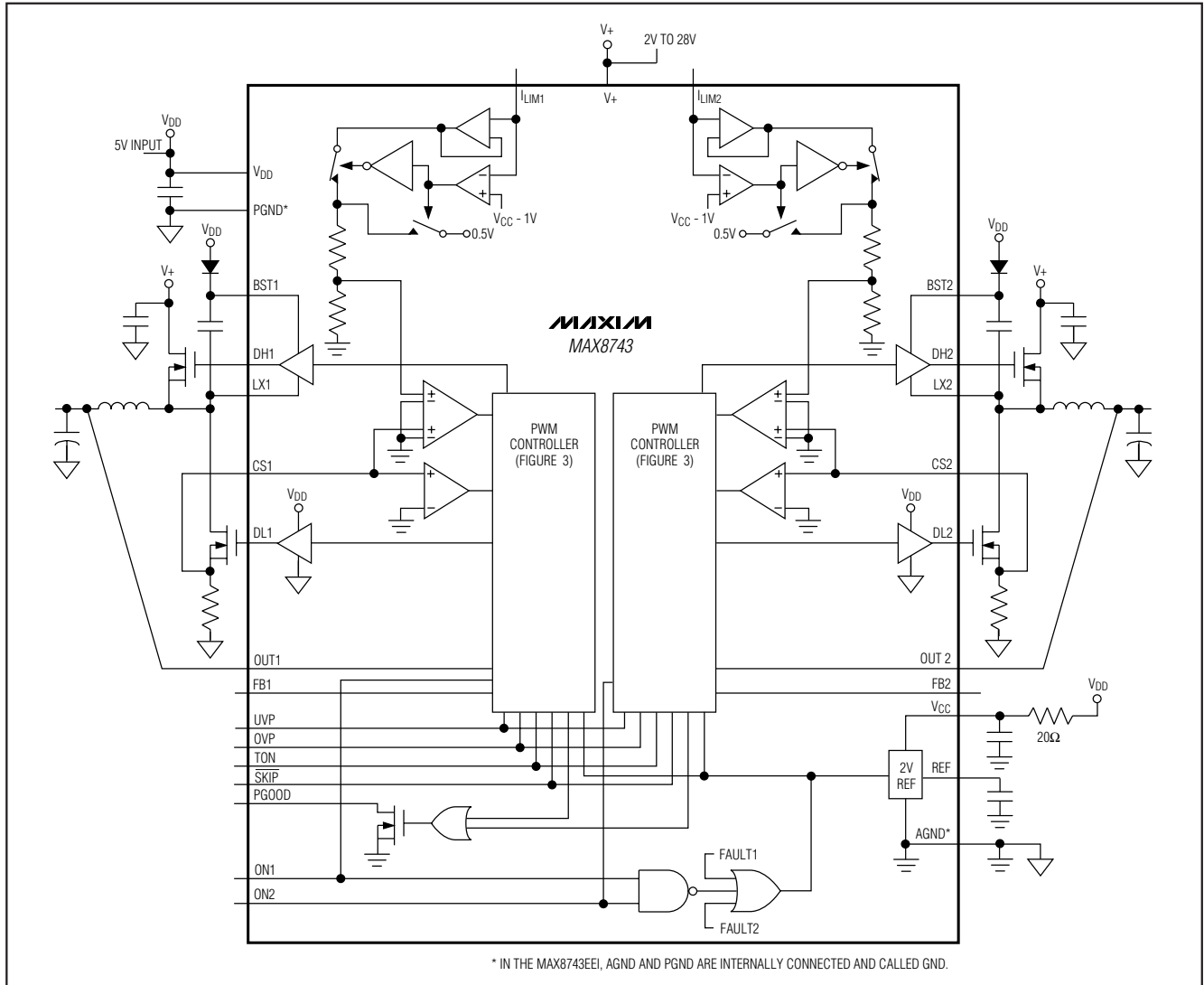


図2. ファンクションダイアグラム

たとえば、 $V_{OUT1} = 2.5V$ 、 $V_{IN} = 15V$ 、及び $K = 2.96\mu s$ (表4)の標準動作回路では、パルススキップ動作への切替えは $I_{LOAD} = 0.7A$ すなわち全負荷の約1/6で行われます。スイング(ソフト飽和)インダクタが使用される場合は、クロスオーバー点はさらに低い値で発生します。軽負荷によってパルススキップ動作が行われると、スイッチング波形はノイズが多く、非同期のように見える場合がありますが、これは軽負荷効率を向上する正常な動作状態です。PFMノイズと軽負荷効率間のトレードオフは、インダクタ値を変更して行われます。通常、インダクタ値が小さくなると効率対負荷曲線が広がり、一方、値が大きくなると全負荷効率が向上し

(コイル抵抗は一定と仮定)、出力電圧リップルが低減します。大きなインダクタ値を使うデメリットには、物理サイズの増大と、(特に低入力電圧レベルでの)負荷過渡応答の悪化などがあります。

DC出力精度仕様は、エラーコンパレータのスレッシュホールドを参照します。インダクタが連続導通状態の場合は、出力電圧のDCレギュレーションはトリップレベルをリップルの50%だけ上回ります。断続導通状態 (SKIP = GND、軽負荷)では、スロープ補償のため、出力電圧のDCレギュレーションはトリップレベルを約1.5%上回ります。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

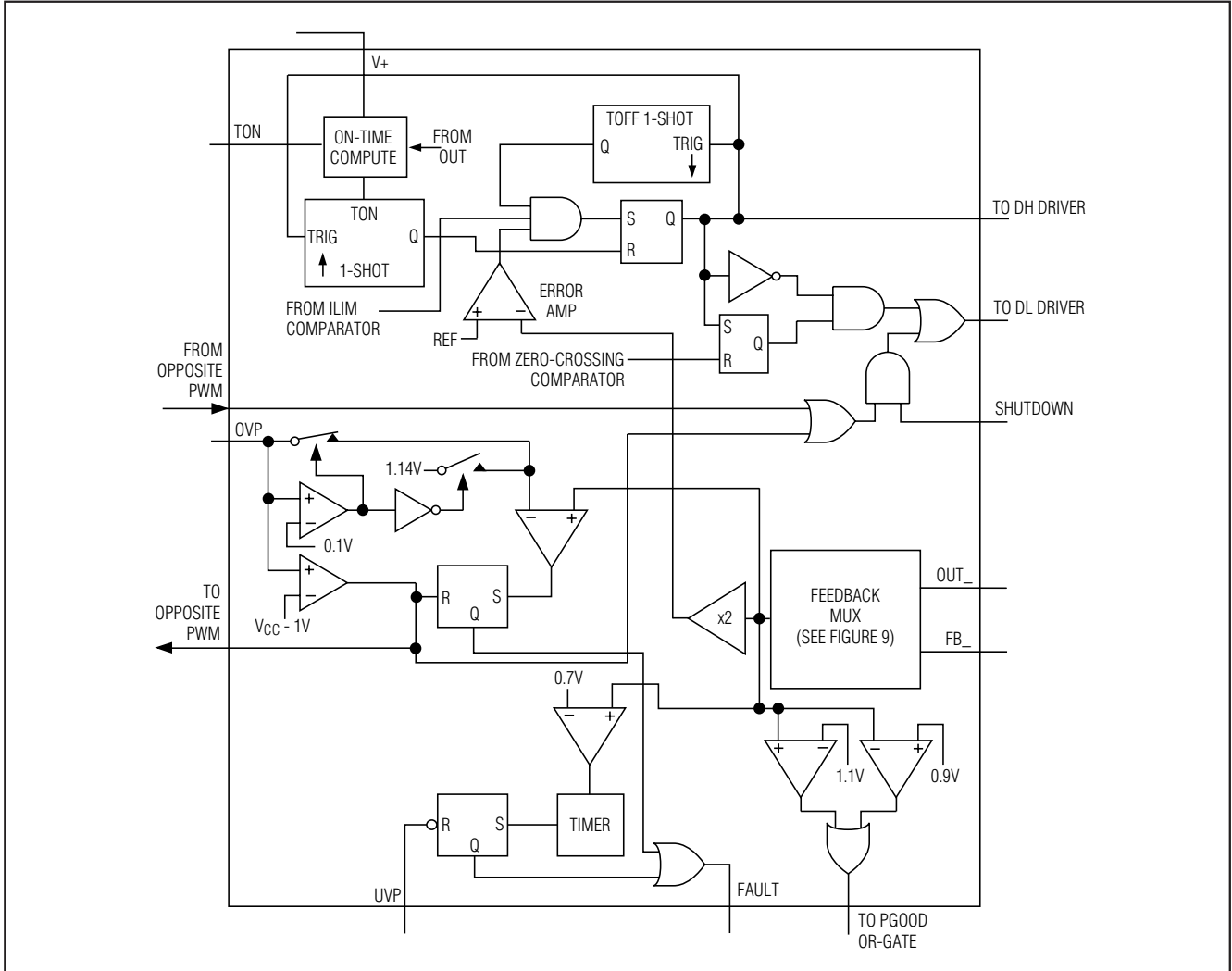


図3. PWMコントローラ(一面側のみ)

強制PWMモード(\overline{SKIP} = ハイ)

低ノイズ、強制PWMモード(\overline{SKIP} = ハイ)では、ローサイドスイッチのオン時間を制御するゼロクロスコンパレータがディセーブルされます。これによって、ローサイドゲート駆動波形がハイサイドゲート駆動波形と相補的になります。このため、PWMループがデューティ比率を V_{OUT}/V_{IN} に維持しようとするため、インダクタ電流が軽負荷時に逆転します。強制PWMモードの利点は、スイッチング周波数をほぼ一定に維持することですが、代償として、外付けMOSFETに応じて無負荷時のバッテリー電流が10mA~40mAになる場合があります。

強制PWMモードが最も役立つのは、オーディオ周波数ノイズを低減する場合、負荷過渡応答を向上する場合、

ダイナミック出力電圧調整用のシンク電流機能を装備する場合、及びフライバックトランスや結合インダクタを使用する複数出力アプリケーションのクロスレギュレーションを向上する場合です。

電流制限回路(ILIM₋)

電流制限回路は、独自の「谷間」電流検出アルゴリズムを採用しています。CS₋の電流検出信号が電流制限スレッシュホールドを上回ると、PWMは新しいサイクルを開始することはできません(図5)。実際のピーク電流は、電流制限スレッシュホールドをインダクタリップル電流の量だけ上回ります。このため、正確な電流制限特性と最大負荷性能は、検出抵抗、インダクタ値、及びバッテリー電圧の関数になります。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

表3. 動作モードの真理値表

ON1	ON2	SKIP	DL1/DL2	MODE	COMMENTS
GND	GND	X	Low/Low	Shutdown	Low-power shutdown state. $I_{CC} < 1\mu A$ (typ).
V _{CC}	GND	V _{CC}	Switching/Low	Run (PWM), Low Noise, Side 1 Only	Low-noise, fixed-frequency PWM at all load conditions. Low noise, high I_Q .
GND	V _{CC}	V _{CC}	Low/Switching	Run (PWM), Low Noise, Side 2 Only	
V _{CC}	V _{CC}	V _{CC}	Switching/Switching	Run (PWM), Low Noise, Both Sides Active	
V _{CC}	GND	GND	Switching/Low	Run (PWM/PFM), Skip Mode, Side 1 Only	Normal operation with automatic PWM/PFM switchover for pulse skipping at light loads. Best light-load efficiency.
GND	V _{CC}	GND	Low/Switching	Run (PWM/PFM), Skip Mode, Side 2 Only	
V _{CC}	V _{CC}	GND	Switching/Switching	Run (PWM/PFM), Skip Mode, Both Sides Active	
V _{CC}	V _{CC}	X	Low/Low	UV Fault (Either Side), Thermal Fault, or V _{CC} Below UVLO	Fault latch has been set by undervoltage protection circuit, thermal shutdown, or V _{CC} below UVLO. The MAX8743 remains in fault mode until V _{CC} power is cycled below POR or ON1/ON2 is toggled.
V _{CC}	V _{CC}	X	High/High	OV Fault (Either Side)	Fault latch has been set by overvoltage protection circuit. The MAX8743 remains in fault mode until V _{CC} power is cycled below the 2V (typ) POR level.

また、V_{OUT}が電流をシンクしているときに、過度の逆インダクタ電流を防ぐ負の電流制限もあります。負の電流制限スレッショルドは、正の電流制限値の約120%に設定されます。このため、ILIMの調整時に正の電流制限値をトラッキングします。

電流制限スレッショルドは、5 μ Aの内蔵電流ソースとILIMの外付け抵抗によって調整されます。電流制限スレッショルドの調整範囲は、25mV~250mVです。可変モードでは、電流制限スレッショルド電圧は、ILIMの電圧のちょうど1/10です。ILIMがV_{CC}に接続されている場合は、このスレッショルドはデフォルトで50mVになります。この50mVのデフォルト値への切替え用のロジックスレッショルドは、約V_{CC}-1Vです。

CS_及びGNDで見られる電流検出信号がノイズやDC誤差によって劣化しないように、プリント基板レイアウトのガイドラインを厳守してください。このICはローサイドMOSFETや検出抵抗の近くに取り付け、検出抵抗へのケルビン検出接続を短く直線のトレースで行います。図1で、ショットキダイオード(D1及びD2)は、それぞれQ2/R_{SENSE}及びQ4/R_{SENSE}電流経路と並列の電流経路を供給します。高精度電流検出を行う

には、Q2/Q4の導通時にD1/D2がオフである必要があります。Q2/Q4の両端の電圧と一緒に、D1/D2が導通可能な大きな電流検出電圧を回避します。極めて大きな検出電圧が使用される場合は、D1/D2をQ2/Q4のみと並列に接続します。

MOSFETゲートドライバ(DH_、DL_)

DH及びDLドライバは、中サイズのハイサイドパワーMOSFETと大サイズのローサイドパワーMOSFETの駆動に最適化されています。これは、V_{BATT}とV_{OUT}の差が大きいノートブックCPU環境に見られる低デューティファクタと適合しています。適応型デッドタイム回路はDL出力を監視し、DLが完全オフになる前にハイサイドFETがオンにならないようにします。適応型デッドタイム回路が正常に動作するには、DLドライバからMOSFETゲートへの低抵抗、低インダクタンス経路が必要です。こうした経路がない場合は、実際にはまだゲートに電荷が残っているのに、MAX8743の検出回路がMOSFETゲートを「オフ」とみなします。ごく短い、10~20平方の幅広の配線を使用します(MOSFETがMAX8743から1インチ(2.5cm)の位置にある場合は、50mil~100 milの幅)。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

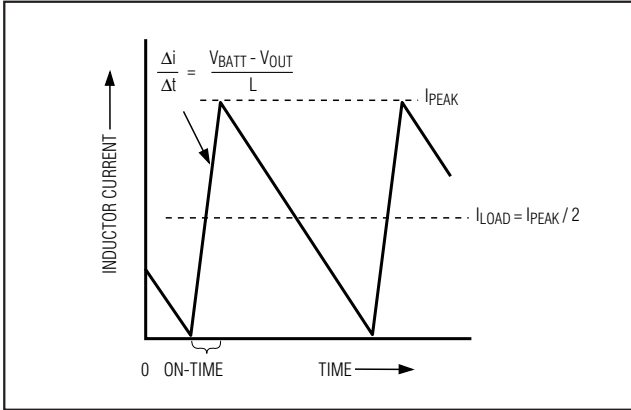


図4. パルススキップ/断続クロスオーバー点

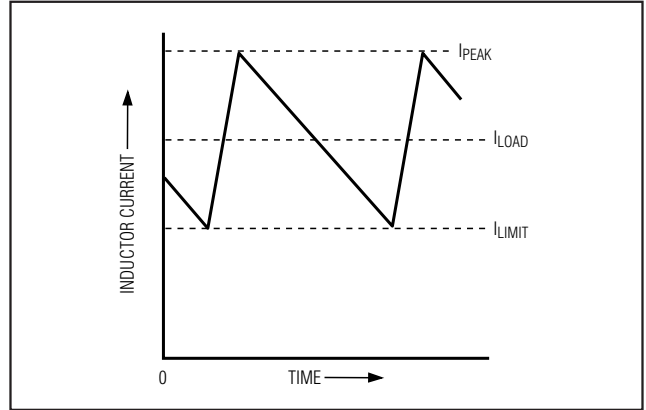


図5. 「谷間」電流制限スレッショルド点

反対側のエッジ(DHはターンオフ)のデッドタイムは、35ns (typ)の固定内部遅延によって決まります。

DLをローにする内蔵プルダウントランジスタは0.5Ω (typ)のオン抵抗を備え、堅牢です。このトランジスタは、ローサイド同期整流器MOSFETのドレイン-ゲート間の容量性結合によって、インダクタノードの高速立上り時間の間にDLがプルアップされないようにします。ただし、大電流アプリケーションの場合は、ハイサイド及びローサイドFETの組合せによっては過度なゲートドレイン結合が発生し、効率の低下やEMIを発生する貫通電流がもたらされる場合があります。この問題は通常、BSTと直列に抵抗を追加することで改善されますが、この場合ターンオフ時間を悪化させずにハイサイドFETのターンオン時間が増大します(図6)。

POR、UVLO、及びソフトスタート

V_{CC}が約2Vを上回るとパワーオンリセット(POR)が行われ、障害ラッチをリセットし、動作させるためにPWMを準備します。4.05V(min)以下でV_{CC}低電圧ロックアウト(UVLO)回路は、DH及びDLをローに維持して、スイッチングを抑制します。

ソフトスタートによって起動時の内部電流制限レベルの漸増を可能にし、入力サージ電流を低減します。ON1またはON2がハイになると、その該当するデジタル

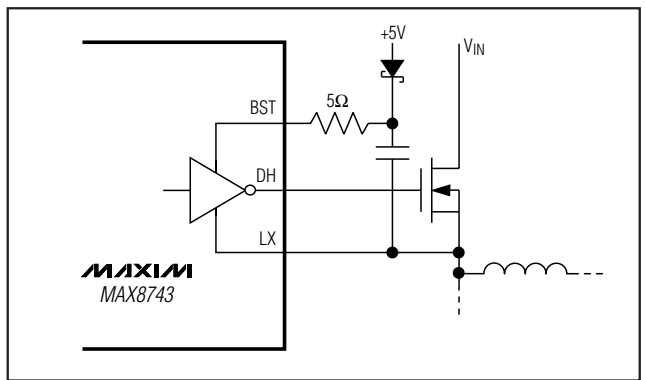


図6. スwitchingノード立上り時間の短縮

ソフトスタートタイマによって5つのステップで次第に最大許容電流制限値がランプアップします。最初のステップの間は、コントローラは電流制限値を全電流制限値のわずか20%に制限します。電流制限値は、425μsごとに20%上昇します。1.7msの±50%後に、100%の電流制限値を利用することができます。

連続的に調整可能なアナログソフトスタート機能は、ILIM外付け抵抗分圧器回路と並列にコンデンサを追加すると実現することができます。このソフトスタート方式には、コンデンサを放電するためにパワーダウンとパワーアップとの間に最小の時間間隔が必要です。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

パワーグッド出力(PGOOD)

PGOODウィンドウコンパレータは、過電圧及び低電圧状態があるかどうか出力電圧を継続的に監視します。シャットダウン、スタンバイ、及びソフトスタート時には、PGOODはアクティブのローに維持されます。デジタルソフトスタートが終了した後に、出力がエラーコンパレータスレッシュホールドの10%以内に達すると、PGOODがリリースされます。PGOOD出力は寄生ESDダイオードがない真のオープンドレインタイプです。なお、PGOODウィンドウ検出器は、出力過電圧及び低電圧保護(UVP)スレッシュホールドから独立しています。

出力過電圧保護

過電圧状態があるかどうか出力電圧を継続的に監視することができます。過電圧保護がイネーブルされている場合は、出力が過電圧スレッシュホールドを超えると、過電圧保護がトリガされ、DLローサイドゲートドライバがハイになります。するとローサイドMOSFETスイッチが起動され、この結果、出力コンデンサが急速放電され、入力電圧が低下します。

DLがハイにラッチされると、エネルギーがLCタンク回路内に事前に蓄積されている場合は、出力電圧が少し負に低下することに注意してください。負荷が負の電圧に耐えられない場合は、逆極性クランプとして動作するパワーショットキダイオードを出力の両端に配置します。公称出力の114%のデフォルトトリップレベルをイネーブルするには、OVPをGNDに接続します。過電圧保護トリップレベルを調整するには、OVPに1V(100%)~1.8V(180%)の電圧を印加します。OVPをV_{CC}に接続して、過電圧保護をディセーブルします。

過電圧トリップレベルは内蔵または外付け出力電圧フィードバック分圧器に依存し、出力電圧調整範囲(1V~5.5V)とOUT₋の絶対最大定格によって制限されます。過電圧スレッシュホールドを出力電圧調整範囲よりも高く設定することは推奨されません。

出力低電圧保護

低電圧状態があるかどうか出力電圧を継続的に監視することができます。低電圧保護がイネーブルされている場合は(UVP=V_{CC})、出力がエラーアンプトリップ電圧の70%を下回ると、低電圧保護がトリガされます。低電圧保護スレッシュホールドが設定されている場合は、DLローサイドゲートドライバはローにされ、出力はフロートになります。低電圧保護をディセーブルするには、UVPをGNDに接続します。

UVPをアクティブに駆動する場合は非標準ロジックレベルに注意してください(「電気的特性(Electrical Characteristics)」を参照)。

設計手順

スイッチング周波数とインダクタ動作点(リップル電流比)を選択する前に、入力電圧範囲と最大負荷電流を確定します。主な設計上のトレードオフは適切なスイッチング周波数とインダクタ動作点を選択することで決まり、以下の4つの要素によって設計のその他が決まります。

- 1) **入力電圧範囲。**最大値(V_{IN(MAX)})は、ワーストケースのACアダプタの高電圧に対応させる必要があります。最小値(V_{IN(MIN)})は、コネクタ、ヒューズ、及びバッテリー切替えスイッチに起因する電圧降下後の最低バッテリー電圧に対応させる必要があります。入力電圧を低くすると、効率が向上します。
- 2) **最大負荷電流。**考慮すべき値は2つあります。ピーク負荷電流(I_{LOAD(MAX)})によって瞬間的な素子ストレス及びフィルタリング要件が決まり、その結果、出力コンデンサの選択、インダクタ飽和定格、及び電流制限回路の設計が左右されます。連続負荷電流(I_{LOAD})によって熱ストレスが決まり、その結果、入力コンデンサ、MOSFET、及びその他の重要な発熱部品の選択が左右されます。
- 3) **スイッチング周波数。**この選択によって、サイズと効率間の基本的なトレードオフが決まります。MOSFETスイッチング損失は周波数とV_{IN}²に比例するため、最適な周波数は通常、最大入力電圧の関数です。
- 4) **インダクタ動作点。**この選択によって、サイズと効率間のトレードオフが行われます。インダクタ値が小さいとリップル電流が大きくなり、サイズが最小限に抑えられますが、効率は低下し出力ノイズが大きくなります。実用的な最小のインダクタ値は、臨界導通の端(最大負荷時にインダクタ電流が各サイクルでちょうどゼロに達する点)で回路が動作する値です。これを下回るインダクタ値は、サイズ縮小の利点がありません。

MAX8743のパルススキップアルゴリズムは、臨界導通点でスキップモードを開始します。このため、PFM/PWM切替えが発生する負荷電流値も、インダクタ動作点で決まります。最適な動作点は、通常、リップル電流の20%~50%の範囲内になります。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

インダクタの選択

スイッチング周波数(オン時間)と動作点(%リップルまたはLIR)によって、以下のようにインダクタ値が決まります。

$$L = \frac{V_{OUT} (V_{IN} - V_{OUT})}{V_{IN} \times f \times LIR \times I_{LOAD(MAX)}}$$

例： $I_{LOAD(MAX)} = 8A$ 、 $V_{IN} = 15V$ 、 $V_{OUT} = 1.8V$ 、 $f = 300kHz$ 、25%リップル電流または $LIR = 0.25$ ：

$$L = \frac{1.8V (15V - 1.8V)}{15V \times 345kHz \times 0.25 \times 8A} = 2.3\mu H$$

割り当てた大きさに収まる最低のDC抵抗を備える低損失インダクタを見つけます。鉄粉は安価で、200kHzで正常に動作可能ですが、通常、フェライトコアが最良の選択です。コアは、ピークインダクタ電流(I_{PEAK})で飽和しない大きさである必要があります。

$$I_{PEAK} = I_{LOAD(MAX)} + [(LIR / 2) \times I_{LOAD(MAX)}]$$

過渡応答

また、インダクタリップル電流は、特に $V_{IN} - V_{OUT}$ の差が小さいときは過渡応答性能に影響を与えます。インダクタ値が小さいとインダクタ電流のスルーレートが速くなり、急な負荷ステップで出力フィルタコンデンサから奪われた電荷が補充されます。また、出力降下量は最大デューティファクタの関数でもあり、以下のようにオン時間と最小オフ時間から計算することができます。

$$V_{SAG} = \frac{(\Delta I_{LOAD(MAX)})^2 \times L}{2 \times C_F \times DUTY (V_{IN(MIN)} - V_{OUT})}$$

ここで、

$$DUTY = \frac{K (V_{OUT} + 0.075V) V_{IN}}{K (V_{OUT} + 0.075V) V_{OUT} + \text{min off-time}}$$

ここでは、最小オフ時間 = 400ns typ(表4)

インダクタの蓄積エネルギーに起因する全負荷から無負荷への過渡時のオーバershoot量は、以下のように計算することができます。

$$V_{SOAR} = L \times I_{PEAK}^2 / (2 \times C_{OUT} \times V_{OUT})$$

ここでは、 I_{PEAK} は、ピークインダクタ電流です。

電流制限値の設定

ほとんどのアプリケーションでは、以下の手順によってMAX8743の電流制限値を設定します。

- 1) V_{IN} が低く、 V_{OUT} が高く、負荷電流が最大の状態で、最低(谷間)インダクタ電流($I_{L(MIN)}$)を決定します。最低インダクタ電流は、 I_{LOAD} からリップル電流の半分を引いた値です(図4)。
- 2) 検出抵抗によって、実現可能な電流制限精度が決まります。電流制限精度と検出抵抗消費電力の間にはトレードオフがあります。ほとんどのアプリケーションは、50mV~100mVの電流検出電圧を使用します。以下のような検出抵抗を選択します。

$$R_{SENSE} = \text{電流制限スレッショルド電圧} / I_{L(MIN)}$$

高精度電流検出が不要な特にコスト重視のアプリケーションでは、CS_をLX_に接続して、検出抵抗の代わりにローサイドMOSFETスイッチのオン抵抗を使用することができます(図7a)。MOSFETデータシートから $R_{DS(ON)}$ のワーストケースの値を使用し、温度による $R_{DS(ON)}$ の上昇を考慮したマージン0.5%/°Cを追加します。前記のステップ1から計算された $R_{DS(ON)}$ および $I_{L(MIN)}$ を使って、電流制限スレッショルド電圧を決定します。デフォルトの50mVスレッショルドが許容不可の場合は、前記のステップ2のようにスレッショルド値を設定します。

どの場合でも、電流検出及び抵抗精度を考慮して、許容可能な電流制限値を設定します。

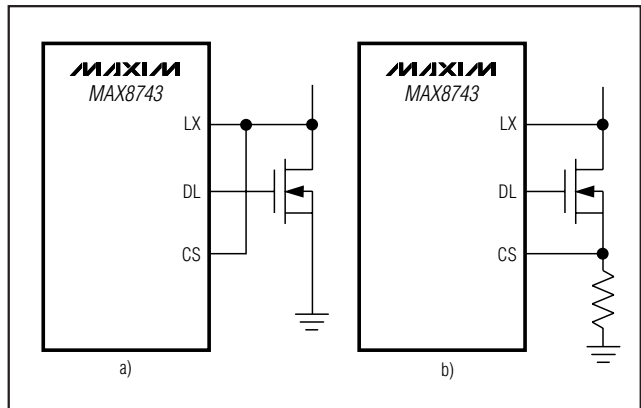


図7. 電流検出構成

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

表4. 周波数選択のガイドライン

TON SETTING	SIDE 1 FREQUENCY (kHz)	SIDE 1 K-FACTOR (μs)	SIDE 2 FREQUENCY (kHz)	SIDE 2 K-FACTOR (μs)	APPROXIMATE K-FACTOR ERROR (%)
VCC	235	4.24	170	5.81	±10
FLOAT	345	2.96	255	4.03	±10
REF	485	2.08	355	2.81	±12.5
AGND	620	1.63	460	2.18	±12.5

出力コンデンサの選択

出力フィルタコンデンサのESRは出力リップル及び負荷過渡要件を満たすのに十分な小ささである必要がありますが、安定性要件を満たすのに十分な大きさである必要もあります。また、容量値はOVP回路をトリップすることなく、全負荷から無負荷状態になるインダクタエネルギーを吸収可能な大きさである必要もあります。

出力が急激な負荷過渡にさらされるCPUコア電圧コンバータやその他のアプリケーションでは、出力コンデンサのサイズは負荷過渡での過剰な出力低下を排除するのに必要なESRの量に依存します。有限容量による電圧降下を無視すると、以下のとおりです。

$$R_{ESR} \leq \frac{V_{DIP}}{I_{LOAD(MAX)}}$$

CPU以外のアプリケーションでは、出力コンデンサのサイズは、以下のように、許容可能なレベルの出力電圧リップルを維持するのに必要なESRの値に依存します。

$$R_{ESR} \leq \frac{V_{p-p}}{LIR \times I_{LOAD(MAX)}}$$

実際に必要なマイクロファラッド容量値は、コンデンサ技術のほかに、低ESRを実現するのに必要な物理サイズも関係します。このため、コンデンサは、通常、容量値ではなくESR及び電圧定格によって選択します(これはタンタル、OS-CON®、その他の電解コンデンサにも該当します)。

セラミックまたはポリマタイプなどの低容量フィルタコンデンサを使用する場合は、通常、コンデンササイズは、負荷過渡時に V_{SAG} および V_{SOAR} が問題を起こさないようにするのに必要な容量によって決まります。また、容量は、インダクタの蓄積エネルギーによって出力が過電圧保護スレッショルド以上にならないような十分な大きさである必要もあります。通常、オーバーシュート要件を満たすのに十分な容量が追加されると、

負荷の立上りエッジでのアンダシュートは問題にならなくなります(「過渡応答」の項の V_{SAG} 及び V_{SOAR} の式を参照)。

出力コンデンサの安定性に関して

安定性は、スイッチング周波数に対するESRゼロの値によって決まります。不安定性の時点は、次式で求められます。

$$f_{ESR} \leq \frac{f_{SW}}{\pi}$$

ここで、

$$f_{ESR} = \frac{1}{2 \times \pi \times R_{ESR} \times C_F}$$

標準的な300kHzアプリケーションでは、ESRゼロ周波数は95kHzを大幅に下回る必要があります、50kHz以下が望まれます。このデータシートの発行時に広く使用されているタンタルやOS-CONコンデンサの標準ESRゼロ周波数は15kHzです。インダクタの選択用の設計例では、20mV_{p-p}のリップルに対応するのに必要なESRは20mV/2A=10mΩです。低ESRタンタルコンデンサである470μF/6V Kemet T510を3個並列に接続すると、10mΩ(max)のESRが得られます。標準の複合ESRは11.3kHzでゼロになり、十分に安定範囲内にあります。

安定性の確保を考慮せずに、大きな値を持つセラミックコンデンサを出力の両端に直接配置しないでください。大容量セラミックコンデンサはESRゼロ周波数が高く、不規則で不安定な動作になります。ただし、インダクタから数インチ下流側にコンデンサを配置し、インダクタの近くにOUT_またはFB_分圧器を接続すると、十分な直列抵抗を容易に追加することができます。

不安定な動作は、ダブルパルシング及びフィードバックループ不安定性といった関連性はあっても全く異なる2つの問題として現れます。

OS-CONはSanyo Electric Co., Ltd.の登録商標です。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

ダブルパルシングは出力のノイズが原因で発生するか、またはESRが低すぎて出力電圧信号に十分な電圧ランプがないことが原因で発生します。このため、400nsの最小オフ時間期間が過ぎた直後に、新しいサイクルがエラーコンパレータによって誤って開始されます。ダブルパルシングは有害というよりも厄介で、悪影響はせいぜい出力リップルの増大くらいです。ただし、過小なESRによってループ不安定性が発生するおそれもあります。

ループ不安定性はラインまたは負荷の変動後の出力に振動をもたらし、このため過電圧保護ラッチをトリップしたり、出力電圧を許容制限値以下に低下させることがあります。

安定性をチェックする最も簡単な方法は、ゼロから最大への超高速の負荷過渡を与え(MAX8734のEVキットのマニュアル参照)、出力電圧リップルエンベロープのオーバershootやリングングを観察する方法です。これによって、AC電流プローブでインダクタ電流を同時に監視することができます。最初のステップ応答アンダershootまたはオーバershoot後に、リングングを1サイクルを超えて発生させないでください。

入力コンデンサの選択

入力コンデンサは、スイッチング電流に必要なリップル電流要件(I_{RMS})を満たす必要があります。タンタル以外のコンデンサ(セラミック、アルミ、またはOS-CON)が、起動時のサージ電流に対する耐性から推奨されます。

$$I_{RMS} = I_{LOAD} \left(\frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}} \right)$$

パワーMOSFETの選択

以下のMOSFETガイドラインの大部分は、高電圧(20V以上)ACアダプタの使用時に高負荷電流能力(5A以上)を得るという課題に焦点を当てます。低電流アプリケーションでは通常、配慮は比較的必要ありません。

効率を最大にするには、最適バッテリー電圧(15V)で導通損失がスイッチング損失と等しくなるハイサイドMOSFET(Q1)を選択します。最小入力電圧での導通損失がパッケージの熱制限値を超えず、または全体的な熱許容量を上回らないようにします。最大入力電圧での導通損失にスイッチング損失を加えた値がパッケージ定格を超えず、または全体的な熱許容量を上回らないようにします。

最低の $R_{DS(ON)}$ を備え、小サイズから中サイズのパッケージ(すなわち8ピンSOP)で提供され、手ごろな価格のローサイドMOSFET(Q2)を選択します。MAX8743の

DLゲートドライバがQ2を駆動可能か確認します。すなわち、ゲートが、ドレイン-ゲート間の寄生容量に起因するハイサイドスイッチのターンオンによってプルアップされ、交差導通の問題が発生しないかチェックします。バック構成で使用されるとローサイドMOSFETはゼロ電圧スイッチドデバイスになるため、スイッチング損失はローサイドMOSFETでは問題になりません。

MOSFETの電力消費

ワーストケースの導通損失は、最小または最大のデューティサイクルで発生します。ハイサイドMOSFETの場合は、以下のように、抵抗に起因するワーストケースの電力消費(PD)は最低バッテリー電圧で発生します。

$$PD(Q1 \text{ 抵抗}) = \left(\frac{V_{OUT}}{V_{IN(MIN)}} \right) I_{LOAD}^2 \times R_{DS(ON)}$$

通常、小さなハイサイドMOSFETは高入力電圧でスイッチング損失を低減するものと期待されています。ただし、パッケージの電力消費制限値内にとどまることが求められる $R_{DS(ON)}$ によって、通常、MOSFETをどれだけ小さくできるかが制限されます。前述のとおり、スイッチング(AC)損失が導通($R_{DS(ON)}$)損失と等しい場合に最適になります。入力が約15Vを上回らない限り、ハイサイドスイッチング損失は通常、問題になりません。

最大ACアダプタ電圧が印加されると、 CV^2f スイッチング損失式の2乗項によってハイサイドMOSFETのスイッチング損失が深刻な熱問題になる場合があります。低バッテリー電圧で十分な $R_{DS(ON)}$ を得るために選択したハイサイドMOSFETが $V_{IN(MAX)}$ にさらされると超高温になる場合は、MOSFETを選択し直してください。

スイッチング損失によるQ1の電力消費を計算するのは困難です。その理由は、ターンオン時間とターンオフ時間に影響を及ぼす要因を数値化する必要があるためです。こうした要因としては、内蔵ゲート抵抗、ゲートチャージ、スレッショルド電圧、ソースインダクタンス、及びプリント基板のレイアウト特性などがあります。以下のスイッチング損失の計算は単なる概算で、ベンチ評価に代わるものではありません。ベンチ評価には、Q1に取り付けた熱電対による検証を含むことが望まれます。

$$PD(Q1 \text{ スwitching}) = \frac{C_{RSS} \times V_{IN(MAX)}^2 \times f \times I_{LOAD}}{I_{GATE}}$$

ここでは、 C_{RSS} はQ1の帰還容量で、 I_{GATE} はピークゲート駆動ソース/シンク電流(typ、1A)です。

ローサイドMOSFETのQ2場合は、以下のようにワーストケースの電力消費は常に最大バッテリー電圧で発生します。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

$$PD(Q2) = \left[1 - \frac{V_{OUT}}{V_{IN(MAX)}} \right] I_{LOAD}^2 \times R_{DS(ON)}$$

MOSFET電力消費の絶対的なワーストケースは、 $I_{LOAD(MAX)}$ を超えていても、電流制限値を上回るほどは高くない重過負荷状態で発生します。これを防ぐには、以下の I_{LOAD} に耐える回路を設計します。

$$I_{LOAD} = I_{LIMIT(HIGH)} + (LIR / 2) \times I_{LOAD(MAX)}$$

ここで、 $I_{LIMIT(HIGH)}$ はスレッショルド許容値やオン抵抗変動を含め、電流制限回路によって許容される最大谷間電流です。過負荷保護は不要で短絡保護だけで十分な場合は、過電圧保護をイネーブルして、 $I_{LOAD(MAX)}$ を使って部品ストレスを計算することができます。

デッドタイム中にQ2 MOSFETのボディダイオードがオンになるのを防ぐのに十分低い順方向電圧を備えるショットキダイオード(D1)を選択します。通常、負荷電流の1/3に等しいDC電流定格のダイオードで十分です。このダイオードはオプションであり、効率を重視しない場合は省略することができます。

アプリケーション情報

ドロップアウト性能

連続導通動作の出力電圧調整範囲は、500nsの固定(max)最小オフタイムワンショットによって制限されます。ドロップアウト性能を最適化するには、より遅いオンタイム設定を使用します。低入力電圧で動作する場合は、オン時間及びオフ時間のワーストケースの値を使用して、デューティサイクル制限値を計算する必要があります。製造公差及び内部伝播遅延は、TON Kファクタに誤差をもたらします。このエラーは、周波数が高いほど大きくなります(表4)また、ドロップアウト近くで動作するバックレギュレータの過渡応答性能は低く、通常、バルク出力容量の追加が必要であることに注意してください(「設計手順」の項の V_{SAG} 式を参照)。

ドロップアウトの絶対点は、インダクタ電流がオン時間の間に上昇する(ΔI_{UP})のと同じだけ、最小オフ時間の間に降下する時点(ΔI_{DOWN})になります。 $h = \Delta I_{UP} / \Delta I_{DOWN}$ の比率は、負荷の増加に応じてインダクタの電流を上昇させる能力の指標で、常に1を上回る必要があります。 h が絶対最小ドロップアウト点である1に近づくとつれて、各スイッチングサイクル時にインダクタ電

流が増加することが難しくなり、出力容量を追加しない限り、 V_{SAG} が大幅に増加します。

h の妥当な最小値は1.5ですが、これを上下に調整して、 V_{SAG} 、出力容量、及び最小動作電圧間のトレードオフを行うことができます。 h が任意値の場合、以下のように最小動作電圧を計算します。

$$V_{IN(MIN)} = [(V_{OUT} + V_{DROP1}) / \{1 - (t_{OFF(MIN)} \times h / K)\}] + V_{DROP2} - V_{DROP1}$$

ここで、 V_{DROP1} 及び V_{DROP2} は放電経路及び充電経路における寄生電圧降下(「オン時間ワンショット(TON)」の項を参照)、 $t_{OFF(MIN)}$ は「電気的特性(Electrical Characteristics)」表からの値、そして K は表4からの値です。絶対最小入力電圧は、 $h=1$ として計算されます。

$V_{IN(MIN)}$ の計算値が必要な最小入力電圧よりも大きい場合は、動作周波数を下げるか、または許容される V_{SAG} を得るために出力容量を追加します。ドロップアウト近くの動作が予想される場合は、十分な過渡応答を確保するために V_{SAG} を計算します。

ドロップアウト設計例：

$$V_{OUT} = 1.8V$$

$$f_{SW} = 600kHz$$

$$K = 1.63\mu s, \text{ワーストケース } K = 1.4175\mu s$$

$$t_{OFF(MIN)} = 500ns$$

$$V_{DROP1} = V_{DROP2} = 100mV$$

$$h = 1.5$$

$$V_{IN(MIN)} = (1.8V + 0.1V) / [1 - (0.5\mu s \times 1.5) / 1.4175\mu s] + 0.1V - 0.1V = 3.8V$$

$h=1$ で再度計算すると、ドロップアウトの絶対制限値が得られます。

$$V_{IN(MIN)} = (1.8V + 0.1V) / [1 - (0.5\mu s \times 1) / 1.4175\mu s] + 0.1V - 0.1V = 2.8V$$

従って、非常に大きな出力容量の場合でも、 V_{IN} は2.8Vを上回る必要があります。出力容量が適切な実用的な入力電圧は3.8Vです。

固定出力電圧

MAX8743のDual Mode動作によって、外付け部品を必要とせず共通電圧を選択することができます(図8)。固定1.8V出力の場合はFB1をGNDに、1.5V出力の場合は V_{CC} に、固定1V出力の場合はFB1をOUT1に直接接続します。

固定2.5V出力の場合はFB2をGNDに、固定1V出力の場合はOUT2に接続します。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

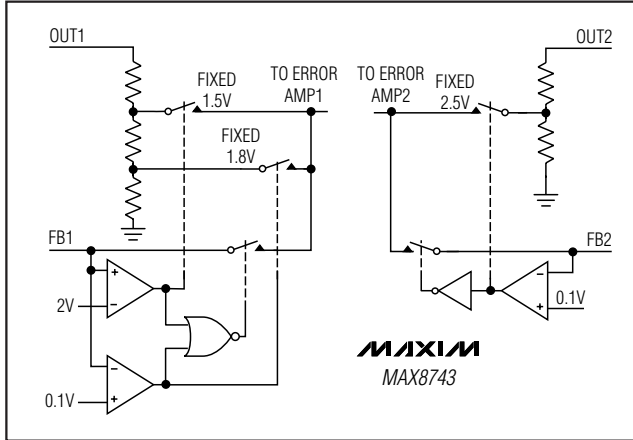


図8. フィードバックマルチプレクサ

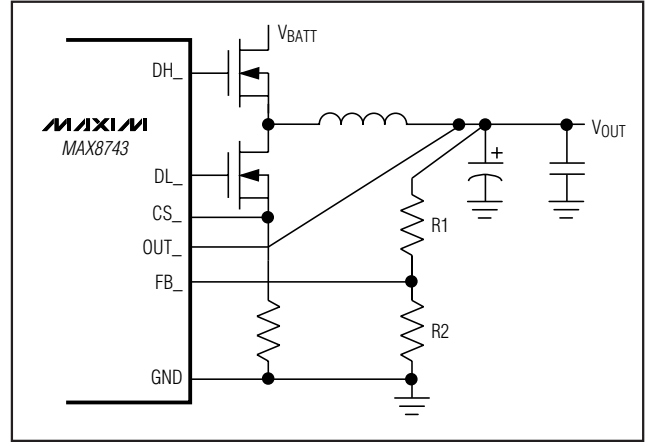


図9. 抵抗分圧器によるV_{OUT}の設定

抵抗分圧器によるV_{OUT}の設定

抵抗分圧器回路を使って、1V~5.5Vに出力電圧を調整することができます(図9)。出力電圧を調整するための式は、以下のとおりです。

$$V_{OUT_} = V_{FB_} \left(1 + \frac{R1}{R2} \right)$$

ここでは、V_{FB_}は1.0Vで、R2は約10kΩです。

プリント基板レイアウトのガイドライン

低スイッチング損失とクリーンで安定した動作を実現するには、プリント基板の綿密なレイアウトが不可欠です。これは、チャンネルが他のチャンネルに影響を与えるデュアルコンバータに特に該当します。スイッチングパワー段には、特に注意が必要です(図10)。特定のレイアウト例については、MAX1845の評価キットのデータシートを参照してください。

4層基板を使用します。電力部品には基板の最上面を使用し、IC及び敏感なグランド部品には最下面を使用します。必要に応じて、2つの中間層をグランドプレーンとして使用し、上層と下層間を相互接続します。できればすべての電力部品を基板の最上面に取り付け、端子が互いにぴったり接触するようにします。

大電流経路は、特にグランド端子部で短くします。この方式は、安定したジッタのない動作を実現するには必須です。高効率を実現するには、短い電源配線と負荷接続が不可欠です。厚い銅のプリント基板(1オンスに対して2オンス)を使用すると、全負荷時の効率が1%以上向上します。プリント基板配線の適切な配線は、コンマ数センチ単位で取り組む必要がある骨の折れる作業です。配線抵抗が1mΩ大きくなると、効率の低下が測定値に現れます。

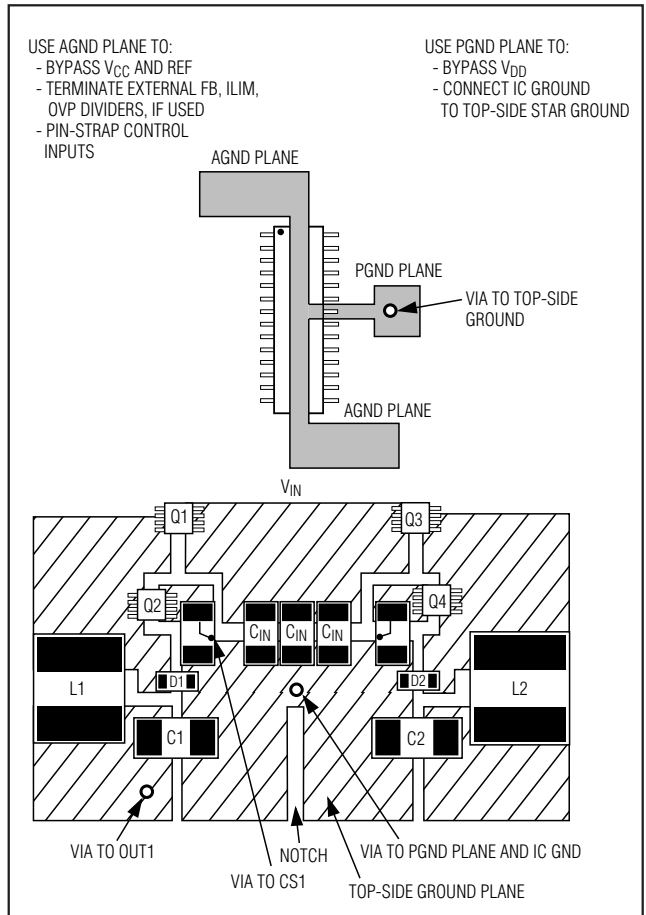


図10. プリント基板のレイアウト例

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

電流検出誤差を最低限に抑えるために、電流検出抵抗を最上面の星形グランド点(ICグランドは最上面グランドプレーンに接続しています)に近接して配置します。CS_端子から検出抵抗までにケルビン接続を使って、その他の電流検出誤差を回避します。

以下のガイドラインは重要度順です。

- 電流検出抵抗のグランド接続間の間隔を短くして、ICグランド端子へのピアに近接させます。
- ローサイド経路上の抵抗を最低限に抑えます。ローサイド経路はローサイドFETのグランドから始まり、ローサイドFET、インダクタ、出力コンデンサを経由して、ローサイドFETのグランドに戻ります。各部品を近くにまとめ、配線を短く幅広にして、抵抗を最低限に抑えます。
- ハイサイド経路上の抵抗を最低限に抑えます。この経路は V_{IN} から始まり、ハイサイドFET、インダクタ、入力コンデンサを経由して、入力に戻ります。
- 配線長でトレードオフを行う必要がある場合は、インダクタ放電経路よりも、充電経路の方を長くします。例えば、インダクタとローサイドMOSFETの間、またはインダクタと出力フィルタコンデンサの間よりも、入力コンデンサとハイサイドMOSFETの間隔を長くしたほうがより適切です。
- 影響を受けやすいアナログ領域(REF、ILIM_、及びFB_)から離して、高速スイッチングノード(BST_、LX_、DH_、及びDL_)を配線します。

レイアウト手順

- 1) グランド端子を隣接させ、電力部品を先に配置します(検出抵抗、 C_{IN-} 、 C_{OUT-} 、及びD1アノード)。できれば、これらすべての接続は、最上層で、隙間のない、広い銅領域で行います。
- 2) コントローラICを同期整流器MOSFETに近接して配置します。この場合、CS_、GND、及びDL_ゲート駆動ラインを短く幅広にするために、裏面に配置するのが推奨されます。DL_ゲート配線は短くして、10~20平方で幅広にする必要があります(MOSFETがコントローラICから1インチ(2.5cm)離れている場合は幅50mil~100mil)。

3) ゲート駆動部品(BST_ダイオード及びコンデンサ、 V_{DD} バイパスコンデンサ)は、コントローラICの近くでひとまとめにします。

4) 以下のように、DC-DCコントローラのグランド接続を行います。ICの近くに、小さなアナロググランドプレーン(AGND)を作成します。このプレーンをICの下のGNDに直接接続し、REF及び V_{CC} バイパスコンデンサ、FB_、OVP、及びILIM_分圧器(以上がある場合)のグランド接続にこのプレーンを使用します。AGNDプレーンをGND端子以外のグランドに接続しないでください。別の小さなグランドアイランド(PGND)を作成して、IC直近の V_{DD} バイパスコンデンサ用にこのアイランドを使用します。PGNDプレーンをICの外部からGNDに直接接続します。

5) 基板の最上面(電源プレーン)に星形グランドを作成し、2面間のクロストークを最低限に抑えます。最上面の星形グランドは、入力コンデンサ、サイド1ローサイドMOSFET、及びサイド2ローサイドMOSFETの星形接続です。電流制限を高精度化するために、星形グランドとローサイドMOSFETのソース間の抵抗を小さくします。最上面の星形グランド(MOSFET、入力、及び出力コンデンサ用)を短く幅広の接続で(できれば単一のピアで)小さなPGNDアイランドに接続します。

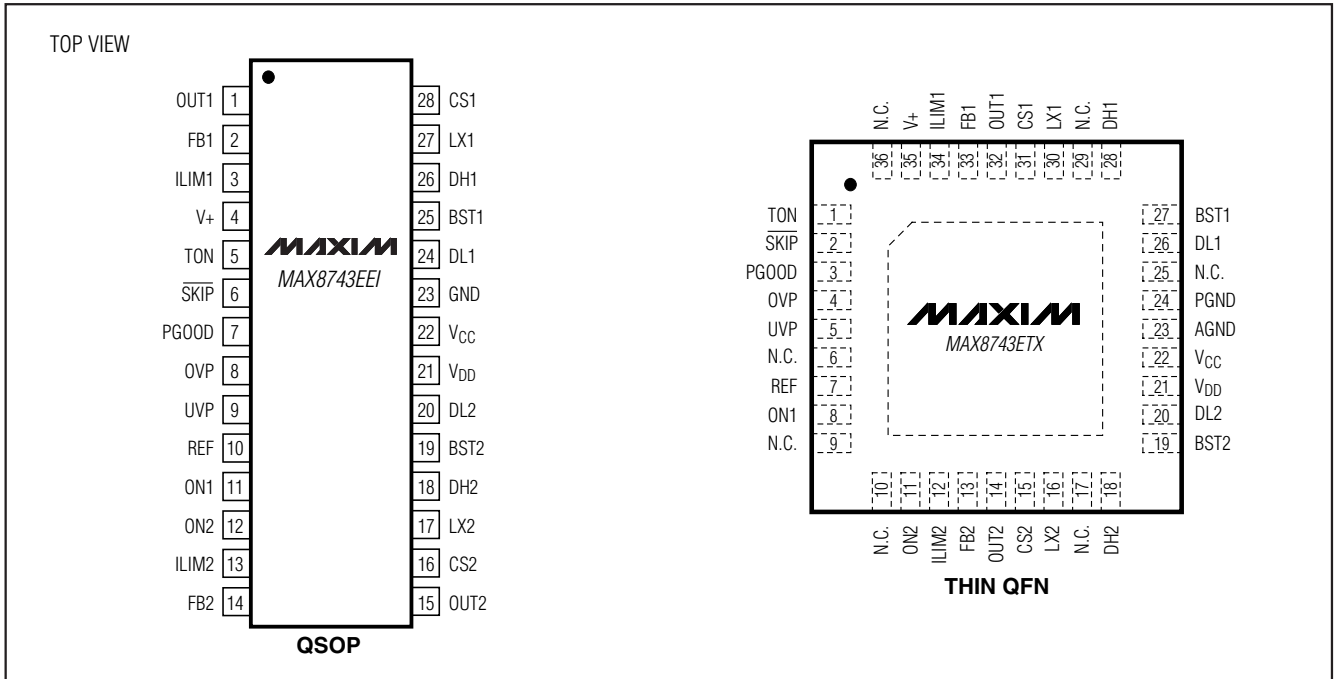
図10に示されるように切れ目を入れてスイッチンググランド電流を星形グランドに導いて、サイド1及びサイド2間のクロストークを最低限に抑えます。複数層が利用可能な場合は(強く推奨)、EMIシールドとして機能するPGND1及びPGND2アイランドを最上面層の真下の層に作成します(例については、MAX1845のEVキットを参照)。これらの各PGNDアイランドをそれぞれ星形グランドピアに接続します。このグランドピアは最上面をPGNDプレーンに接続しています。追加のシールドとして機能するソリッドグランドプレーンをICの下部にさらに1つ追加し、そのソリッドグランドプレーンを星形グランドピアにも接続します。

6) 出力電源プレーンを、複数のピアで出力フィルタコンデンサの正及び負の端子に直接接続します。

シャットダウン時ハイインピーダンスの、 デュアル、高効率、ステップダウンコントローラ

MAX8743

ピン配置



チップ情報

TRANSISTOR COUNT: 4795
PROCESS: BiCMOS

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

MAX8743

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°

VARIATIONS:

D	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

NOTES:

- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

DALLAS SEMICONDUCTOR **MAXIM**
 PROPRIETARY INFORMATION
 TITLE: PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH
 APPROVAL: _____ DOCUMENT CONTROL NO. 21-0055 REV. E 1/1

注意：MAX8743EEIは、ヒートスラグを備えていません。

シャットダウン時ハイインピーダンスの、デュアル、高効率、ステップダウンコントローラ

MAX8743

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS									
PKG. SYMBOL	36L 6x6			40L 6x6			48L 6x6		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	0.35	0.45
L	0.45	0.55	0.65	0.30	0.40	0.50	0.40	0.50	0.60
L1	-	-	-	-	-	-	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			-		

PKG. CODES	EXPOSED PAD VARIATIONS						DOWN BONDS ALLOWED
	D2			E2			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T3666-1	3.60	3.70	3.80	3.60	3.70	3.80	NO
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80	YES
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80	NO
T4066-1	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4866-1	4.20	4.30	4.40	4.20	4.30	4.40	YES

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- ⚠ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- ⚠ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- ⚠ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.

PROPRIETARY INFORMATION	
TITLE PACKAGE OUTLINE 36, 40, 48L THIN QFN, 6x6x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0141
REV. E	2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 27