

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

目次	
概要	1
アプリケーション	1
特長	1
型番	1
簡略化機能図	1
ピン配置	1
目次	2
Absolute Maximum Ratings (絶対最大定格)	4
Electrical Characteristics (電気的特性)	4
標準動作特性	11
端子説明	19
詳細	21
マキシムとIntelの用語比較	21
ステップダウンDC-DCコンバータ(REG1~REG4)	25
REG1 (VCC_IO)ステップダウンDC-DCコンバータ(MAX8660のみ)	25
REG2 (VCC_IO、VCC_MEM)ステップダウンDC-DCコンバータ	26
REG3 (VCC_APPS)ステップダウンDC-DCコンバータ	27
REG4 (VCC_SRAM)ステップダウンDC-DCコンバータ	27
REG1~REG4ステップダウンDC-DCコンバータの動作モード	27
REG1~REG4の同期整流器	27
REG1/REG2 100%デューティサイクル動作(ドロップアウト)	27
リニアレギュレータ(REG5~REG8)	28
REG5 (VCC_MVT、VCC_BG、VCC_OSC13M、VCC_PLL)	28
REG6/REG7 (VCC_CARD1、VCC_CARD2)	28
REG8 (VCC_BBATT)常時オンレギュレータ	28
立上り速度制御(RAMP)	28
電源シーケンス	29
イネーブル信号(EN_、PWR_EN、SYS_EN、I ² C)	29
REG3/REG4イネーブル(EN34、EN3、EN4)	30
パワーモード	30
電源投入と電源切断タイミング	31
Intel XScale電源コンフィギュレーションレジスタ(PCFR)	31
電圧監視、リセット、および低電圧ロックアウト機能	32
低電圧および過電圧ロックアウト機能	32
リセット出力(RSO)およびMR入力	32
ローバッテリー検出回路(LBO、LBF、LBR)	32
内蔵オフ放電抵抗	33
熱過負荷保護	33
I ² Cインタフェース	33
データ転送	35
スタートおよびストップ条件	35
アクノリッジビット	37
スレーブアドレス	37
I ² C書き込み動作	37

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

目次(続き)

設計手順	38
出力電圧の設定	38
インダクタの選択	39
入力コンデンサの選択	39
出力コンデンサの選択	39
アプリケーション情報	39
電力消費	39
PCBのレイアウトと配線	39
パッケージの記号	40
チップ情報	40
パッケージ	41
表	
表1. マキシムとIntel電源ドメインの用語	25
表2. デジタル信号に関するマキシムとIntelの用語	26
表3. SET1のロジック	26
表4. SET2のロジック	26
表5. イネーブル信号	29
表6. V3/V4イネーブルロジックの真理値表	30
表7. パワーモードとそれに対応する自己消費電流	30
表8. 内蔵オフ放電抵抗	33
表9. I ² Cレジスタ	34
表10. DVM電圧変更レジスタ(VCC1、0x20)	35
表11. V3 (VCC_APPS)およびV4 (VCC_SRAM)出力電圧のシリアルコード	36
表12. V5出力電圧のシリアルコード	36
表13. V6およびV7出力電圧のシリアルコード	36
図	
図1. MAX8660とIntel XScaleプロセッサの接続例	22
図2. 機能ブロック図	23
図3. 標準動作回路	24
図4. ソフトスタートと電圧変化立上り速度	28
図5. V3/V4イネーブルロジック	29
図6. 電源投入タイミング	31
図7. ローバッテリー検出器の機能ブロック図	32
図8. スタートおよびストップ条件	35
図9. アクノリッジビット	37
図10. スレーブアドレスバイト	37
図11. MAX8660/MAX8661への書込み	38

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

ABSOLUTE MAXIMUM RATINGS

IN, IN5, IN6, IN67, EN2, EN34, EN5, $\overline{\text{LBO}}$, $\overline{\text{R50}}$, $\overline{\text{MR}}$, SET1, SET2, V1, V2, V3, V4, SCL, SDA, SRAD to AGND.....	-0.3V to +7.5V
LBF, LBR, EN1, RAMP to AGND	-0.3V to (V _{IN} + 0.3V)
V8 to AGND.....	-0.3V to (V _{IN8} + 0.3V)
V5 to AGND.....	-0.3V to (V _{IN5} + 0.3V)
V6, V7 to AGND.....	-0.3V to (V _{IN67} + 0.3V)
PV1 to PG1	-0.3V to +7.5V
PV2 to PG2	-0.3V to +7.5V
PV3 to PG3	-0.3V to +7.5V
PV4 to PG4	-0.3V to +7.5V
PV, PV1, PV2, PV3, PV4, IN8 to IN	-0.3V to +0.3V
LX1 Continuous RMS Current (Note 1)	2.3A

LX2 Continuous RMS Current (Note 1)	2.0A
LX3 Continuous RMS Current (Note 1)	2.6A
LX4 Continuous RMS Current (Note 1)	1.0A
PG1, PG2, PG3, PG4, EP to AGND.....	-0.6V to +0.6V
GND to AGND	-0.3V to +0.3V
All REGx Output Short-Circuit Duration.....	Continuous
Continuous Power Dissipation (T _A = +70°C) 40-Pin Thin QFN (derate 35.7mW/°C above +70°C).....	2857mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Note 1: LX_n has internal clamp diodes to PG_n and PV_n. Applications that forward bias these diodes must take care not to exceed the IC's package power-dissipation limits.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN} = V_{IN5} = V_{IN67} = V_{IN8} = 3.6V, Figure 3, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PV1, PV2, PV3, PV4, IN, IN8 Supply Voltage Range	V _{IN}	PV1, PV2, PV3, PV4, IN, and IN8 must be connected together externally	2.6		6.0	V
IN Undervoltage-Lockout Threshold	V _{UVLO}	V _{IN} rising	2.250	2.400	2.550	V
		V _{IN} falling	2.200	2.350	2.525	
IN Overvoltage-Lockout Threshold	V _{OVLO}	V _{IN} rising	6.20	6.35	6.50	V
		V _{IN} falling	6.00	6.15	6.30	
Input Current	I _{IN} + I _{PV1} +I _{PV2} + I _{PV3} +I _{PV4} + I _{IN5} + I _{IN67} + I _{IN8}	No load; SDA = SCL = V8	Only V8 on (deep-sleep power mode)		20	μA
			V1, V2, and V8 on; V1 and V2 in normal (skip) operating mode		50	
			V1, V2, V5, and V8 on (sleep power mode); V1 and V2 in normal (skip) operating mode		90	
			V1, V2, V3, V4, V5, and V8 on (run power mode); V1, V2, V3, and V4 in normal (skip) operating mode		140	
			V1, V2, V3, V4, V5, V6, V7, and V8 (all on); V1, V2, V3, and V4 in normal (skip) operating mode		250	
		Undervoltage lockout, V _{IN} = 2.2V		1.5		
Overvoltage lockout, V _{IN} = 6.5V		25				

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = V_{IN5} = V_{IN67} = V_{IN8} = 3.6V, Figure 3, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
PWM Switching Frequency	f _{sw}		1.9	2.0	2.1	MHz	
REG1—SYNCHRONOUS STEP-DOWN DC-DC CONVERTER (MAX8660, MAX8660A only)							
V1 Voltage Accuracy—MAX8860	V1	SET1 = IN, V _{PV1} = 4.2V, load = 600mA	3.250	3.300	3.350	V	
		SET1 not connected = V _{PV1} = 3.6V, load = 600mA	2.955	3.000	3.045		
		SET1 = AGND, V _{PV1} = 3.6V, load = 600mA	2.807	2.850	2.893		
V1 Voltage Accuracy—MAX8660A	V1	SET1 = IN, V _{PV1} = 4.2V, load = 600mA	2.463	2.500	2.538	V	
		SET1 not connected, V _{PV1} = 3.6V, 600mA	1.970	2.000	2.030		
		SET1 = AGND, 3.6V, load = 600mA	1.773	1.800	1.827		
V1 Load Regulation		Load = 0 to 1200mA		-1.5		%/A	
V1 Line Regulation				0.15		%/V	
SET1 Input Leakage Current				0.01		μA	
V1 Dropout Voltage		Load = 800mA (Notes 3, 4)		150		mV	
		Load = 1200mA (Notes 3, 4)		200			
p-Channel On-Resistance				0.12		Ω	
n-Channel On-Resistance				0.15		Ω	
p-Channel Current-Limit Threshold			1.5	1.8	2.2	A	
n-Channel Zero-Crossing Threshold				25		mA	
n-Channel Negative Current Limit		Forced-PWM mode only		-975		mA	
REG1 Maximum Output Current	I _{OUT1}	2.6V ≤ V _{PV1} ≤ 6V (Note 5)	1.2			A	
V1 Bias Current				5		μA	
LX1 Leakage Current		V _{PV1} = 6V, LX1 = PG1 or PV1, V _{EN1} = 0V	T _A = +25°C	-2	±0.03	+2	μA
			T _A = +85°C		±0.2		
Soft-Start Ramp Rate—MAX8660		To V1 = 3.3V (total ramp time is 450μs for all V1 output voltages)	5	7	9	mV/μs	
Soft-Start Ramp Rate—MAX8660A		To V1 = 2.5V (total ramp time is 450μs for all V1 output voltages)	3	5	7	mV/μs	
V5 to V1 Enable Time	t _{MHVSH1}	Figure 6		350		μs	
Internal Off-Discharge Resistance				650		Ω	
Minimum Duty Cycle		Forced-PWM mode only, min duty cycle in skip mode is 0%		16.7		%	
Maximum Duty Cycle				100		%	

MAX8660/MAX8660A/MAX8661

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = V_{IN5} = V_{IN67} = V_{IN8} = 3.6V, Figure 3, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
REG2—SYNCHRONOUS STEP-DOWN DC-DC CONVERTER							
V2 Voltage Accuracy—MAX8660	V2	SET2 = IN, V _{PV2} = 4.2V, load = 600mA	3.250	3.300	3.350	V	
		SET2 not connected, V _{PV2} = 3.6V, load = 600mA	2.463	2.500	2.538		
		SET2 = AGND, V _{PV2} = 3.6V, load = 600mA	1.773	1.800	1.827		
V2 Voltage Accuracy—MAX8660A	V2	SET2 = IN, V _{PV2} = 4.2V, load = 600mA	2.463	2.500	2.538	V	
		SET2 not connected, V _{PV2} = 3.6V, load = 600mA	1.970	2.000	2.030		
		SET2 = AGND, V _{PV2} = 3.6V, load = 600mA	1.773	1.800	1.827		
V2 Load Regulation		Load = 0 to 900mA		-1.7		%/A	
V2 Line Regulation				0.15		%/V	
SET2 Input Leakage Current				0.01		μA	
V2 Dropout Voltage		Load = 900mA (Notes 3, 4)		225		mV	
p-Channel On-Resistance				0.18		Ω	
n-Channel On-Resistance				0.15		Ω	
p-Channel Current-Limit Threshold			1.10	1.30	1.50	A	
n-Channel Zero Crossing Threshold				25		mA	
n-Channel Negative Current Limit		Forced-PWM mode only		-800		mA	
REG2 Maximum Output Current	I _{OUT2}	2.6V ≤ V _{PV2} ≤ 6V (Note 5)	0.9			A	
V2 Bias Current				5		μA	
LX2 Leakage Current		V _{PV2} = 6V, LX2 = PG2 or PV2, V _{EN2} = 0V	T _A = +25°C	-2	±0.03	+2	μA
			T _A = +85°C		0.2		
Soft-Start Ramp Rate		To V2 = 1.8V (total ramp time is 450μs for all V2 output voltages)	2	4	6	mV/μs	
V5 to V2 Enable Time	t _{VMHVSH2}	Figure 6		350		μs	
Internal Off-Discharge Resistance				650		Ω	
Minimum Duty Cycle		Forced-PWM mode only; min duty cycle in skip mode is 0%		16.7		%	
Maximum Duty Cycle				100		%	
REG3—SYNCHRONOUS STEP-DOWN DC-DC CONVERTER							
V3 Output Voltage Accuracy	V3	REG3 default output voltage, V _{PV3} = 3.6V, load = 600mA	1.379	1.400	1.421	V	
		REG3 serial programmed from 0.9V to 1.8V, load = 600mA (Note 6)	-1.5		+1.5	%	
V3 Load Regulation		Load = 0 to 1600mA		-17		mV/A	
V3 Line Regulation		(Note 7)		0.05		%/V	
p-Channel On-Resistance				0.12		Ω	
n-Channel On-Resistance				0.08		Ω	

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = V_{IN5} = V_{IN67} = V_{IN8} = 3.6V, Figure 3, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
p-Channel Current-Limit Threshold			1.85	2.15	2.45	A	
n-Channel Zero-Crossing Threshold				25		mA	
n-Channel Negative Current Limit		Forced-PWM mode only		-0.8		A	
REG3 Maximum Output Current	I _{OUT3}	2.6V ≤ V _{PV3} ≤ 6V (Note 5)	1.6			A	
V3 Bias Current				0.01		μA	
LX3 Leakage Current		V _{PV3} = 6V, LX3 = PG3 or PV3, V _{EN34} = 0V	T _A = +25°C	-2	+0.03	+2	μA
			T _A = +85°C		0.24		
Soft-Start Ramp Rate		R _{RAMP} = 56kΩ to 1.4V		8		mV/μs	
V3 Dynamic-Change Ramp Rate		R _{RAMP} = 56kΩ		10		mV/μs	
EN34 to V3 Enable Time	t _{PHLVTH3}	Powering up to 1.4V, Figure 6, R _{RAMP} = 56kΩ		400		μs	
Internal Off-Discharge Resistance				550		Ω	
Minimum Duty Cycle		Forced-PWM mode only, min duty cycle in skip mode is 0%		16.7		%	
Maximum Duty Cycle				100		%	
REG4—SYNCHRONOUS STEP-DOWN DC-DC CONVERTER							
V4 Output Voltage Accuracy	V4	REG4 default output voltage, V _{PV3} = 3.6V, load = 200mA	1.379	1.400	1.421	V	
		REG4 serial programmed from 0.9V to 1.8V, load = 200mA (Note 6)	-1.5		+1.5	%	
V4 Load Regulation		Load = 0 to 400mA		-40		mV/A	
V4 Line Regulation		(Note 7)		0.1		%/V	
p-Channel On-Resistance				0.37		Ω	
n-Channel On-Resistance				0.3		Ω	
p-Channel Current-Limit Threshold			0.05	0.78	0.90	A	
n-Channel Zero-Crossing Threshold				25		mA	
n-Channel Negative Current Limit		Forced-PWM mode only		-975		mA	
REG4 Maximum Output Current	I _{OUT4}	2.6V ≤ V _{PV3} ≤ 6V (Note 5)	0.4			A	
V4 Bias Current				0.01		μA	
LX4 Leakage Current		V _{PV4} = 6V, LX4 = PG4 or PV4, V _{EN34} = 0V	T _A = +25°C	-2	±0.02	+2	μA
			T _A = +85°C		0.12		
Soft-Start Ramp Rate		R _{RAMP} = 56kΩ to 1.4V		8		mV/μs	
V4 Dynamic-Change Ramp Rate		R _{RAMP} = 56kΩ		10		mV/μs	
EN34 to V4 Enable Time	t _{PHLVTH4}	Powering up to 1.4V, Figure 6, R _{RAMP} = 56kΩ		400		μs	
Internal Off-Discharge Resistance				550		Ω	
Minimum Duty Cycle		Forced-PWM mode only, min duty cycle in skip mode is 0%		16.7		%	
Maximum Duty Cycle				100		%	

MAX8660/MAX8660A/MAX8661

モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

MAX8660/MAX8660A/MAX8661

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = V_{IN5} = V_{IN67} = V_{IN8} = 3.6V$, Figure 3, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REG5 LDO						
IN5 Input Voltage Range	V_{IN5}		2.35		V_{IN}	V
V5 Output Voltage	V5	REG5 default output voltage, $2.35V \leq V_{IN5} \leq 6V$, load = 0 to 200mA	1.764	1.800	1.836	V
		REG5 serial programmed from 1.7V to 2.0, $2.35V \leq V_{IN5} \leq 6V$, load = 0 to 200mA	-2		+2	%
V5 Output Current Limit	I_{OUT5}		225	350	500	mA
V5 Output-Voltage Noise		10Hz to 100kHz, $I_{OUT5} = 10mA$		160		μV_{RMS}
V5 Power-Supply Rejection		$V_{IN5} = (V5 + 1V)$, $I_{OUT5} = 10mA$, $f = 10kHz$		40		dB
V5 Soft-Start Ramp Rate		Powering up to 1.8V (total ramp time is 225 μs for all V5 output voltages)	5	7	9	mV/ μs
EN5 to V5 Enable Time	t_{SEHVMH}	Figure 6		290		μs
V5 Dynamic-Change Ramp Rate		$R_{RAMP} = 56k\Omega$		10		mV/ μs
Internal Off-Discharge Resistance				2		k Ω
REG6, REG7 LDOs						
IN67 Input Voltage Range	V_{IN67}		2.35		V_{IN}	V
REG6 and REG7 Output Voltage (POR Default to 0V, Set by Serial Input)	V6 V7	Setting from 1.8V to 3.3V in 0.1V steps, load = 0 to 300mA	-3		+3	%
V6, V7 Dropout Voltage		3V mode, load = 300mA (Note 3)		55	100	mV
V6, V7 Output Current Limit	I_{OUT6} I_{OUT7}	$V_{IN67} = 3.6V$		750		mA
V6, V7 Soft-Start Ramp Rate		Powering up to 3.3V, (total ramp time is 450 μs for all V6/V7 output voltages)	5	7	9	mV/ μs
Internal Off-Discharge Resistance				350		Ω
REG8 ALWAYS-ON LDO						
V8 Output Voltage	V8	Load = 0 to 15mA	3.168	3.300	3.432	V
		Load = 30mA	2.800	3.2	3.432	
V8 Dropout Voltage		Load = 15mA (Note 3)		180		mV
V8 Output Current Limit	I_{OUT8}	V8 = 2.5V	30	70	135	mA
Internal Off-Discharge Resistance				1.5		k Ω
LOW-BATTERY DETECTOR (LBF, LBR, LBO)						
Low-Battery Falling Threshold	V_{LBFTH}		1.182	1.200	1.218	V
Low-Battery Rising Threshold	V_{LBRTH}		1.231	1.250	1.268	V
\overline{LBO} , \overline{RSO} Output-High Leakage Current		$V_{IN} = 6V$, $T_A = +25^{\circ}C$			0.2	μA
\overline{LBO} Output Low Level		$2.6V \leq V_{IN} \leq 6V$, sinking 3mA			0.2	V
		$V_{IN} = 1V$, sinking 100 μA			0.4	
Minimum V_{IN} for \overline{LBO} Assertion		\overline{LBO} is forced low when the device is in UVLO	1			V

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = V_{IN5} = V_{IN67} = V_{IN8} = 3.6V, Figure 3, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LBO Deassert Delay	t _{VBHBFH}	Figure 6	0	3		μs
LBF and LBR Input Bias Current		T _A = +25°C	-50	0	+50	nA
		T _A = +85°C		0.5		
RESET (MR, RSO)						
R _{SO} Threshold	V _{RSOTH}	Voltage on V8, falling, hysteresis is 5% (typ)	2.1	2.2	2.3	V
R _{SO} Deassert Delay	t _{VBHRSTH}	Figure 6	20	24	28	ms
R _{SO} Output-High Leakage Current		V _{IN} = 6V, T _A = +25°C			0.2	μA
R _{SO} Output Low Level		2.6V ≤ V _{IN} ≤ 6V, sinking 3mA			0.2	V
		V _{IN} = 1V, sinking 100μA			0.4	
Minimum V _{IN} for R _{SO} Assertion		R _{SO} is forced low when the device is in UVLO	1			V
MR Input High Level		2.6V ≤ V _{IN} ≤ 6V	1.4			V
MR Input Low Level		2.6V ≤ V _{IN} ≤ 6V			0.4	V
MR Input Leakage Current		V _{IN} = 6V, T _A = +25°C	-0.2		+0.2	μA
MR Minimum Pulse Width	t _{MR}			1		μs
THERMAL-OVERLOAD PROTECTION						
Thermal-Shutdown Temperature		T _J rising		+160		°C
Thermal-Shutdown Hysteresis				15		°C
ENABLE INPUTS (EN1, EN2, EN34, EN5)						
EN_ Input High Level		2.6V ≤ V _{IN} ≤ 6V	1.4			V
EN_ Input Low Level		2.6V ≤ V _{IN} ≤ 6V			0.4	V
EN_ Input Leakage Current		V _{IN} = 6V, T _A = +25°C	-0.2		+0.2	μA
I²C LOGIC (SDA, SCL, SRAD)						
SCL, SDA Input High Voltage			1.4			V
SCL, SDA Input Low Voltage					0.4	V
SCL, SDA Input Hysteresis				0.1		V
SCL, SDA Input Current		T _A = +25°C, I _N = AGND, V _{IN} = 6V	-10		+10	μA
SDA Output Low Voltage		2.6V ≤ V _{IN} ≤ 6V, sinking 3mA			0.2	V
SRAD Input High Level		2.6V ≤ V _{IN} ≤ 6V	1.4			V
SRAD Input Low Level		2.6V ≤ V _{IN} ≤ 6V			0.4	V
SRAD Input Leakage Current		V _{IN} = 6V, T _A = +25°C	-0.2		+0.2	μA

MAX8660/MAX8660A/MAX8661

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = V_{IN5} = V_{IN67} = V_{IN8} = 3.6V, Figure 3, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
I²C TIMING						
Clock Frequency	f _{SCL}				400	kHz
Hold Time (Repeated) START Condition	t _{HD;STA}	Figure 8	0.6			μs
CLK Low Period	t _{LOW}		1.3			μs
CLK High Period	t _{HIGH}		0.6			μs
Set-Up Time for a Repeated START Condition	t _{SU;STA}	Figure 8	0.6			μs
DATA Hold Time	t _{HD;DAT}	Figure 9	0			μs
DATA Set-Up Time	t _{SU;DAT}	Figure 9	100			ns
Set-Up Time for STOP Condition	t _{SU;STO}	Figure 8	0.6			μs
Bus-Free Time Between STOP and START	t _{BUF}		1.3			μs
Maximum Pulse Width of Spikes that Must Be Suppressed by the Input Filter of Both DATA and CLK Signals				50		ns

Note 2: Limits are 100% production tested at T_A = +25°C. Limits over the operating temperature range are guaranteed through correlation using statistical quality control (SQC) methods.

Note 3: The dropout voltage is defined as V_{IN} - V_{OUT} when V_{OUT} is 100mV below the nominal value of V_{OUT}.

Note 4: Dropout voltage (V_{DO}) is a function of the p-channel switch resistance (R_{PCH}) and the inductor resistance (R_L). The given values assume R_L = 50mΩ for the REG1 inductor and 67mΩ for the REG2 inductor:

$$V_{DO} = I_{LOAD} (R_P + R_L)$$

Note 5: The maximum output current (I_{OUT(MAX)}) is:

$$I_{OUT(MAX)} = \frac{I_{LIM} - \frac{V_{OUT}(1-D)}{2 \times f \times L}}{1 + (R_N + R_L) \frac{(1-D)}{2 \times f \times L}}$$

where:

R_N = n-channel synchronous rectifier R_{DS} (on)

R_P = p-channel power switch R_{DS} (on)

R_L = external inductor ESR

I_{OUT(MAX)} = maximum output current provided by the PMIC

I_{OUT(TARGET)} = maximum desired output current

f = operating frequency minimum

L = external inductor value

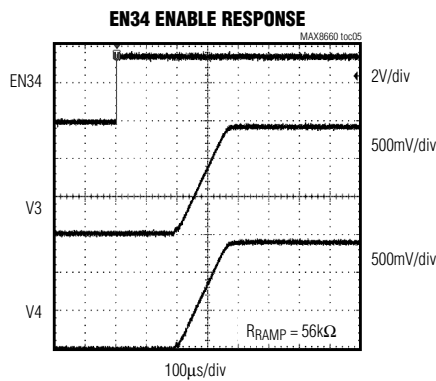
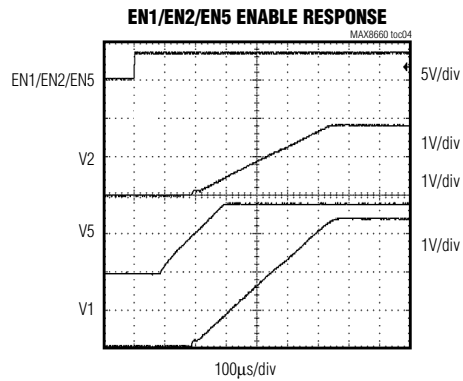
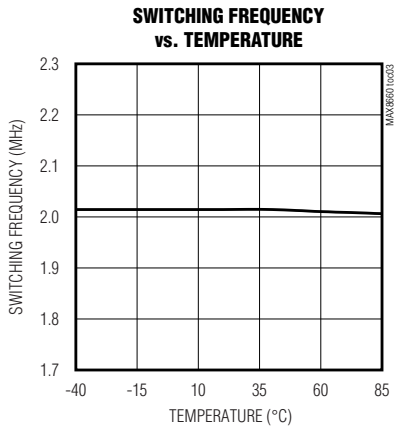
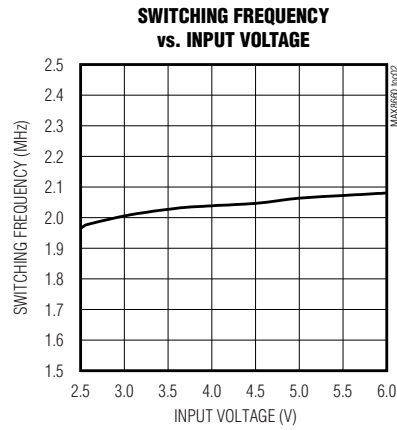
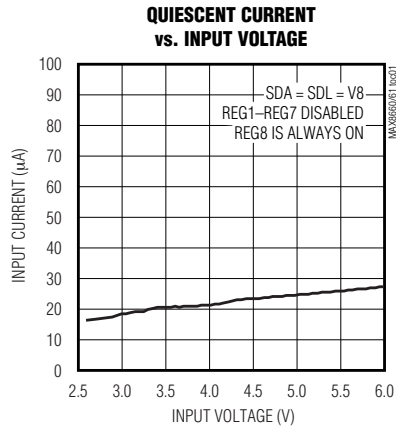
Note 6: Tested at 1.4V, default output voltage.

Note 7: All output voltages are possible in normal mode. In forced-PWM mode, the minimum output voltage is limited by 0.167 x V_{IN}. For example, with V_{IN} = 5.688V, the minimum output is 0.95V.

モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

標準動作特性

(Circuit of Figure 3, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)



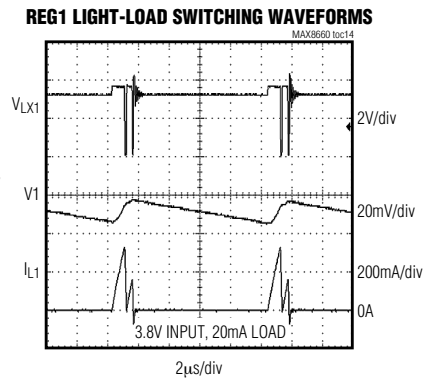
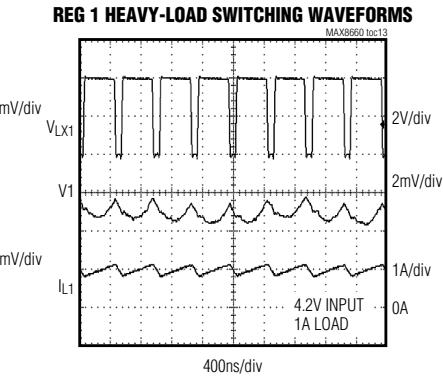
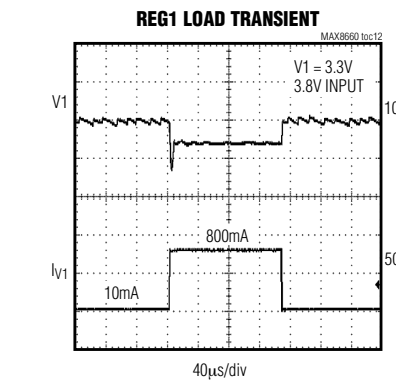
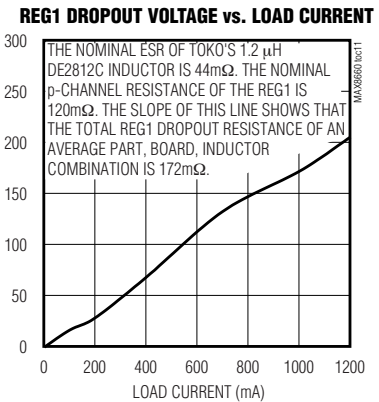
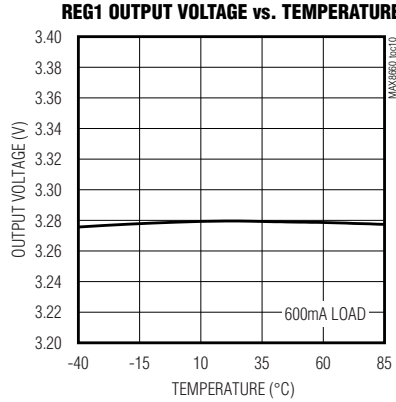
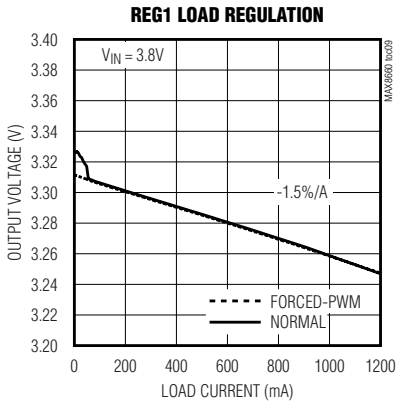
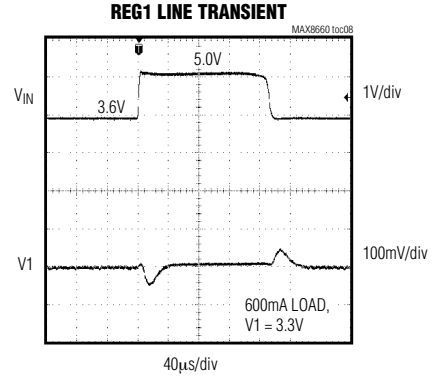
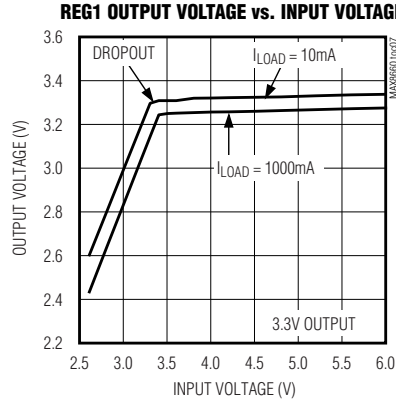
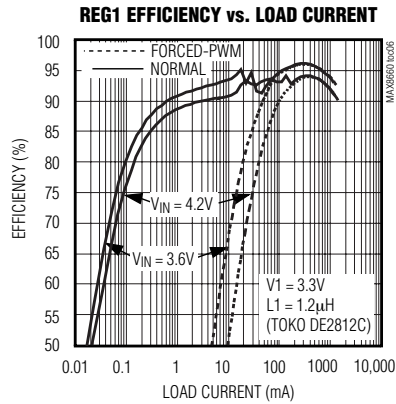
MAX8660/MAX8660A/MAX8661

モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

MAX8660/MAX8660A/MAX8661

標準動作特性(続き)

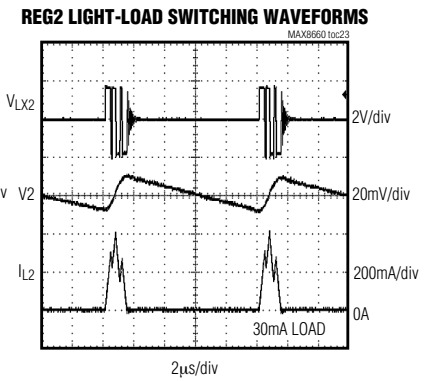
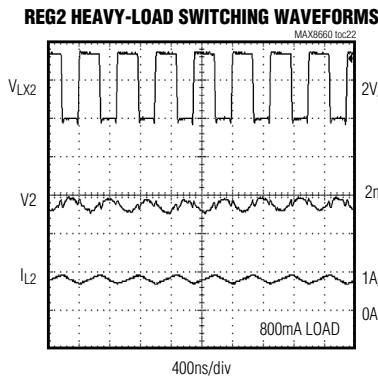
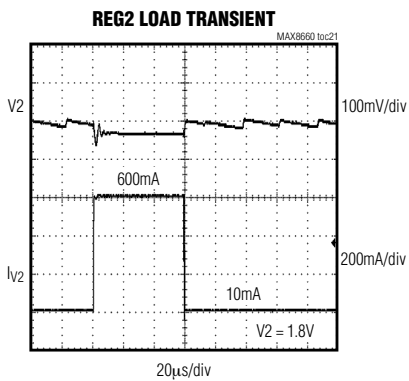
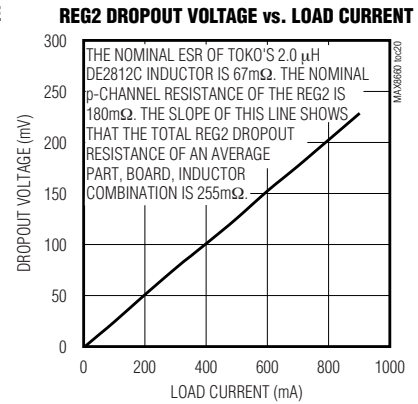
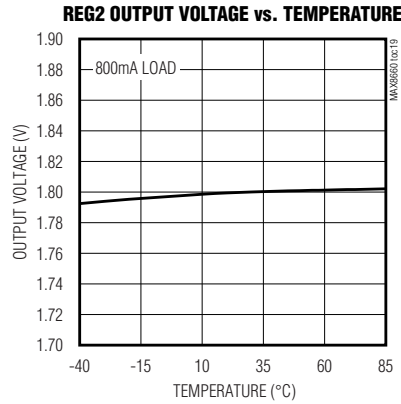
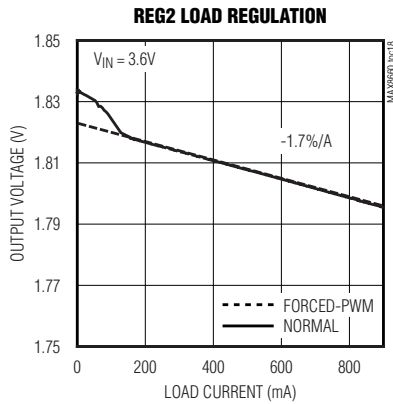
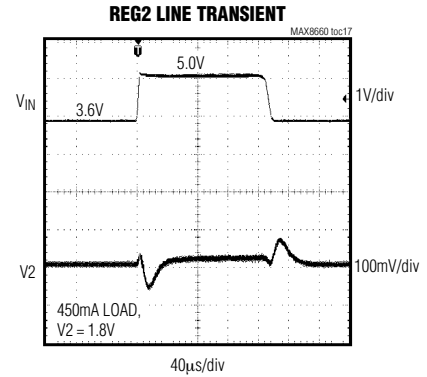
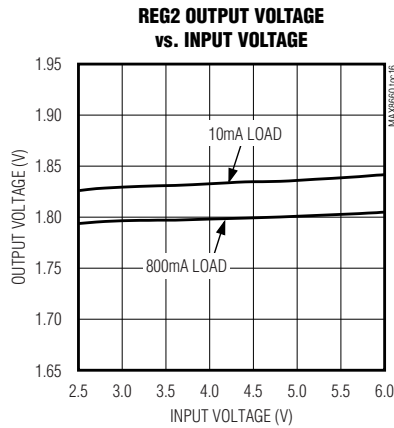
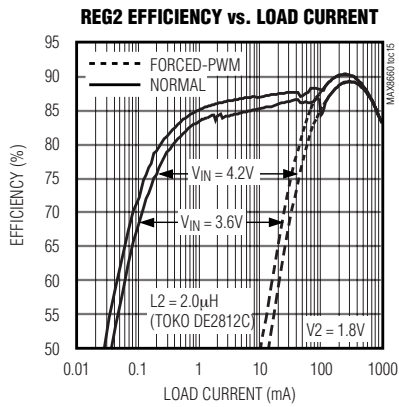
(Circuit of Figure 3, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)



モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

標準動作特性(続き)

(Circuit of Figure 3, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)

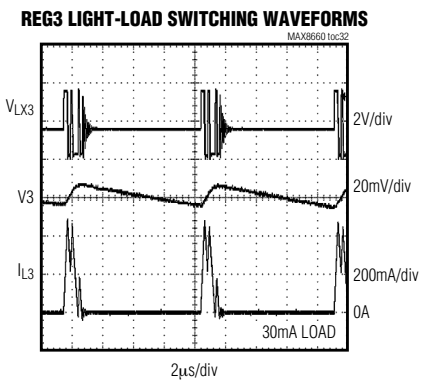
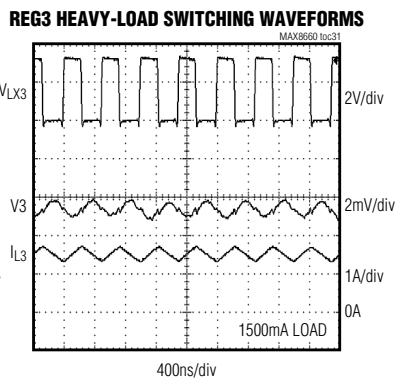
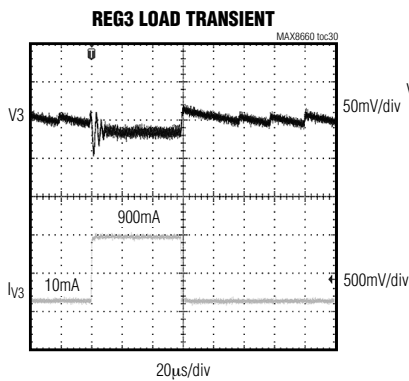
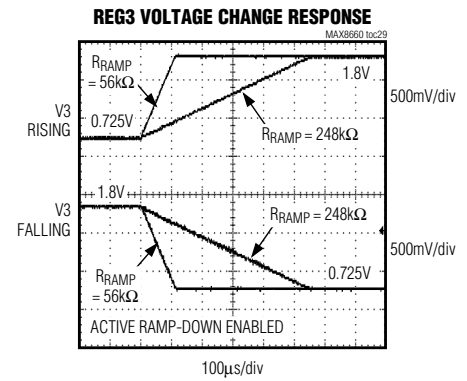
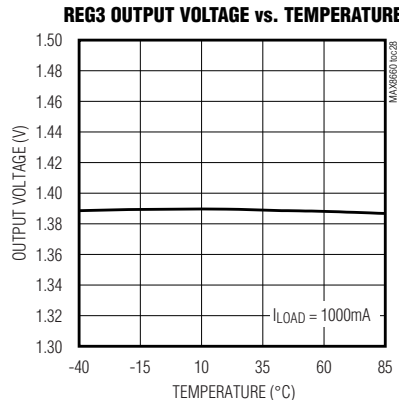
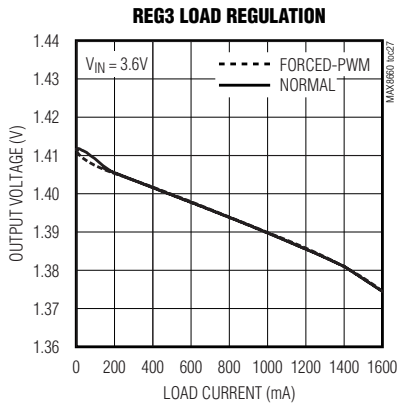
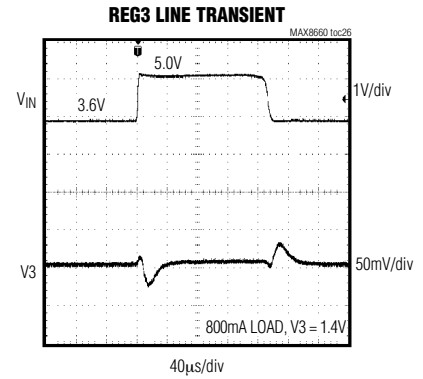
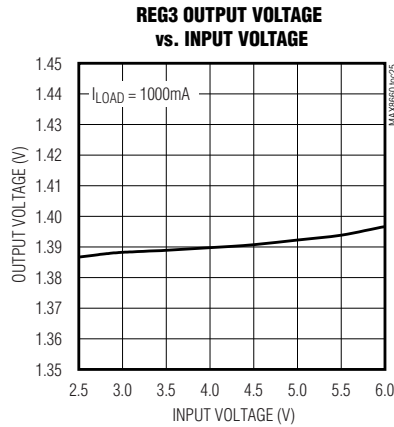
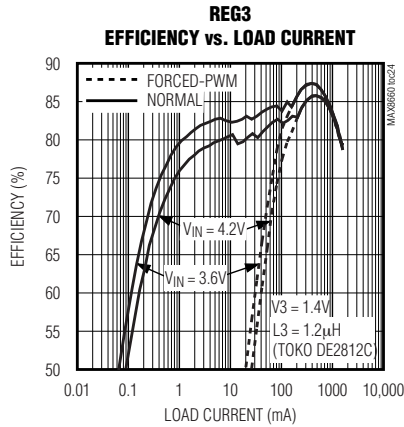


モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

MAX8660/MAX8660A/MAX8661

標準動作特性(続き)

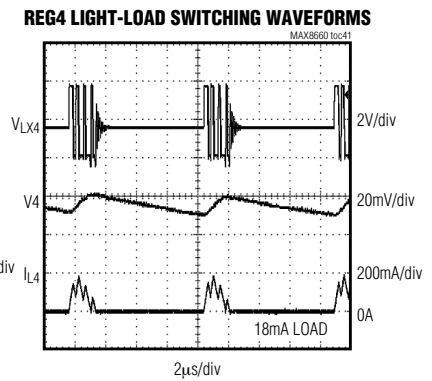
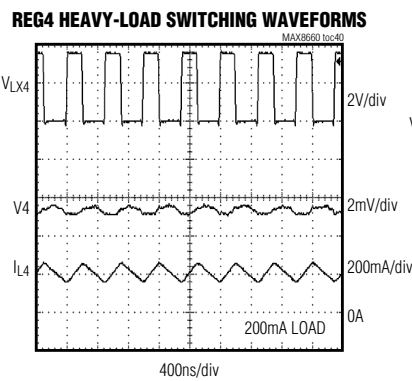
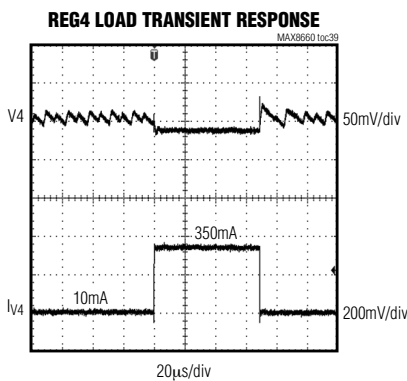
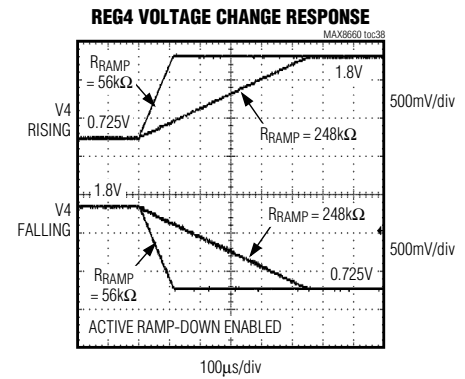
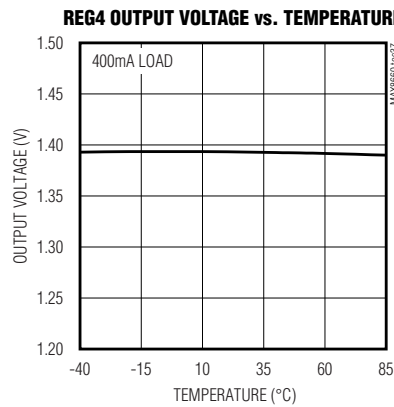
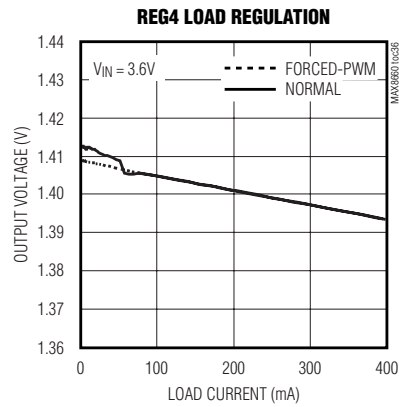
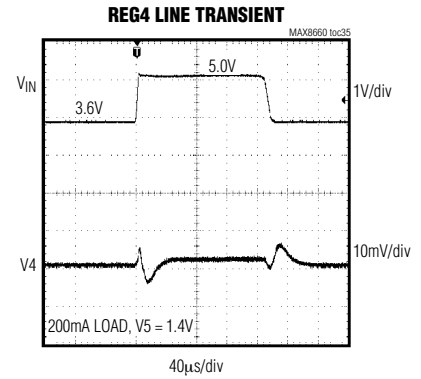
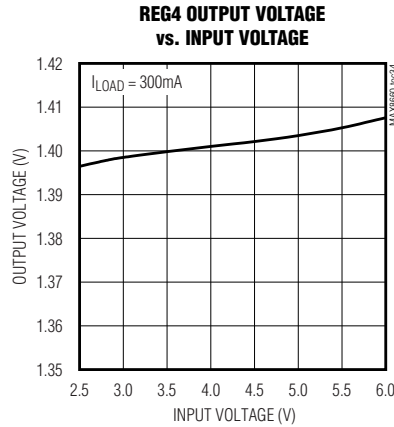
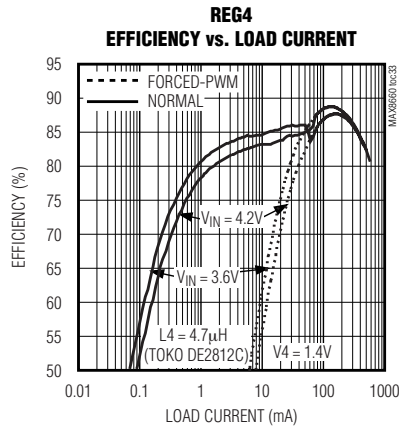
(Circuit of Figure 3, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)



モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

標準動作特性(続き)

(Circuit of Figure 3, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)



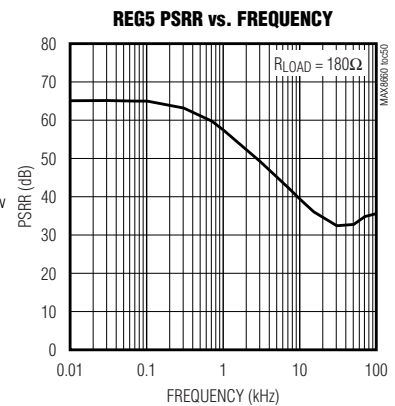
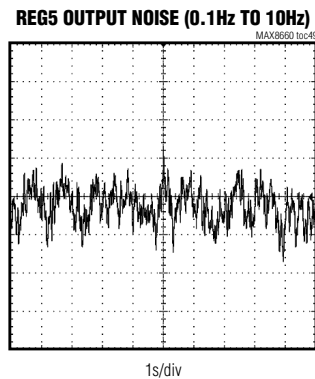
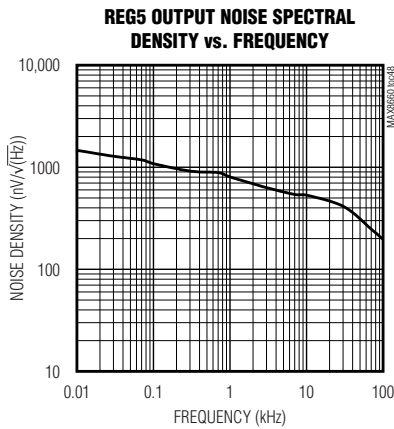
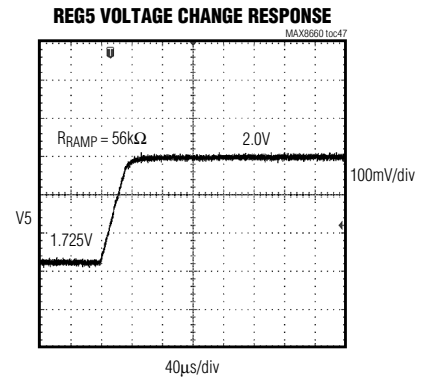
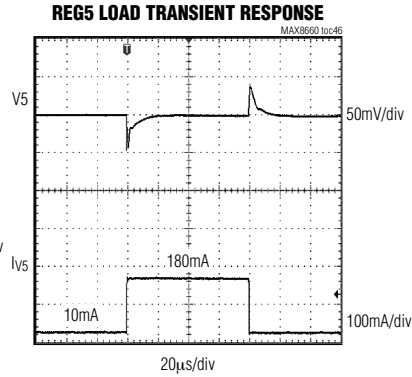
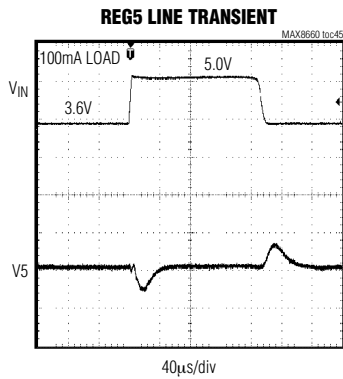
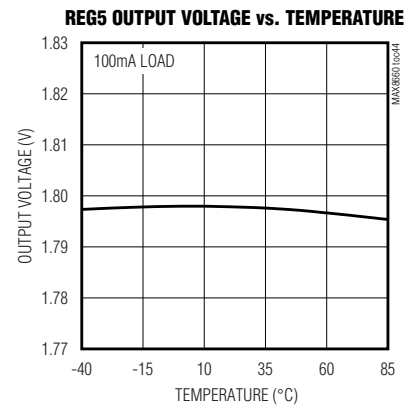
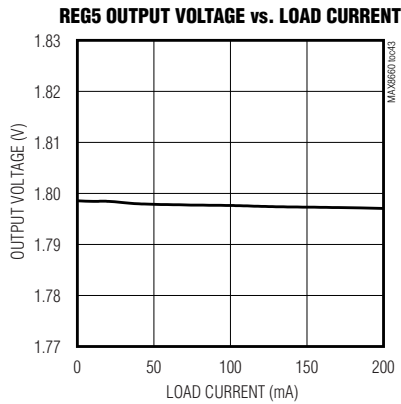
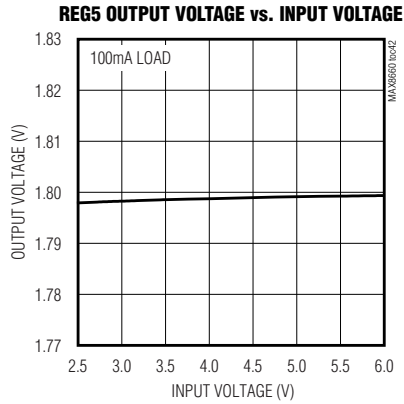
MAX8660/MAX8660A/MAX8661

モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

MAX8660/MAX8660A/MAX8661

標準動作特性(続き)

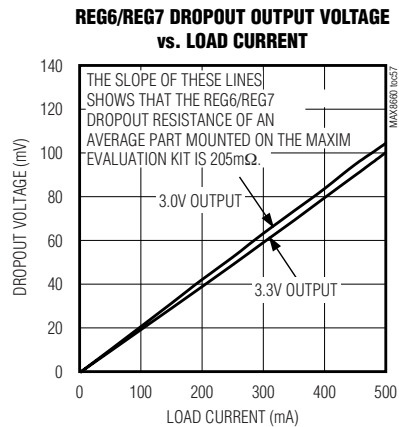
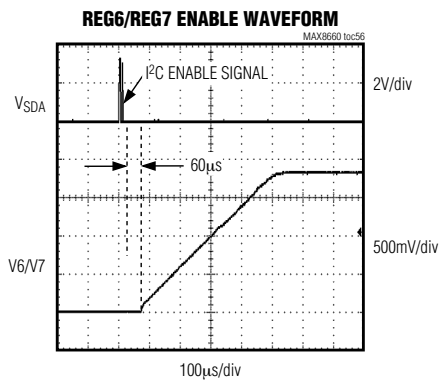
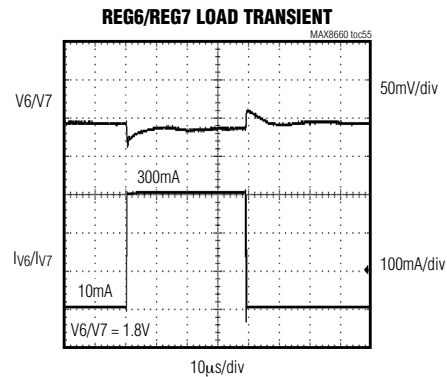
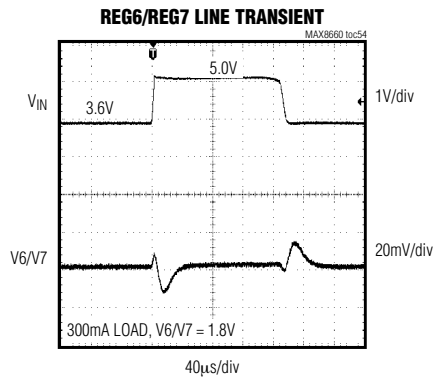
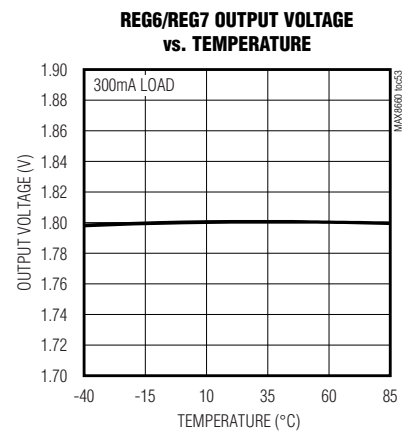
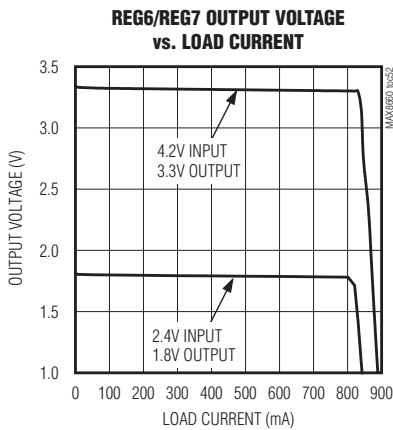
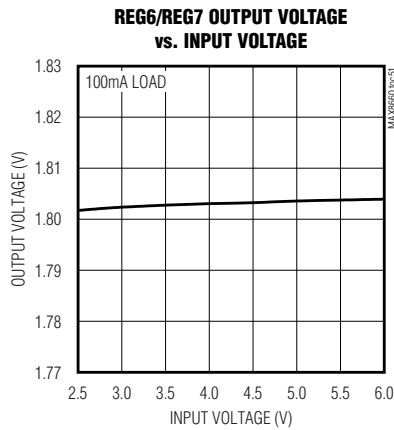
(Circuit of Figure 3, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)



モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

標準動作特性(続き)

(Circuit of Figure 3, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)

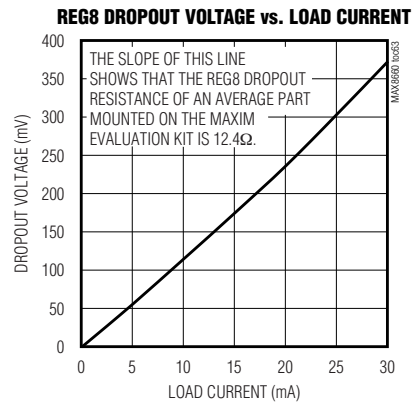
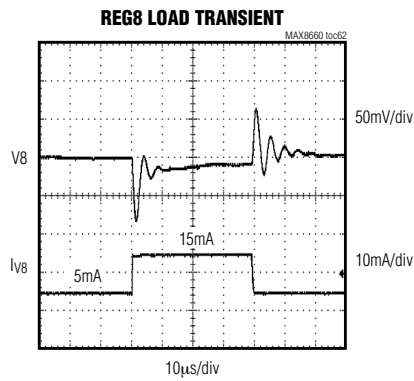
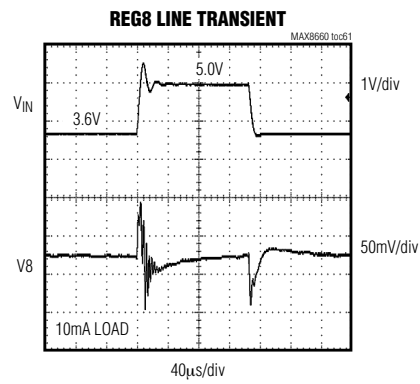
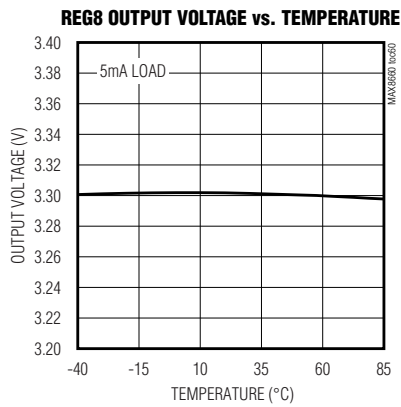
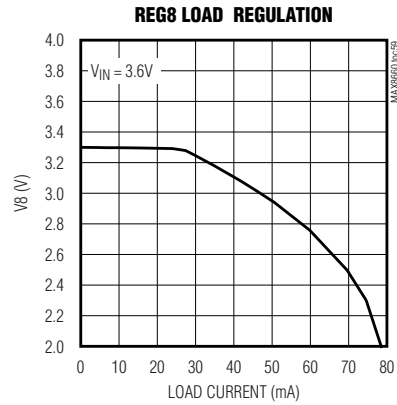
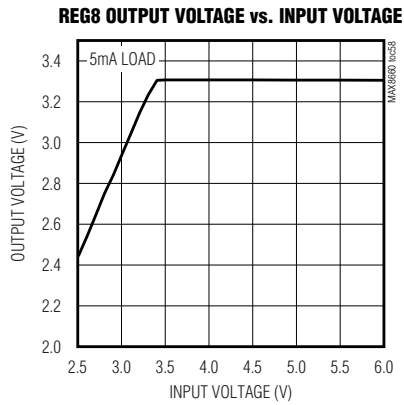


モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

MAX8660/MAX8660A/MAX8661

標準動作特性(続き)

(Circuit of Figure 3, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)



モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

端子説明

端子	名称		機能
	MAX8660	MAX8661	
1	IN5	IN5	REG5電源入力。Intelのシーケンス要件を満たすため、IN5をINに接続してV5が最初に立ち上がるようにしてください。Intelの仕様を厳守する必要がない場合は、IN5をV1、V2、または2.35V~V _{IN} の他の電源に接続することができます。詳細については、「リニアレギュレータ(REG5~REG8)」の項を参照してください。
2	V5	V5	REG5リニアレギュレータ出力。V5のデフォルトは1.8Vであり、シリアルインタフェースを通して1.7Vから2.0Vまで調整可能です。V5レギュレータへの入力はIN5です。V5を使用してIntel XScaleプロセッサのVCC_MVT、VCC_BG、VCC_OSC13M、およびVCC_PLLに給電してください。REG5がシャットダウン状態の時、V5は内部で2kΩを通してAGNDにプルダウンされます。
3	PV4	PV4	REG4電源入力。4.7μFのセラミックコンデンサでPV4とPG4を接続してください。すべてのPV端子とINを外部で相互に接続する必要があります。
4	LX4	LX4	REG4スイッチングノード。LX4をREG4のインダクタに接続してください。REG4がシャットダウン状態の時、LX4はハイインピーダンスになります。
5	PG4	PG4	REG4電源グラウンド。PG1、PG2、PG3、PG4、およびAGNDを相互に接続してください。詳細については、MAX8660のEVキットのデータシートを参照してください。
6	SET2	SET2	REG2電圧選択入力。SET2は3レベルのロジック入力です。表4で詳しく示すように、SET2の接続によってV2の出力電圧を選択します。SET2によって選択されたREG2の出力電圧は、REG2のソフトスタート期間の最後にラッチされます。起動期間の後でSET2を変更しても無効です。
7	V6	V6	REG6リニアレギュレータ出力。REG6はシリアルインタフェース経由で起動と設定が行われ、1.8V~3.3Vの範囲で0.1Vステップの出力となります。REG6のデフォルトはオフです。REG6がシャットダウン状態の時、V6は内部で350Ωを通してAGNDにプルダウンされます。V6はオプションでIntel XScaleプロセッサのVCC_CARD1への給電に使用されます。
	IN67	—	REG6およびREG7電源入力。IN67はINに接続するのが標準です。IN67は2.35V~V _{IN} の任意の電源に接続することもできます。
8	—	IN6	REG6電源入力。IN6はINに接続するのが標準です。IN6は2.35V~V _{IN} の任意の電源に接続することもできます。
	V7	—	REG7リニアレギュレータ出力。REG7はシリアルインタフェース経由で起動と設定が行われ、1.8V~3.3Vの範囲で0.1Vステップで出力されます。REG7のデフォルトはオフです。REG7がシャットダウン状態の時、V7は内部で350Ωを通してAGNDにプルダウンされます。V7はオプションで必要に応じてIntel XScaleプロセッサのVCC_CARD2への給電に使用されます。
9	—	N.C.	内部接続なし
10	V2	V2	REG2電圧検出入力。V2をREG2の出力電圧にじかに接続してください。REG2の出力電圧はSET2によって選択されます。REG2がシャットダウン状態の時、V2は内部で650Ωを通してAGNDにプルダウンされます。V2はIntel XScaleプロセッサのVCC_MEMに給電されます。
11	SCL	SCL	シリアルクロック入力。[I ² Cインタフェース]の項を参照してください。
12	SDA	SDA	シリアルデータ入力。[I ² Cインタフェース]の項を参照してください。
13	$\overline{\text{LBO}}$	$\overline{\text{LBO}}$	ローバッテリー出力。 $\overline{\text{LBO}}$ はLBFがスレッシュホールド未満のときローになるオープンドレイン出力です。バッテリーが取り外されたか放電したことを示すために、 $\overline{\text{LBO}}$ はIntel XScaleプロセッサのnBATT_FAULT入力に接続するのが標準です。
14	PV2	PV2	REG2電源入力。4.7μFのセラミックコンデンサでPV2とPG2を接続してください。すべてのPV端子とINを外部で相互に接続する必要があります。
15	LX2	LX2	REG2スイッチングノード。LX2をREG2のインダクタに接続してください。REG2がシャットダウン状態の時、LX2はハイインピーダンスになります。
16	PG2	PG2	REG2電圧グラウンド。PG1、PG2、PG3、PG4、およびAGNDを相互に接続してください。詳細については、MAX8660のEVキットのデータシートを参照してください。
17	IN8	IN8	REG8入力電源接続。IN8はINに接続する必要があります。
18	IN	IN	主バッテリー入力。この入力によってICに給電します。0.47μFのセラミックコンデンサでINとAGNDを接続してください。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

端子説明(続き)

端子	名称		機能
	MAX8660	MAX8661	
19	AGND	AGND	アナロググランド。PG1、PG2、PG3、PG4、およびAGNDを相互に接続してください。詳細については、MAX8660のEVキットのデータシートを参照してください。
20	V8	V8	REG8常時オン3.3V LDO出力。REG8はMAX8660/MAX8661で最初に立ち上がるレギュレータです。REG8はINから給電され、最大30mAを供給します。INの低電圧または過電圧ロックアウト中は、V8は内部で1.5kΩを通してAGNDにプルダウンされます。V8はIntel XScaleプロセッサのVCC_BBATT1に接続してください。
21	LBF	LBF	ローバッテリー検出電圧低下入力。LBFのスレッシュホールドは1.20Vです。LBFをLBRに接続すると、50mVのヒステリシスになります。より大きなヒステリシスが必要な場合は、3抵抗分圧器を使用してください。LBFによって、LBOがローになる電圧低下を設定します。詳細については、「ローバッテリー検出回路(LBO、LBF、LBR)」の項を参照してください。
22	LBR	LBR	ローバッテリー検出電圧上昇入力。LBRのスレッシュホールドは1.25Vです。LBFをLBRに接続すると、50mVのヒステリシスになります。より大きなヒステリシスが必要な場合は、3抵抗分圧器を使用してください。LBRで、LBOが高いになる電圧上昇を設定します。詳細については、「ローバッテリー検出回路(LBO、LBF、LBR)」の項を参照してください。
23	\overline{MR}	\overline{MR}	手動リセット入力。MR入力がないとき、RSOがローになり、シリアルで設定されたレジスタがすべてデフォルト値にリセットされます。詳細については、「リセット出力(RSO)およびMR入力」の項を参照してください。
24	RAMP	RAMP	立上り速度入力。RAMPとAGNDの間に抵抗を接続して、レギュレータの立上り速度を設定します。詳細については、「立上り速度制御(RAMP)」の項を参照してください。
25	EN5	EN5	REG5イネーブル入力。EN5をハイに駆動すると、REG5がオンになります。EN5にはヒステリシスがあるため、RCを使用して他の入力に関する手動シーケンスを実装することができます。EN5はIntel XScaleプロセッサのSYS_EN出力で駆動するのが標準です。
26	PG3	PG3	REG3電源グランド。PG1、PG2、PG3、PG4、およびAGNDを相互に接続してください。詳細については、MAX8660のEVキットのデータシートを参照してください。
27	LX3	LX3	REG3スイッチングノード。LX3をREG3のインダクタに接続してください。REG3がシャットダウン状態の時、LX3はハイインピーダンスになります。
28	PV3	PV3	REG3電源入力。4.7μFのセラミックコンデンサでPV3とPG3を接続してください。すべてのPV端子およびINを外部で相互に接続する必要があります。
29	\overline{RSO}	\overline{RSO}	オープンドレインリセット出力。 \overline{RSO} は、Intel XScaleプロセッサのnRESET入力に接続するのが標準です。MAX8660/MAX8661のRSOからの出力がローのとき、シリアルで設定されたレジスタがすべてデフォルト値にリセットされ、プロセッサはリセット状態に入ります。詳細については、「リセット出力(RSO)およびMR入力」の項を参照してください。
30	V3	V3	REG3電圧検出入力。V3をREG3の出力電圧にじかに接続してください。出力電圧のデフォルトは1.4Vであり、シリアルインタフェースを通して0.725V~1.8Vの範囲で調整可能です。REG3がシャットダウン状態の時、V3は内部で550Ωを通してAGNDにプルダウンされます。V3はIntel XScaleプロセッサのVCC_APPS1に接続します。
31	EN34	EN34	REG3およびREG4のアクティブハイハードウェアイネーブル入力。EN34をハイに駆動すると、REG3とREG4の両方がイネーブルされます。EN34をローに駆動すると、シリアルインタフェースでREG3とREG4を個別にイネーブルすることができます。EN34にはヒステリシスがあるため、RCを使用して他の入力に関する手動シーケンスを実装することができます。EN34はIntel XScaleプロセッサのPWR_EN出力で駆動するのが標準です。詳細については、「REG3/REG4イネーブル(EN34、EN3、EN4)」の項を参照してください。
32	EN2	EN2	REG2イネーブル入力。EN2をハイに駆動すると、REG2がオンになります。EN2にはヒステリシスがあるため、RCを使用して他の入力に関する手動シーケンスを実装することができます。EN2はIntel XScaleプロセッサのSYS_EN出力で駆動するのが標準です。
33	SRAD	SRAD	シリアルアドレス入力。SRADをAGNDに接続すると、7ビットのスレーブアドレスが0110 100 (0x68)になります。SRADをIN1に接続すると、アドレスが0110 101 (0x6A)に変更されます。MAX8660/MAX8661は書き込み専用であるため、8番目のスレーブアドレスビットは常に0です。詳細については、「スレーブアドレス」の項を参照してください。
34	PG1	—	REG1電源グランド。PG1、PG2、PG3、PG4、およびAGNDを相互に接続してください。詳細については、MAX8660のEVキットのデータシートを参照してください。
	—	GND	グランド。すべてのGND端子をEPに接続してください。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

端子説明(続き)

端子	名称		機能
	MAX8660	MAX8661	
35	LX1	—	REG1スイッチングノード。LX1をREG1のインダクタに接続してください。REG1がシャットダウン状態の時、LX1はハイインピーダンスになります。
	—	N.C.	内部接続なし
36	PV1	—	REG1電源入力。4.7μFのセラミックコンデンサでPV1とPG1を接続してください。すべてのPV端子およびINを外部で相互に接続する必要があります。
	—	PV	電源入力。すべてのPV端子およびINを外部で相互に接続する必要があります。
37	EN1	—	REG1イネーブル入力。EN1をハイに駆動すると、REG1がオンになります。EN1にはヒステリシスがあるため、RCを使用して他の入力に関する手動シーケンスを実装することができます。EN1はIntel XScaleプロセッサのSYS_EN出力で駆動するのが一般的です。
	—	GND	グラウンド。すべてのGND端子を経路をEPに接続してください。
38	V1	—	REG1電圧検出入力。V1をREG1の出力電圧にじかに接続してください。REG1の出力電圧はSET1によって選択されます。Intel XScaleプロセッサの場合、V1をVCC_IOxに接続してください。REG1がシャットダウン状態の時、V1は内部で650Ωを通してAGNDにプルダウンされます。
	—	GND	グラウンド。すべてのGND端子を経路をEPに接続してください。
39	SET1	—	REG1電圧選択入力。SET1は3レベルのロジック入力です。表3で詳しく示すように、SET1の接続によってV1の出力電圧が選択されます。SET1によって選択されたREG1の出力電圧は、REG1のソフトスタート期間の最後でラッチされます。スタートアップ期間の後でSET1を変更しても無効です。
	—	GND	グラウンド。すべてのGND端子を経路をEPに接続してください。
40	V4	V4	REG4フィードバック検出入力。V4をREG4の出力電圧にじかに接続してください。REG4の出力電圧のデフォルトは1.4Vであり、シリアルインタフェースで0.725V~1.8Vの範囲で調整可能です。REG4がシャットダウン状態の時、V4は内部で550Ωを通してAGNDにプルダウンされます。V4はIntel XScaleプロセッサのVCC_SRAMに給電します。
EP	EP	EP	エクスポーズドパッド。エクスポーズドパッドはグラウンドに接続してください。エクスポーズドパッドをグラウンドに接続しても、PG1、PG2、PG3、PG4、およびAGNDに対する適切なグラウンド接続の必要がなくなるわけではありません。エクスポーズドパッドはエポキシでダイの基板に接着されており、ICから熱を除去するための優れた経路となっています。

詳細

MAX8660/MAX8661 PMICは、スマート携帯電話、PDA、インターネット機器、および相当量の計算およびマルチメディア能力と低消費電力を必要とするその他の携帯型デバイスを含む、次世代Intel XScaleプロセッサ使用デバイス向けに最適化されています。MAX8660/MAX8661は、Intel XScaleプロセッサ仕様に準拠しています。

図2に示すように、MAX8660には8組の高性能、低動作電流の電源が集積化されています。REG1~REG4はステップダウンDC-DCコンバータ、REG5~REG8はリニアレギュレータです。その他の機能には、ローバッテリー検出(LBO)、リセット出力(RSO)、手動リセット入力(MR)、および2線式I²Cシリアルインタフェースが含まれています。MAX8661はMAX8660と同様に機能しますが、REG1ステップダウンレギュレータとREG7リニアレギュレータがありません。

動作入力電圧範囲は2.6V~6.0Vであり、1セルLi+ (リチウムイオン)バッテリー、3セルNiMH、または5V入力での使用が可能です。低電圧および過電圧ロックアウト機能を使用して入力保護が提供されます。過電圧ロックアウトは、最大7.5Vの入力からデバイスを保護します。

マキシムとIntelの用語比較

MAX8660/MAX8661は、Intelの次世代XScaleプロセッサに対応しています。図1は、Intel XScaleプロセッサとMAX8660/MAX8661の間で可能な多くの接続の内の1つを示しています。Intel製プロセッサを使用したシステム開発を容易にするため、この文書ではマキシムとIntelの両方の用語を使用します。Intelの用語は、括弧内に示し斜体で示します。たとえば、この文書では「V8 (VCC_BBATT)」と記述しますが、これはMAX8660のV8出力がIntelのVCC_BBATT電源ドメインに給電を行うためです。表1および2に、マキシムとIntelの用語をまとめておきます。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

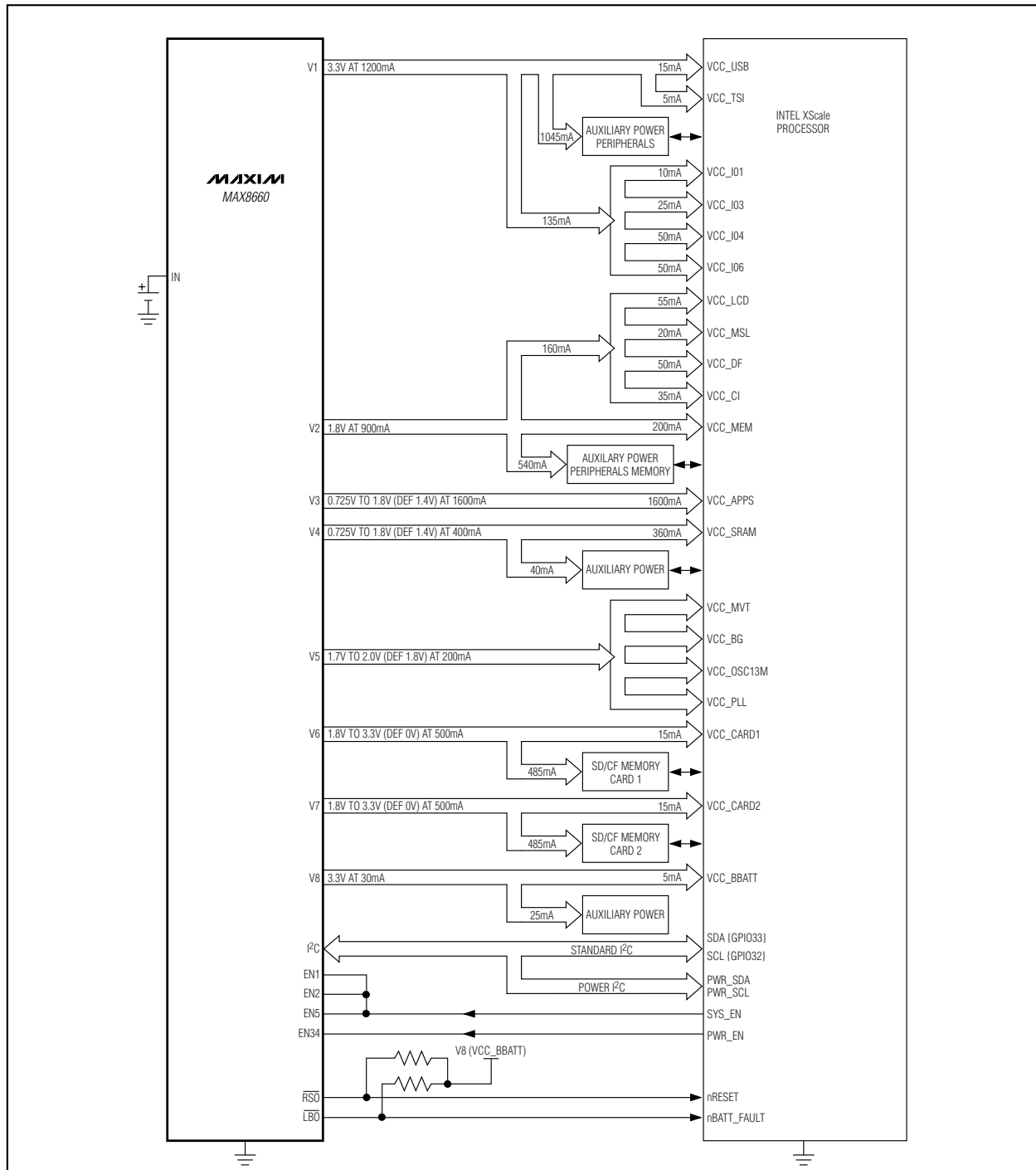


図1. MAX8660とIntel XScaleプロセッサの接続例。これは1例に過ぎません。他の接続もサポートされています。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

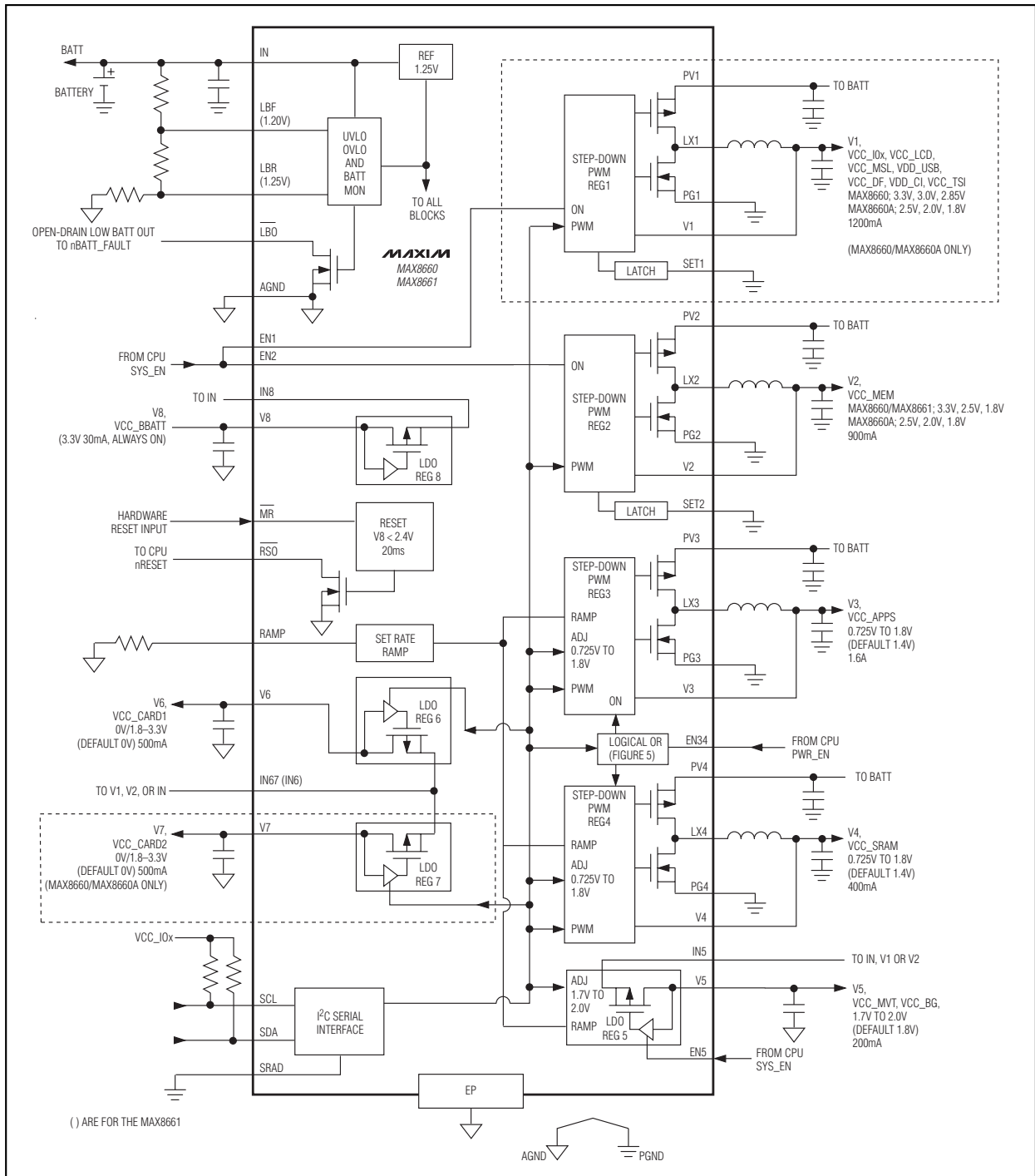


図2. 機能ブロック図

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

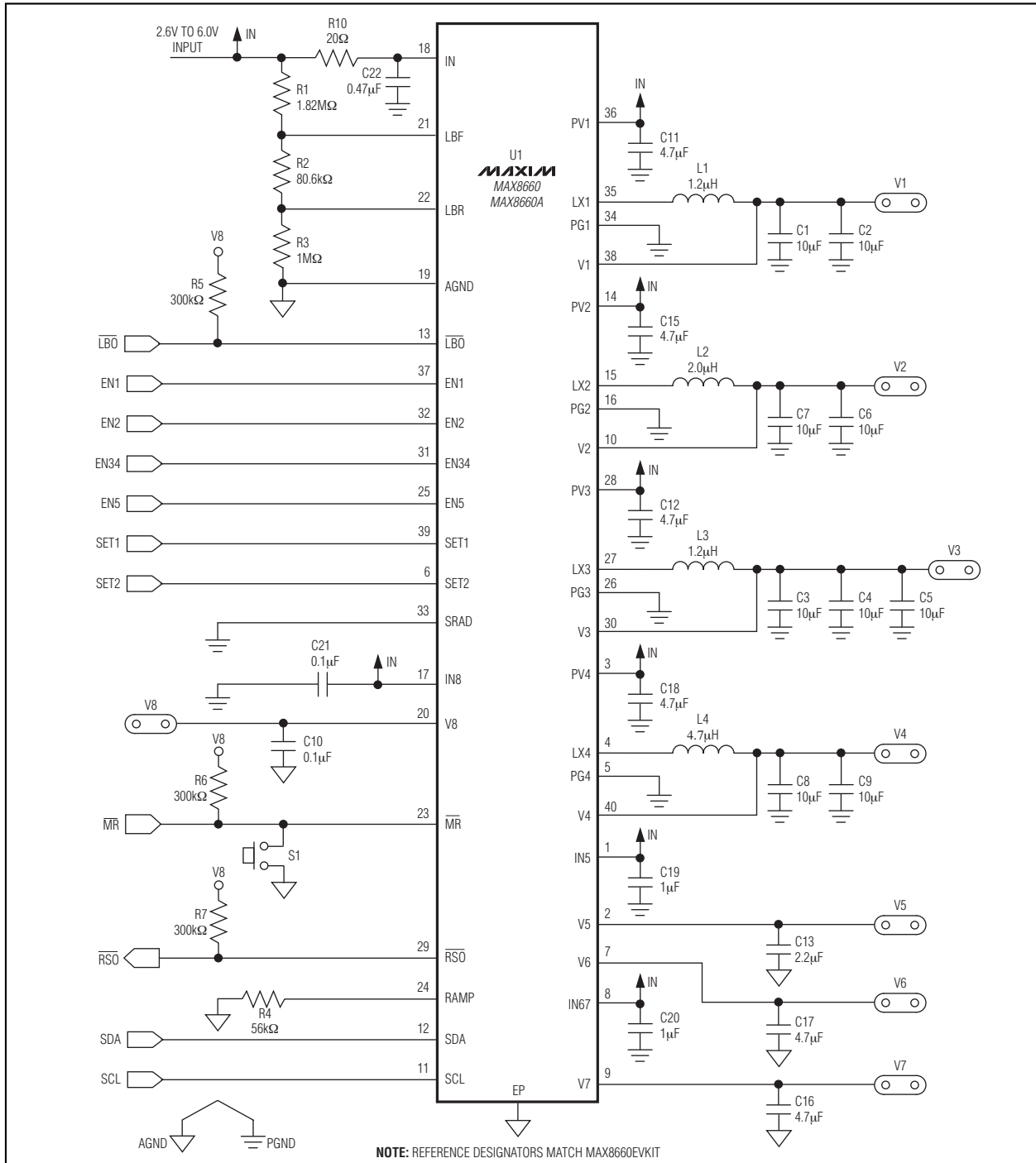


図3. 標準動作回路

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

表1. マキシムとIntel電源ドメインの用語

INTEL POWER DOMAIN	INTEL POWER DOMAIN ACCEPTABLE VOLTAGE	COMPATIBLE MAXIM POWER DOMAIN	DESCRIPTION
VCC_IO1 VCC_IO3 VCC_IO4 VCC_IO6	1.8V ±10% or 3.0V ±10% or 3.3V ±10%	V1 or V2	<ul style="list-style-type: none"> Peripheral I/O supply for UARTs, standard I²C, power I²C, audio interface, SSPs, PWMs, etc. (VCC_IO1, VCC_IO3, VCC_IO4, VCC_IO6)
VCC_LCD VCC_MSL VCC_CI VCC_DF	1.8V ±10% or 3.0V ±10%	V1 or V2	<ul style="list-style-type: none"> LCD interface logic (VCC_LCD) Fast serial interface (VCC_MSL) Camera flash interface (VCC_CI) Data flash interface (VCC_DF)
VCC_MEM	1.8V ±100mV	V2	<ul style="list-style-type: none"> I/O supply for high-speed memory
VCC_APPS	0.95V to 1.41V ±5%	V3	<ul style="list-style-type: none"> Main processor core
VCC_SRAM	1.08V to 1.41V ±100mV	V4	<ul style="list-style-type: none"> Internal SRAM memory
VCC_MVT VCC_BG VCC_OSC13M VCC_PLL	1.8V ±100mV	V5	<ul style="list-style-type: none"> Internal logic and I/O blocks (VCC_MVT) Bandgap reference (VCC_BG) 13MHz oscillator (VCC_OSC13M) Phase-locked loop (PLL) and oscillator (VCC_PLL)
VCC_CARD1	1.8V ±10% or 3.0V ±10% or 3.3V ±10%	V6	<ul style="list-style-type: none"> Removable storage and USIM card supply
VCC_CARD2	1.8V ±10% or 3.0V ±10% or 3.3V ±10%	V7	<ul style="list-style-type: none"> Removable storage and USIM card supply
VCC_BBATT	3.0V ±1V	V8	<ul style="list-style-type: none"> Regulated battery voltage
VCC_USB	3.3V ±300mV	V1 or V2 (if programmed to 3.3V)	<ul style="list-style-type: none"> Universal serial bus (VCC_USB)
VCC_TSI	3.3V ±300mV	V1 or V2 (if programmed to 3.3V)	<ul style="list-style-type: none"> Touch-screen interface (VCC_TSI)

ステップダウンDC-DCコンバータ (REG1~REG4)

REG1 (VCC_IO)ステップダウンDC-DCコンバータ (MAX8660のみ)

REG1は、高効率(REG1 + REG8 I_Q = 40μA)の2MHz電流モードステップダウンコンバータであり、最大1200mAを最高96%の効率で出力します(「標準動作特性」参照)。出力電圧(V1)は、表3に示すようにSET1入力で選択されます。REG1の出力電圧の選択は、REG1のソフトスタート期間の最後にラッチされます。起動期間の後でSET1を変更しても無効です。

EN1はREG1専用のイネーブル入力です。EN1をハイに駆動してREG1をイネーブルするか、EN1をローに駆動してREG1をディセーブルします。

RCを使用して他の入力との手動シーケンスを実装することができるようにEN1はヒステリシスを備えています。Intel XScaleプロセッサベースのシステムでは、EN1、EN2、およびEN5をSYS_ENに接続するのが標準的です(表2)。

REG1ステップダウンレギュレータは、ノーマルモードまたは強制PWMモードで動作します。詳細については、

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

表2. デジタル信号に関するマキシムとIntelの用語

MAXIM	INTEL	DESCRIPTION
EN34	<i>PWR_EN</i>	Active-High Enable Signal for Processor Core Power. The Intel XScale processor drives this <i>PWR_EN</i> signal high to exit sleep mode. The processor's <i>PWR_EN</i> logic is powered by the MAX8660/MAX8661 "always on" V8 (<i>VCC_BBATT</i>) regulator during sleep mode.
EN1, EN2, EN5	<i>SYS_EN</i>	Active-High Enable Signal for Peripheral Power Supplies. The Intel XScale processor drives this <i>SYS_EN</i> signal high to enter run mode.
\overline{RSO}	<i>nRESET</i>	Active-Low Reset. The MAX8660/MAX8661 drive this signal low to reset the processor. When \overline{RSO} goes low, the MAX8660/MAX8661 I ² C registers are reset to their default values.
\overline{LBO}	<i>nBATT_FAULT</i>	Active-Low Battery Fault. The MAX8660/MAX8661 drive this signal low to signal the processor that the battery has been removed or discharged.
SDA	<i>GPIO33</i> <i>PWR_SDA</i>	I ² C Serial-Data Input/Output. The MAX8660/MAX8661 SDA generally connects to both the XScale processor's standard I ² C data line (<i>GPIO33</i>) and its dedicated power I ² C data line. This connection operates as an I ² C multimaster system with the MAX8660/MAX8661 accepting commands from both the standard I ² C and the power I ² C.
SCL	<i>GPIO32</i> <i>PWR_SCL</i>	I ² C Serial Clock. The MAX8660/MAX8661 SCL generally connects to both the XScale processor's standard I ² C clock line (<i>GPIO32</i>) and its dedicated power I ² C clock line. This connection operates as an I ² C multimaster system with the MAX8660/MAX8661 accepting commands from both the standard I ² C and the power I ² C.

表3. SET1のロジック

SET1*	MAX8660: V1 (V)	MAX8660A: V1 (V)
IN	3.3	2.5
UNCONNECTED	3.0	2.0
GROUND	2.85	1.8

*SET1はREG1の起動後にラッチされます。

表4. SET2のロジック

SET2*	MAX8660, MAX8661: V2 (V)	MAX8660A: V2 (V)
IN	3.3	2.5
UNCONNECTED	2.5	2.0
GROUND	1.8	1.8

*SET2はREG2の起動後にラッチされます。

「REG1～REG4ステップダウンDC-DCコンバータの動作モード」の項を参照してください。

REG1はオンチップの同期整流器を備えています。詳細については、「REG1～REG4の同期整流器」の項を参照してください。

REG1レギュレータは、100%デューティサイクルの動作が可能です。詳細については、「REG1/REG2 100%デューティサイクル動作(ドロップアウト)」の項を参照してください。

REG2 (VCC_IO、VCC_MEM)ステップダウン DC-DCコンバータ

REG2は、高効率(REG2 + REG8 I_Q = 40μA)の2MHz電流モードステップダウンDC-DCコンバータであり、最大900mAを最高96%の効率で出力します。出力電圧は、表4に示すようにSET2入力で選択されます。REG2の出力電圧の選択は、REG2のソフトスタート期間の最後にラッチされます。起動期間の後でSET2を変更しても無効です。

EN2はREG2専用のイネーブル入力です。EN2をハイに駆動してREG2をイネーブルするか、EN2をローに駆動してREG2をディセーブルします。RCを使用して他の入力との手動シーケンスを実装することができるようにEN2はヒステリシスを備えています。Intel製プロセッサベースのシステムでは、EN1、EN2、およびEN5を*SYS_EN*に接続するのが標準的です(表2)。

REG2ステップダウンレギュレータは、ノーマルモードまたは強制PWMモードで動作します。詳細については、「REG1～REG4ステップダウンDC-DCコンバータの動作モード」の項を参照してください。

REG2レギュレータはオンチップの同期整流器を備えています。詳細については、「REG1～REG4の同期整流器」の項を参照してください。

REG2レギュレータは、100%デューティサイクルの動作が可能です。詳細については、「REG1/REG2 100%デューティサイクル動作(ドロップアウト)」の項を参照してください。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

REG3 (VCC_APPS)ステップダウン DC-DCコンバータ

REG3は、高効率(REG3 + REG8 I_Q = 45μA)の2MHz電流モードステップダウンコンバータであり、出力電圧はI²Cを使って0.725V~1.800Vの範囲で、25mVステップで調整可能で、効率は最大92%です。REG3のデフォルトの出力電圧は1.4Vです(その他のデフォルト電圧については、お問い合わせください)。REG3は、最大1.6Aを供給します。出力電圧の調整方法に関する詳細については、「I²Cインタフェース」の項を参照してください。

REG3は、I²Cイネーブルビット(EN3)および共有のハードウェアイネーブル端子(EN34)を備えています。詳細については、「REG3/REG4イネーブル(EN34、EN3、EN4)」の項を参照してください。

REG3ステップダウンレギュレータは、ノーマルモードまたは強制PWMモードで動作します。詳細については、「REG1~REG4ステップダウンDC-DCコンバータの動作モード」の項を参照してください。

REG3レギュレータはオンチップの同期整流器を備えています。詳細については、「REG1~REG4の同期整流器」の項を参照してください。

REG4 (VCC_SRAM)ステップダウン DC-DCコンバータ

REG4は、I²Cで出力電圧を0.725V~1.800Vの範囲で、25mV間隔で調整可能な、高効率(REG4 + REG8 I_Q = 45μA)の2MHz電流モードステップダウンコンバータであり、効率は最大92%です。REG4のデフォルトの出力電圧は1.4Vです(その他のデフォルト電圧については、お問い合わせください)。REG4は、最大400mAを供給します。出力電圧の調整方法に関する詳細については、「I²Cインタフェース」の項を参照してください。

REG4は、I²Cイネーブルビット(EN4)および共有のハードウェアイネーブル端子(EN34)を備えています。詳細については、「REG3/REG4イネーブル(EN34、EN3、EN4)」の項を参照してください。

REG4ステップダウンレギュレータは、ノーマルモードまたは強制PWMモードで動作します。詳細については、「REG1~REG4ステップダウンDC-DCコンバータの動作モード」の項を参照してください。

REG4レギュレータはオンチップの同期整流器を備えています。詳細については、「REG1~REG4の同期整流器」の項を参照してください。

REG1~REG4ステップダウン DC-DCコンバータの動作モード

REG1~REG4は、それぞれ独立して、ノーマルと強制PWMという2つのモードのどちらかで動作します。起動時またはリセット後には、REG1~REG4はデフォルトでノーマル動作になります。強制PWMモードを作動させるには、I²Cインタフェースを使ってFPWMレジスタ内のビットを設定します(表9)。FPWMビットはいつでも変更可能です。

強制PWMモードでは、コンバータは出力負荷に関係なく常に2MHzのスイッチング周波数で動作します。MAX8660/MAX8661は、スイッチングのデューティサイクルを変調することによって出力電圧を安定化します。強制PWMモードは、出力電圧リップルが小さく(< 10mV_{p-p})、スイッチング高調波が一定のスイッチング周波数の倍数で発生するためフィルタ処理が容易であることから、低ノイズシステムに最適です。しかし、強制PWMモードにおける軽負荷の消費電力は、ノーマルモードの場合より大きくなります(表7)。

ノーマル動作は、負荷への給電に必要なだけのスイッチングを行うことで、軽負荷時の効率が改善されます。中程度から重負荷では、レギュレータは強制PWMモードと同じように2MHz固定のスイッチング周波数でスイッチングを行います。固定周波数スイッチングへのこの遷移は、次式で決まる負荷電流で発生します。

$$I_{OUT} \approx \frac{V_{IN} - V_{OUT}}{2 \times L} \times \frac{V_{OUT}}{V_{IN} \times f_{SW}}$$

REG1~REG4の同期整流器

内蔵のnチャンネル同期整流器によって、外付けのショットキダイオードが不要となり、効率が向上します。同期整流器は、各スイッチングサイクルの後半(オフ時間)の間オンになります。このとき、インダクタ両端間の電圧が反転し、インダクタ電流が小さくなってゆきます。PWMモードでは、スイッチングサイクルの最後に同期整流器がオフになります。ノーマルモードでは、インダクタ電流が25mAを下回るか、またはスイッチングサイクルの最後に達するか、どちらかが先に起こった時点でオフになります。

REG1/REG2 100%デューティサイクル動作 (ドロップアウト)

REG1およびREG2ステップダウンDC-DCコンバータは、電源電圧が出力電圧に近付くと100%デューティサイクルで動作します。このことによってこれらのコンバータは、入力電圧が必要な出力電圧とコンバータのドロップアウト電圧仕様の和を下回るまで安定化動作を維持することができます。100%デューティサイクル動作中は、ハイサイドpチャンネルMOSFETが常にオンになり、インダクタを通して入力出力に接続されます。ドロップアウト電圧(V_{DO})は次のように計算されます。

$$V_{DO} = I_{LOAD} (R_p + R_L)$$

ここで：

R_p = pチャンネルパワースイッチのR_{DS(ON)}

R_L = 外付けインダクタのESR

REG1のドロップアウト電圧は、1200mA負荷で200mVです(インダクタ抵抗 = 50mΩ)。REG2のドロップアウト電圧は、900mA負荷で225mVです(インダクタ抵抗 = 67mΩ)。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

リニアレギュレータ(REG5~REG8)

REG5 (VCC_MVT、VCC_BG、
VCC_OSC13M、VCC_PLL)

REG5はI²Cで出力電圧を1.700V~2.000Vの範囲で、25mV間隔で調整可能なリニアレギュレータです(REG5 + REG8 I_Q = 55μA)。REG5のデフォルトの電圧は1.8Vです。REG5は最大200mAを供給します。出力電圧の調整方法に関する詳細については、「I²Cインタフェース」の項を参照してください。

REG5リニアレギュレータの電源入力はIN5です。IN5の入力電圧範囲は、下は2.35Vまで広がっています。Intel XScale仕様では、VCC_MVTはSYS_ENIによって(V1およびV2とともに)イネーブルされますが、V1(VCC_IO)またはV2(VCC_MEM)より後で立ち上がることは許されません。この要件から、IN5はINに接続され、V1やV2には接続されないことになります。

EN5はREG5専用のイネーブル入力です。REG5をイネーブルするには、EN5をハイに駆動します。REG5をディセーブルするには、EN5をローに駆動します。RCを使用して他の入力との手動シーケンスを実装することができるようにEN5はヒステリシスを備えています。Intel XScaleプロセッサを使用するシステムでは、EN1、EN2、およびEN5をSYS_ENIに接続するのが標準的です(表2)。

REG6/REG7 (VCC_CARD1、VCC_CARD2)

REG6/REG7リニアレギュレータは、それぞれ最大500mAを供給します(REG6またはREG7 + REG8 I_Q = 85μA)。出力電圧V6およびV7は、シリアルインタフェースを通して1.8V~3.3Vの範囲で0.1V間隔でプログラム可能です(表13)。V6またはV7の電圧変更の詳細については、「I²Cインタフェース」の項を参照してください。MAX8660では、REG6およびREG7リニアレギュレータの電源入力を組み合わせたものがIN67です。MAX8661では、IN6がREG6の電源入力です(REG7はMAX8661では利用不可となっています)。

REG6およびREG7はデフォルトではディセーブルであり、I²Cシリアルインタフェースを使ってイネーブルする必要があります。REG6およびREG7に対して、OVER2レジスタ中に独立したイネーブルビットEN6とEN7が設けられています(表9)。これらのレギュレータをイネーブルするには、該当するイネーブルビットをセットしてください。

REG8 (VCC_BBATT)常時オンレギュレータ

REG8の出力(V8)は、入力電圧(V_{IN})が、低電圧ロックアウトのスレッショルドである2.55V (max)を上回りかつ過電圧ロックアウトのスレッショルドである6.0V (min)未満のとき常にアクティブです。REG8リニアレギュレータはINから給電され、出力は3.3Vに安定化され、最大30mAを供給します。内部のREG8パスエレメントはドロップアウトでは12Ωであり、15mAの出力電流

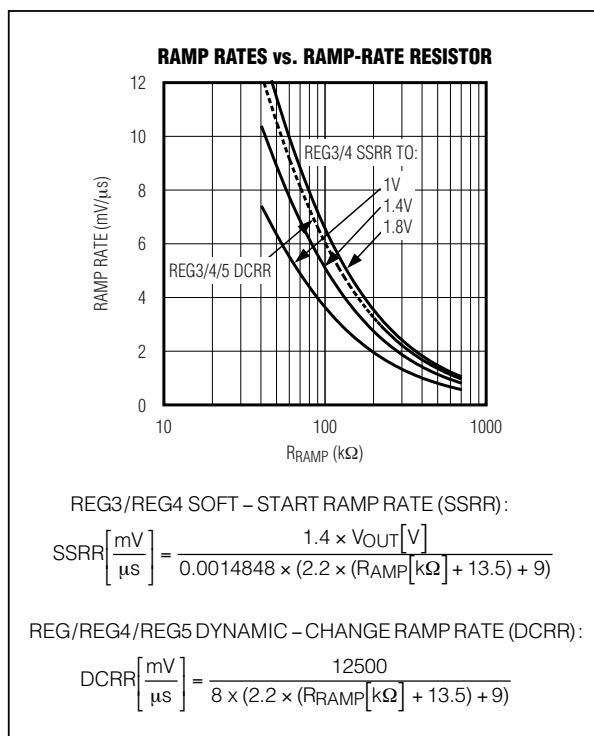


図4. ソフトスタートと電圧変化の立ち上がり速度

で180mVのドロップアウト電圧を提供します。Intel XScaleプロセッサを使用するアプリケーションでは、V8をVCC_BBATTに接続してください。V8が2.2V未満(低下、typ)のとき、RSO出力がローになります。

立ち上がり速度制御(RAMP)

REG1およびREG2には固定のソフトスタート立ち上がり時間が設けられており、イネーブル時の入力電流スパイクを排除します。イネーブルから200μs後、REG1とREG2は0Vから設定された出力電圧まで450μsでリニアに立ち上がります。これらのレギュレータがディセーブルされると、出力容量、内部の650Ω放電抵抗、および外部の負荷によって決定される速度で出力電圧が立ち下がります。

REG3とREG4の出力電圧のリニアな立ち上がり速度は可変であり、RAMPとAGNDを接続する抵抗(R_{RAMP})で設定されます。この抵抗は、ソフトスタート時の出力電圧立ち上がり速度および正の(すなわち1.0Vから1.4Vへの)電圧変化を制御します。負の(すなわち1.4Vから1.0Vへの)電圧変化は、強制PWMモードと、ノーマルモードでARDビットがセットされている場合に制御されます(表9)。図4に、R_{RAMP}と出力電圧立ち上がり速度の関係を示します。R_{RAMP}が56kΩでIntel XScaleプロセッサの標準的要件を満たし、イネーブルから200μs後にR_{RAMP}で設定された速度で、REG3とREG4が0Vから設定された出力電圧までリニアに立ち上がります。REG3とREG4がディセーブルされるときは、出力容量、内部の550Ω放電抵抗、および外部の負荷で決まる速度で出力電圧が減衰します。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

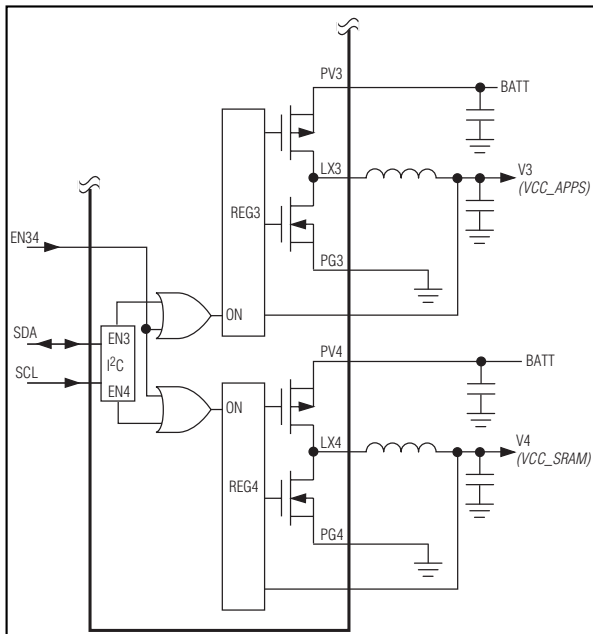


図5. V3/V4イネーブルロジック

アクティブな立下り機能は、強制PWM動作では時には常に有効です。ノーマルモード動作では、ARD3とARD4を設定することによってアクティブ立下りがイネーブルされます(表9)。「アクティブ立下り」がイネーブルされていると、R_{RAMP}で設定された速度でレギュレータの出力電圧が立ち下がります。小さな負荷の場合、レギュレータは出力コンデンサから電流をシンクして、能動的に出力電圧を減衰させる必要があります。ノーマルモードで「アクティブ立下り」がディセーブルされている場合、レギュレータ出力電圧は出力容量と外部の負荷で決定される速度で立ち下がります。負荷が小さければR_{RAMP}で指定された速度よりもゆっくりと出力電圧が減衰し、負荷が大きい場合(> C_{OUT} × RAMPRATE)でも、出力電圧がR_{RAMP}の指定より速い速度で減衰することはありません。

イネーブルから80μs後、REG5は0Vから設定された出力電圧まで225μsでリニアに立ち上がり。正の(すなわち1.8Vから1.9Vへの)電圧変化の間の立ち上がり速度は、R_{RAMP}で設定されます。負の(すなわち1.9Vから1.8Vへの)電圧変化の間は、出力容量と外部の負荷で決まる速度でREG5の出力電圧が減衰します。しかし、立下りがR_{RAMP}で指定された速度より速くなることはありません。REG5がディセーブルされている場合は、出力容量、内部の2kΩ放電抵抗、および外部の負荷で決まる速度で出力電圧が減衰します。

I²Cによってイネーブルされてから60μs後、REG6とREG7は0Vから設定された出力電圧まで450μsでリニアに立ち上がります。REG6とREG7には、正の(すなわち1.8Vから2.5Vへの)電圧変化に対する立ち上がり速度の制御はありません。正の電圧変化の間、出力電圧のdV/dtは最大可能な速度となります。この高速な出力のdV/dtを避けるには、出力が変化する前にREG6またはREG7をディセーブルしてください。この方法では、ソフトスタート立ち上がり速度で出力のdV/dtが制限され、したがって入力電流が制御されます。負の電圧変化(すなわち2.5Vから1.8Vへの変化)の間は、出力容量と外部の負荷で決まる速度でREG6またはREG7の出力電圧が減衰します。REG6またはREG7がディセーブルされている場合は、出力容量、内部の350Ω放電抵抗、および外部の負荷で決まる速度で出力電圧が減衰します。

電源シーケンス

イネーブル信号(EN_{_}、PWR_EN、SYS_EN、I²C)

表5に示すように、MAX8660/MAX8661は数多くのアプリケーションで柔軟性を実現するため多数のイネーブル信号を備えています。Intel XScaleプロセッサを使用する標準的なアプリケーションでは、これらのイネーブル信号の多くが相互接続されます。EN1、EN2、およびEN5が、IntelのSYS_EN出力に接続されるのが標準的です。この接続方法では、(IN5がINに接続されていれば)REG5への給電が最初に立ち上がることになります。EN34は、IntelのPWR_EN出力に接続されるのが標準

表5. イネーブル信号

POWER DOMAIN	MAXIM ENABLE SIGNAL		INTEL ENABLE SIGNAL
	HARDWARE	SOFTWARE	
V1 (VCC_IO) (MAX8660/MAX8660A only)	EN1	—	SYS_EN
V2 (VCC_MEM)	EN2	—	
V5 (VCC_MVT)	EN5	—	
V3 (VCC_APPS)	EN34	EN3 (OVER1)	PWR_EN & PWR_I ² C
V4 (VCC_SRAM)		EN4 (OVER1)	
V6 (VCC_CARD1)	—	EN6 (OVER2)	Standard I ² C
V7 (VCC_CARD2) (MAX8660/MAX8660A only)	—	EN7 (OVER2)	
V8 (VCC_BBATT)	Always on		—

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8661

的ですが、または、I²CインタフェースによってREG3とREG4を作動させることもできます(詳細については「REG3/REG4イネーブル(EN34、EN3、EN4)」の項参照)。REG6とREG7は、シリアルインタフェースによって作動させます。REG8にはイネーブル入力がなく、MAX8660/MAX8661がUVLO~OVLOの範囲で給電されている限り常にオンのままです。UVLOおよびOVLOとなっている間は、すべてのレギュレータが強制的にオフになります。詳細については、「低電圧および過電圧ロックアウト機能」の項を参照してください。

注：Intel XScaleプロセッサのSYS_ENおよびPWR_EN信号を制御するロジックは、VCC_BBATT電源ドメインから給電されます。

REG3/REG4イネーブル(EN34、EN3、EN4)

REG3およびREG4は、それぞれ独立したI²Cイネーブルビット(EN3、EN4)と、共有のハードウェアイネーブル入力(EN34)を備えています。図5に示すように、EN34ハードウェアイネーブル入力はI²Cのイネーブルビットと論理ORされています。表6は、V3/V4イネーブルロジックの真理値表です。純粋なI²Cイネーブル/ディセーブルを実現するには、EN34をグランドに接続します。同様に、純粋なハードウェアイネーブル/ディセーブルを実現するには、I²Cのイネーブルビットをデフォルト値

表6. V3/V4イネーブルロジックの真理値表

HARDWARE INPUT	I ² C BITS		V3	V4
	EN34	EN3		
0	0 (default)	0 (default)	OFF	OFF
0	0	1	OFF	ON
0	1	0	ON	OFF
X	1	1	ON	ON
1	X	X	ON	ON

X = 任意。

(EN3 = EN4 = 0 = オフ)のままにしておきます。ハードウェアのみを使用してV3とV4を独立にイネーブル/ディセーブルすることはできません。

注：MRがローになるとRSOがローに駆動され、I²Cレジスタはデフォルト値であるEN3 = 0およびEN4 = 0に戻ります。

パワーモード

MAX8660/MAX8661は多くのイネーブル信号を提供しており(表5)、これらの信号による電源のイネーブルとディセーブルの任意の組合せをサポートしています。表7に、Intel XScaleプロセッサで定義されているいくつかのパワーモードと、それぞれに対応するMAX8660/MAX8661の自己消費電流を示します。

表7. パワーモードとそれに対応する自己消費電流

POWER MODE	POWER DOMAIN STATE	DIGITAL CONTROL STATE	MAX8660 QUIESCENT OPERATING CURRENT (FIGURE 3)	
			NORMAL OPERATING MODE	FORCED-PWM MODE
ALL ON	V1, V2, V3, V4, V5, V6, V7, and V8 are on	EN1/EN2/EN5 (SYS_EN) and EN34 (PWR_EN) are asserted. V6, V7 are enabled by I ² C	250μA	23mA
RUN, IDLE, and STANDBY	V1, V2, V3, V4, V5, and V8 are on	EN1/EN2/EN5 (SYS_EN) and EN34 (PWR_EN) are asserted	140μA	22.9mA
	V6 and V7 are off	V6 and V7 are disabled by I ² C (default)		
SLEEP	V1, V2, V5, and V8 are on	EN1/EN2/EN5 (SYS_EN) are asserted	90μA	10mA
	V3, V4, V6, and V7 are off	EN34 (PWR_EN) is deasserted; V6 and V7 are disabled by I ² C (default)		
DEEP SLEEP	All supplies off except V8	EN1/EN2/EN5 (SYS_EN) and EN34 (PWR_EN) are deasserted; V6, V7 are disabled by I ² C	20μA	

注：強制PWM電流はMAX8660のEVキットで測定されています。電流はステップダウンインダクタおよび出力コンデンサの許容差によって変化します。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

電源投入と電源切断のタイミング

図6に、Intel XScaleプロセッサファミリの電源投入のシーケンスを示します。一般に、電源は次の順番で立ち上げる必要があります。

- 1)電源投入：V8 → V5 → V1およびV2 → V3およびV4
- 2)REG6とREG7は外部カードスロットへの給電を行うのが標準的であり、アプリケーションの要件に応じて電源投入と電源切断を行うことができます。

Intelのタイミング図ではV5がV1とV2の前に電源投入されることになっていますが、Intel XScaleプロセッサはEN1/EN2/EN5を同じSYS_EN信号で制御することに注意してください。Intel XScaleファミリのタイミングパラメータに基づいて、ほとんどのシステムではEN1/EN2/EN5を相互に接続し、それらをSYS_ENで駆動し

ています。電源投入時には、この接続によってV5がV1とV2より先に立ち上がることが保証されます(V5がINから給電されている場合のみ)。

Intel XScaleの電源コンフィギュレーションレジスタ (PCFR)

MAX8660/MAX8661は、Intel XScaleパワーI²Cレジスタ仕様に準拠しています。これによって、ほとんどあるいはまったくソフトウェア開発を行わずに、PMICをIntel XScaleプロセッサと組み合わせて使用することが可能になっています。表9に示すように、多くのI²Cレジスタが存在しますが、Intel XScaleプロセッサがパワーI²Cインタフェースを使用して自動的にPMICの更新を行うため、REG6とREG7のインエーブルビットを設定するだけでPMICを完全に使用することができます。

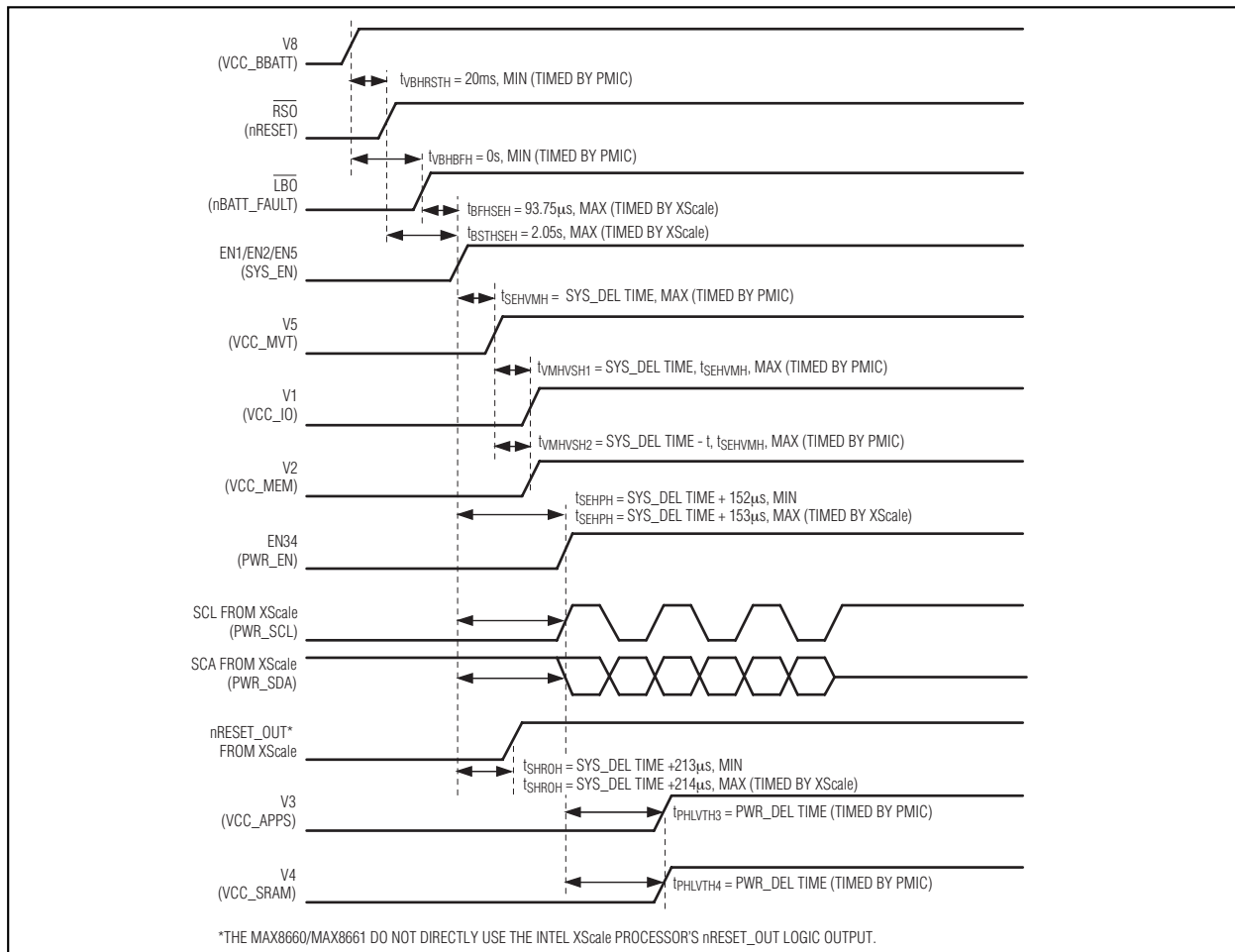


図6. 電源投入タイミング

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

Intel XScaleプロセッサは、パワーマネージメントユニットの全般構成レジスタ(PCFR)を備えています。このレジスタのデフォルト値は、MAX8660/MAX8661に適合しています。しかし、このレジスタを使用してウェイクアップの性能を最適化することが可能です。

- PCFRレジスタには、図6に示すようにSYS_DELとPWR_DELのタイミングパラメータ用のタイマが含まれています。それぞれのタイマのデフォルトは125msです。MAX8660/MAX8661を使用する際には、これらのタイマを2msに短縮することで全体的なシステムウェイクアップディレイを高速化することができます。
- 「ウェイクアップディレイの短縮」機能(SWDDビット)をイネーブルすることで、SYS_DELおよびPWR_DELタイマをバイパスし、Intel XScaleプロセッサの電圧検出器を使用して全体的なシステムウェイクアップディレイを最適化することができます。

電圧監視、リセット、および低電圧ロックアウト機能

低電圧および過電圧ロックアウト機能

V_{IN}がV_{UVLO} (2.35V typ)を下回ると、MAX8660/MAX8661は低電圧ロックアウトモード(UVLO)に入ります。UVLOは、デバイスを強制的に休止状態にします。UVLOでは、入力電流は極めて小さく(1.5μA)、すべてのレギュレータがオフになります。入力電圧が1V (typ)~V_{UVLO}の範囲のとき、RSOとLBOは強制的にローになります。I²CはUVLOでは機能せず、I²Cレジスタの内容はUVLOではリセットされます。

入力電圧がV_{OVLO} (6.35V typ)を上回ると、MAX8660/MAX8661は過電圧ロックアウトモード(OVLO)に入ります。OVLOモードによって、高電圧のストレスからMAX8660/MAX8661が保護されます。OVLOでは、入力電流は25μAになり、すべてのレギュレータがオフになります。OVLOでは、RSOがローに保持され、I²Cは機能せず、レジスタの内容がリセットされます。LBOはOVLOでも引き続き機能しますが、LBOは標準的にはV8 (VCC_BBATT)にプルアップされ、OVLOではV8がディセーブルされるため、LBOはローになったように見えます。別の方法として、LBOをINにプルアップすることもできます。

リセット出力(RSO)およびMR入力

RSOは、オープンドレインのリセット出力です。図1に示すように、RSOはIntel XScaleプロセッサのnRESET入力に接続するのが標準的であり、V8 (VCC_BBATT)にプルアップされます。nRESETがローになると、プロセッサはリセット状態に入ります。

次の条件の中の1つ以上が発生したとき、RSOは強制的にローになります。

- MRがローである。
- V8がV_{RSO_{TH}} (2.2V立下り、typ)を下回る。
- V_{IN}がV_{UVLO} (2.35V typ)を下回る。
- V_{IN}がV_{OVLO} (6.35V typ)を上回る。

次の条件がすべて満たされているとき、RSOはハイインピーダンスになります。

- MRがハイである。
- V8がV_{RSO_{TH}} (2.35V立上り、typ)を超える。
- V_{UVLO} < V_{IN} < V_{OVLO}である。
- RSOのデアサートディレイ(t_{vBHRSTH} = 24ms typ)が経過した。

RSOがローになると、MAX8660/MAX8661のI²Cレジスタはそれぞれのデフォルト値にリセットされます。

MRの機能が不要でない場合は、MRがハイになるように接続してください。RSOの機能が不要ない場合は、RSOがローになるように接続してください。

ローバッテリー検出回路(LBO、LBF、LBR)

LBOは、バッテリーが取り外されたか放電したことを示すために、標準的には一般的にIntel XScaleプロセッサのnBATT_FAULT入力に接続されるオープンドレイン出力です(図1)。LBOは、V8 (VCC_BBATT)にプルアップするのが標準的です。

LBRとLBFは、入力電圧(通常はバッテリー)を監視し、LBO出力を動作させます(図7)。図7の真値表が示すように、LBR-AGND間の電圧(V_{LBR})がローバッテリー上昇スレッショルド(V_{LBR_{TH}} = 1.25V typ)を超えるとLBOがハイインピーダンスになり、LBF-AGND間の電圧(V_{LBF})がローバッテリー下降スレッショルド(V_{LBF_{TH}} = 1.20V typ)を下回るとLBOがローになります。電源投入時には、LBOがデアサートされるためにLBRのスレッショルドを超える必要があります。

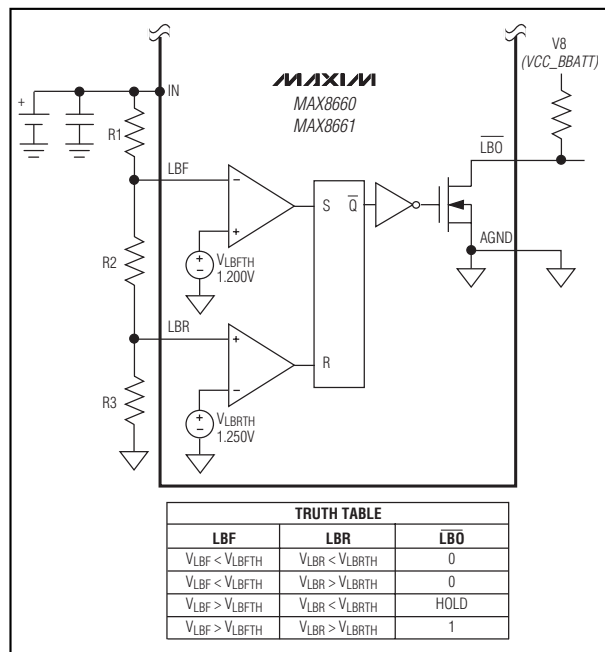


図7. ローバッテリー検出器の機能ブロック図

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

LBFをLBRと2抵抗分圧器に接続すると、LBFに対して50mVのヒステリシスが設定され(バッテリー電圧におけるヒステリシスは、抵抗値によって大きくなります)、LBFとLBRを独立して3抵抗分圧器に接続すると(図7)、上昇スレッショルドと下降スレッショルドを個別に設定することができます(より大きなヒステリシスを実現可能)。図7のレジスタ値は、所望の下降(V_{LBOF})および上昇(V_{LBOR})スレッショルドの関数の形で選択されます。

最初に、R3を100kΩ~1MΩの範囲で選択します。

$$R1 = R3 \times \frac{V_{LBOR}}{V_{LBRTH}} \times \left(1 - \frac{V_{LBFTH}}{V_{LBOF}}\right)$$

$$R2 = R3 \times \left(\frac{V_{LBFTH} \times V_{LBOR}}{V_{LBRTH} \times V_{LBOF}} - 1\right)$$

ここで、V_{LBOR}は \overline{LBO} がハイになるときのR1の上側における上昇電圧(通常はV_{IN})、V_{LBOF}は \overline{LBO} がローになるときのR1の上側における下降電圧です。

たとえば、V_{LBOR}を3.6V、V_{LBOF}を3.2Vに設定するには、R3に1MΩを選択します。すると、R1 = 1.8MΩ、R2 = 80kΩになります。

ローバッテリー検出機能が必要な場合は、 \overline{LBO} をグラウンドに、LBFとLBRをINに接続してください。

内蔵オフ放電抵抗

MAX8660/MAX8661の各レギュレータは、レギュレータがオフのときに出力コンデンサを放電するための抵抗を内蔵しています(表8)。この内蔵放電抵抗は、レギュレータがオフのときにそれぞれの出力をグラウンドに落とし、常に負荷回路が完全にパワーダウンすることを保証します。内蔵オフ放電抵抗は、レギュレータがディセーブされているとき、デバイスがOVLOのとき、およびデバイスがUVLOでV_{IN}が1.0Vを超えるときに作動します。V_{IN}が1.0V未満のときは、内蔵オフ放電抵抗が作動しない場合があります。

熱過負荷保護

熱過負荷保護によって、MAX8660/MAX8661内における電力消費の総量が制限されます。ダイ温度が+160℃を超えたことを内蔵の熱センサが検出すると、該当す

表8. 内蔵オフ放電抵抗

REGULATOR	INTERNAL OFF-DISCHARGE RESISTOR VALUE
REG1	650Ω ±30%
REG2	650Ω ±30%
REG3	550Ω ±30%
REG4	550Ω ±30%
REG5	2kΩ ±30%
REG6	350Ω ±30%
REG7	350Ω ±30%
REG8	1.5kΩ ±30%

るレギュレータがシャットダウンされ、ICを冷却させます。接合部温度が15℃だけ低下するとレギュレータが再びオンになるため、連続的な熱過負荷状況では出力がパルス状になります。

REG1~REG5のいずれかで熱過負荷が発生した場合、過負荷状態のレギュレータだけがシャットダウンされます。REG6またはREG7で過負荷が発生した場合、両方のレギュレータと一緒にシャットダウンされます。熱過負荷状態でもREG8はオフにならず、I²Cインタフェースと電圧監視は動作を続けます。

I²Cインタフェース

I²C互換の2線式シリアルインタフェースが、MAX8660/MAX8661のさまざまな機能を制御します。

- V3~V7の出力電圧はシリアルインタフェースによって設定されます。
- 4組のステップダウンDC-DCコンバータ(REG1~REG4)を、それぞれ強制PWM動作にすることができます。
- REG3とREG4は、シリアルインタフェースまたはハードウェアイネーブル端子(EN34)によってイネーブルすることができます。詳細については、「REG3/REG4 イネーブル(EN34, EN3, EN4)」の項を参照してください。
- REG6とREG7は、シリアルインタフェースによってのみ作動します。

シリアルインタフェースは、V_{IN}がV_{UVLO}(通常は2.40V)とV_{OVLO}(通常は6.35V)の間であれば常に動作します。V_{IN}がI²Cの動作範囲外である場合、I²Cレジスタはそれぞれのデフォルト値にリセットされます。

シリアルインタフェースは、双方向のシリアルデータライン(SDA)と、シリアルクロック入力(SCL)で構成されます。MAX8660/MAX8661はスレーブ専用デバイスであり、クロック信号の生成をマスタに依存します。マスタ(通常はIntel XScaleプロセッサ)はバス上でのデータ転送を開始し、SCLを生成してデータ転送を許可します。

I²Cはオープンドレインのバスです。SDAとSCLはプルアップ抵抗(500Ω以上)を必要とします。オプションでSDAおよびSCLと直列に抵抗(24Ω)を追加して、バスライン上の高電圧スパイクからデバイスの入力を保護することができます。直列抵抗には、バス信号のクロストークとアンダシュートを最小化する効果もあります。

Intel XScaleの仕様には、さまざまな機能を果たすレジスタの詳細なリストが含まれていますが、そのすべてがMAX8660/MAX8661で提供されているわけではありません。表9のリストはIntelのリストのサブセットになっており、このPMICに含まれている機能に関するものだけをまとめてあります。MAX8660/MAX8661はIntel XScale仕様のレジスタのサブセットを使用していますが、すべてのレジスタ空間(0x00~0xFF)への書込みに対してアクノリッジを行います。

Intel XScaleのアプリケーションでは、通常はVCC_I0xに対してプルアップを行います。

表9. I²Cレジスタ

REGISTER ADDRESS	REGISTER NAME	RW	FUNCTION	DATA BIT								
				7	6	5	4	3	2	1	0	
0x10	OVER1*	W	Output-Voltage Enable Register 1. Enables/disables V3 and V4. See the REG3/REG4 Enable (EN34, EN3, EN4) section for more information.	R	R	R	R	R	R	EN4 (S_EN)	R	EN3 (A_EN)
0x12	OVER2	W	Output-Voltage Enable Register 2. Enables/disables V6 and V7. See the REG6/REG7 (VCC_CARD1, VCC_CARD2) section for more information.	R	—	—	—	—	—	EN7**	EN6	—
0x20	VCC1*	W	Voltage-Charge Control Register. Independently specifies that the V3, V4, and V5 output voltage must follow either target register 1 or 2. See Table 10.	0	0	0	0	0	0	0	0	0
0x23	ADTV1*	W	VCC_APPS (V3) DVM Target Voltage 1 Register. Sets target 1 voltage for V3.	MVS	MGO	SVS	SGO	R	R	AVS	AGO	0
0x24	ADTV2*	W	VCC_APPS (V3) DVM Target Voltage 2 Register. Sets target 2 voltage for V3.	0	0	0	0	0	0	0	0	0
0x29	SDTV1*	W	VCC_SRAM (V4) DVM Target Voltage 1 Register. Sets target 1 voltage for V4.	R	R	R	R	R	R	R	R	0
0x2A	SDTV2*	W	VCC_SRAM (V4) DVM Target Voltage 2 Register. Sets target 2 voltage for V4.	0	0	0	0	0	0	0	0	0
0x32	MDTV1	W	VCC_MVT (V5) Target Voltage 1 Register. Sets target 1 voltage for V5.	R	R	R	R	R	R	R	R	0
0x33	MDTV2	W	VCC_MVT (V5) DVM Target Voltage 2 Register. Sets target 2 voltage for V5.	0	0	0	0	0	0	0	0	0
0x39	L12VCR	W	LDO1 and LDO2 Voltage-Control Register (V6 and V7 on MAX8660). Specifies the V6 and V7 output voltage. V6 and V7 are enabled/disabled with OVER2.	0	0	0	0	0	0	0	0	0
0x80	FPWM	W	Forced-PWM Register. The FPWM _n bits allow V1, V2, V3, and V4 to independently operate in either skip mode or forced-PWM mode. See the REG7-REG4 Step-Down DC-DC Converter Operating Modes section for more information. The ARD _n bits allow the output voltage to be actively ramped down during negative voltage transitions. See the Ramp-Rate Control (RAMP) section for more information. Note that this is a Maxim custom register that is not required by the Intel XScale processor.	ARD4	ARD3	—	—	FPWM4	FPWM3	FPWM2	FPWM1**	0
				0	0	0	0	0	0	0	0	0

Rは、これらのデータ位置がIntel仕様で予約されていることを示します。

注：MAX8660/MAX8661は0x00~0xFFの全アドレス空間への書き込みの試みに対してアクノリッジを行いますが、このICで実際に存在するのはそれらのアドレスのサブセットです。

*これらのレジスタはIntel XScaleプロセッサのパワーI²Cバスによってアクセスされます。

**MAX8661の場合、これらのビットはデフォルト値である0を維持してください。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

表10. DVM電圧変更レジスタ(VCC1、0x20)

REGISTER ADDRESS	REGISTER NAME	BIT	NAME	FUNCTION
0x20	VCC1	7	MVS	V5 (VCC_MVT) voltage select: 0—Ramp V5 to voltage selected by MDTV1 (default) 1—Ramp V5 to voltage selected by MDTV2
		6	MGO	Start V5 (VCC_MVT) voltage change: 0—Hold V5 at current level (default) 1—Ramp V5 as selected by MVS
		5	SVS	V4 (VCC_SRAM) voltage select: 0—Ramp V4 to voltage selected by SDTV1 (default) 1—Ramp V4 to voltage selected by SDTV2
		4	SGO	Start V4 (VCC_SRAM) voltage change: 0—Hold V4 at current level (default) 1—Ramp V4 as selected by SVS
		3	R	Reserved
		2	R	Reserved
		1	AVS	V3 (VCC_APPS) voltage select: 0—Ramp V3 to voltage selected by ADTV1 (default) 1—Ramp V3 to voltage selected by ADTV2
		0	AGO	Start V3 (VCC_APPS) voltage change: 0—Hold V3 at current level (default) 1—Ramp V3 as selected by AVS

データ転送

各SCLクロックサイクルで、1つのデータビットが転送されます。SCLクロックパルスがハイの期間、SDA上のデータは安定している必要があります。SCLがハイの間にSDAが変化すると、制御信号になります(詳細については「スタートおよびストップ条件」の項参照)。

個々の転送シーケンスは、スタート(S)条件とストップ(P)条件で囲まれます。各データパッケージは9ビット長であり、8ビットのデータの後にアクノリッジビットが続きます。MAX8660/MAX8661は、SCL周波数が最高400kHzまでのデータ転送速度をサポートしています。

スタートおよびストップ条件

シリアルインタフェースが動作していないとき、SDAとSCLはハイのアイドル状態になります。マスタデバイスは、スタート条件の発行によって通信を開始します。スタート条件とは、SCLをハイにした状態でSDAをハイからローに遷移させることです。ストップ条件とは、SCLがハイの間にSDAをローからハイに遷移させることです(図7)。

マスタからのスタート条件が、MAX8660/MAX8661に対する送信開始の合図になります。マスタは非アク

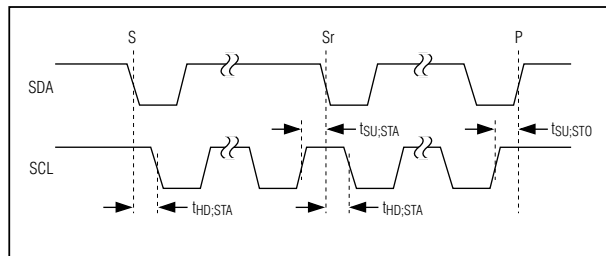


図8. スタートおよびストップ条件

ノリッジの後にストップ条件を発行することによって転送を終了します(詳細については「アクノリッジビット」の項参照)。ストップ条件によってバスが解放されます。スレーブに対して一連のコマンドを発行するため、マスタはストップコマンドの代わりに再スタート(Sr)コマンドを発行して、バスの制御を維持することができます。一般に、再スタートコマンドは通常のスタートコマンドと機能的に等価です。

ストップ条件または正しくないアドレスが検出されると、MAX8660/MAX8661は次のスタート条件まで内部でSCLをシリアルインタフェースから切り離して、デジタルノイズおよびフィードスルーを最少化します。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

表11. V3 (VCC_APPS)およびV4 (VCC_SRAM)出力電圧のシリアルコード

REGISTER ADDRESS	REGISTER NAME	DATA BYTE	OUTPUT VOLTAGE (V)
		0x00	0.725
		0x01	0.750
		0x02	0.775
		0x03	0.800
		0x04	0.825
		0x05	0.850
		0x06	0.875
		0x07	0.900
		0x08	0.925
		0x09	0.950
		0x0A	0.975
		0x0B	1.000
		0x0C	1.025
		0x0D	1.050
		0x0E	1.075
		0x0F	1.100
		0x10	1.125
		0x11	1.150
		0x12	1.175
		0x13	1.200
		0x14	1.225
0x23	ADTV1	0x15	1.250
0x24	ADTV2	0x16	1.275
0x29	SDTV1	0x17	1.300
0x2A	SDTV2	0x18	1.325
		0x19	1.350
		0x1A	1.375
		0x1B	1.400 (default)*
		0x1C	1.425
		0x1D	1.450
		0x1E	1.475
		0x1F	1.500
		0x20	1.525
		0x21	1.550
		0x22	1.575
		0x23	1.600
		0x24	1.625
		0x25	1.650
		0x26	1.675
		0x27	1.700
		0x28	1.725
		0x29	1.750
		0x2A	1.775
		0x2B	1.800

*他のデフォルト電圧についてはお問い合わせください。

表12. V5出力電圧のシリアルコード

REGISTER ADDRESS	REGISTER NAME	DATA BYTE	OUTPUT VOLTAGE (V)
		0x00	1.700
		0x01	1.725
		0x02	1.750
		0x03	1.775
		0x04	1.800 (default)
0x32	MDTV1	0x05	1.825
0x33	MDTV2	0x06	1.850
		0x07	1.875
		0x08	1.900
		0x09	1.925
		0x0A	1.950
		0x0B	1.975
		0x0C	2.000

表13. V6およびV7出力電圧のシリアルコード

REGISTER ADDRESS	REGISTER NAME	DATA NIBBLE	OUTPUT VOLTAGE (V)
		0x0	1.8 (default)
		0x1	1.9
		0x2	2.0
		0x3	2.1
		0x4	2.2
		0x5	2.3
		0x6	2.4
0x39	L12VCR	0x7	2.5
		0x8	2.6
		0x9	2.7
		0xA	2.8
		0xB	2.9
		0xC	3.0
		0xD	3.1
		0xE	3.2
		0xF	3.3

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

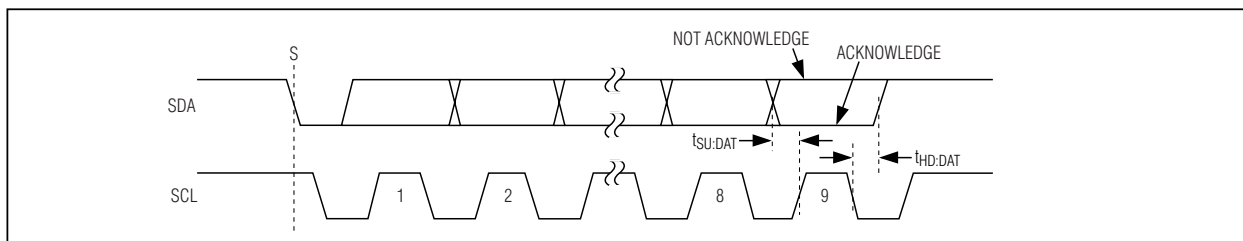


図9. アクノリッジビット

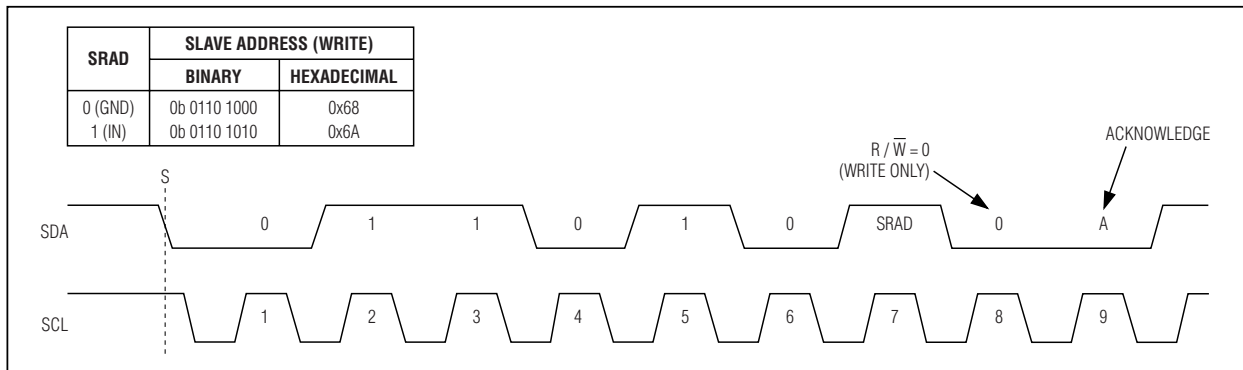


図10. スレーブアドレスバイト

アクノリッジビット

マスタとMAX8660/MAX8661 (スレーブ)の両方が、データ受信時にアクノリッジビットを生成します。アクノリッジビットは、9ビット構成の各データパケットの、最後のビットです。アクノリッジ(A)を生成するには、アクノリッジ関連のクロックパルス(9番目のパルス)の立上りエッジより前に受信側デバイスがSDAをローに下げ、そのクロックパルスがハイの間、SDAをローに保つ必要があります(図9)。非アクノリッジ(A)を生成するには、アクノリッジ関連のクロックパルスの立上りエッジより前に受信側はSDAをハイにさせ、そのクロックパルスがハイの間SDAをハイにさせておきます。アクノリッジビットを監視することによって、データ転送の失敗を検出することができます。データ転送の失敗は、受信側デバイスがビジーであるか、またはシステム障害の発生によって起こります。データ転送に失敗した場合、バスマスタは後で通信を再試行する必要があります。

スレーブアドレス

バスマスタは、スタート条件を発行した後にスレーブアドレスを送信することによって、スレーブデバイス(MAX8660/MAX8661)との通信を開始します。図10に示すように、スレーブアドレスバイトは7ビットのアドレスビットと1ビットの読み出し/書き込みビット(R/W)で構成されます。正しいアドレスの受信後、MAX8660/MAX8661は9番目のクロックサイクルの間SDAをロー

にすることで、アクノリッジを発行します。MAX8660/MAX8661は書き込み専用であるため、R/Wビットは常にゼロであることに注意してください。

Intel XScaleプロセッサは、I²Cスレーブアドレスとして0x68 (SRAD = GND)をサポートしています。

I²C書き込み動作

MAX8660/MAX8661は書き込み専用デバイスであり、SMBus仕様で定義され図11のセクションAで示されている「バイト書き込み」プロトコルを認識します。「バイト書き込み」プロトコルによって、I²Cマスタデバイスが1バイトのデータをスレーブに送信することができます。「バイト書き込み」プロトコルは、その後の書き込みに対するレジスタポインタアドレスを必要とします。MAX8660/MAX8661はすべてのレジスタポインタに対してアクノリッジを行います。実際にはそれらのレジスタのサブセットだけがデバイス中に存在します。「バイト書き込み」プロトコルは、次の通りです。

- 1) マスタがスタートコマンドを送信する。
- 2) マスタが7ビットのスレーブアドレスと書き込みビットを送信する。
- 3) アドレスを指定されたスレーブはSDAをローにすることによってアクノリッジをアサートする。
- 4) マスタが8ビットのレジスタポインタを送信する。
- 5) スレーブがレジスタポインタのアクノリッジを行う。
- 6) マスタがデータバイトを送信する。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低 I_Q PMIC

- 7) スレーブが新しいデータで更新を行う。
- 8) スレーブがデータバイトのアクノリッジを行う。
- 9) マスタがストップ条件を送信する。

バイト書込みプロトコルに加えて、MAX8660/MAX8661は図11のセクションBに示す複数バイトのレジスタ/データペアプロトコルも認識します。このプロトコルを使うと、I²Cマスタデバイスはスレーブのアドレスを1度だけ指定した後、複数のレジスタに任意の順序でデータを送信することができます。マスタがストップ条件を発行するまでの間、連続的にレジスタへの書込みを行うことが可能です。

複数バイトのレジスタ/データペアのプロトコルは、次の通りです。

- 1) マスタがスタートコマンドを送信する。
- 2) マスタが7ビットのスレーブアドレスと1ビットの書込みビットを送信する。
- 3) アドレスを指定されたスレーブがSDAをローにすることによってアクノリッジをアサートする。
- 4) マスタが8ビットのレジスタポインタを送信する。
- 5) スレーブがレジスタポインタのアクノリッジを行う。
- 6) マスタがデータバイトを送信する。
- 7) スレーブが新しいデータで更新を行う。
- 8) スレーブがデータバイトのアクノリッジを行う。
- 9) マスタが必要とする回数だけステップ5~7が繰り返される。レジスタには任意の順序でアクセスすることができる。
- 10) マスタがストップ条件を送信する。

設計手順

出力電圧の設定

REG1およびREG2レギュレータは、それぞれ3つのプリセット電圧を備えており、SET1およびSET2入力で設定されます。詳細については、「REG1 (VCC_IO) ステップダウンDC-DCコンバータ」および「REG2 (VCC_IO、VCC_MEM) ステップダウンDC-DCコンバータ」の項を参照してください。V8は3.3V固定であり、変更することはできません。

V3~V7は、I²Cインタフェースによって設定されます。詳細については、「I²Cインタフェース」の項を参照してください。4.3Vを超える入力電圧で、強制PWMモードで動作中は、最小デューティサイクルによってREG3とREG4の最低出力電圧が制限されることに注意してください。強制PWMモードの場合、REG3またはREG4の最低出力電圧は次のようになります：

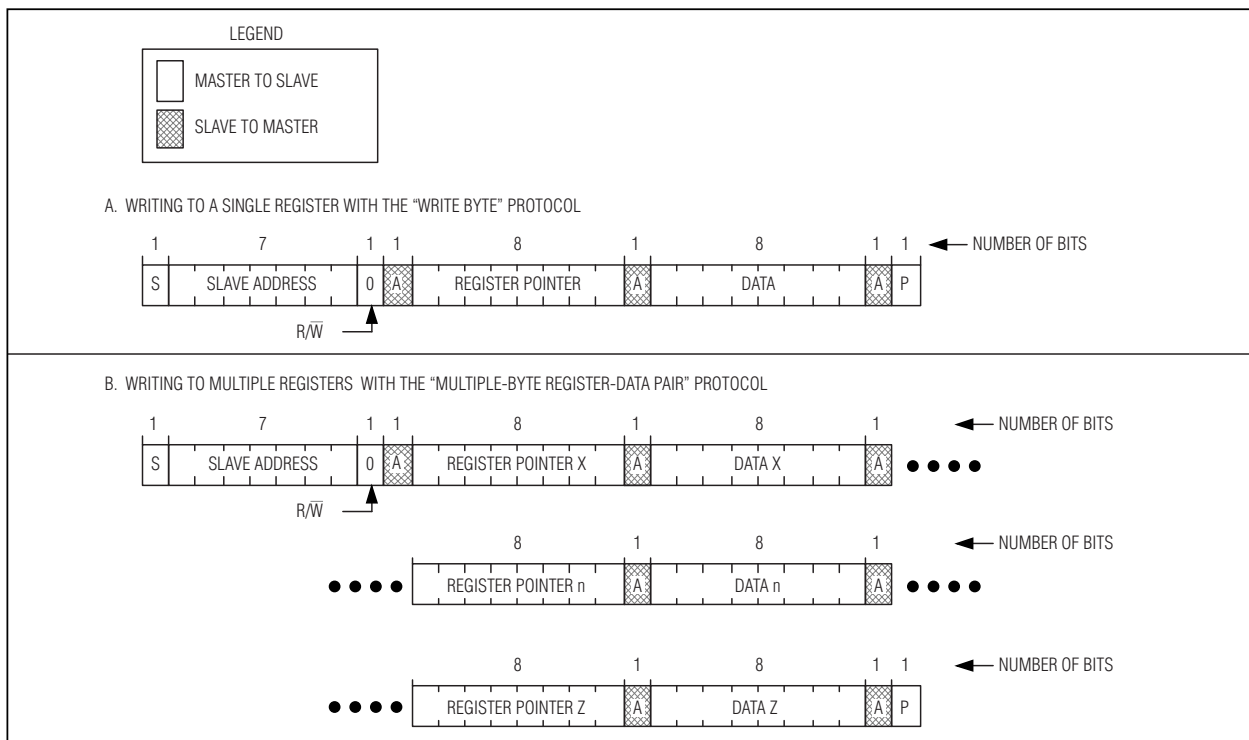


図11. MAX8660/MAX8661への書込み

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

$$V_{3MIN} = 0.167 \times V_{PV3}$$

$$V_{4MIN} = 0.167 \times V_{PV4}$$

上記の最低電圧の制限は、ノーマルモード動作には適用されないことに注意してください。

インダクタの選択

REG1~REG4のそれぞれについて、次のようにインダクタ値(L_{IDEAL})を算出してください。

$$L_{IDEAL} = \frac{4 \times V_{IN} \times D \times (1 - D)}{I_{OUT(MAX)} \times f_{OSC}}$$

このことによって、ピークトゥピークインダクタ電流リップルが最大出力電流の1/4に設定されます。発振器周波数f_{OSC}は2MHzであり、デューティサイクルDは次式で与えられます。

$$D = \frac{V_{OUT}}{V_{IN}}$$

L_{IDEAL}が決まると、ピークトゥピークインダクタリップル電流は0.25 × I_{OUT(MAX)}となります。ピークインダクタ電流は1.125 × I_{OUT(MAX)}です。インダクタの飽和電流がピークインダクタ電流を上回っていること、および定格最大DCインダクタ電流が最大出力電流(I_{OUT(MAX)})を上回っていることを確認してください。L_{IDEAL}よりも小さなインダクタンス値を使用してインダクタのサイズを小さくすることもできますが、あまり小さな値を使用すると、ピークインダクタ電流が増大して、出力リップルを抑制するためにより大きな出力容量が必要になる可能性があります。より大きな出力電流を得るために、L_{IDEAL}よりも大きなインダクタンス値を使用することもできますが、通常は物理的により大きなサイズのインダクタが必要になります。インダクタの具体的な推奨例については、MAX8660のEVキットのデータシートを参照してください。

入力コンデンサの選択

ステップダウンDC-DCコンバータの入力コンデンサは、バッテリーやその他の入力電源から引き出される電流ピークを減少させ、コントローラのスイッチングノイズを低減する効果があります。スイッチング周波数における入力コンデンサのインピーダンスは入力電源よりも小さくして、高周波スイッチング電流が入力電源を通過しないようにする必要があります。

入力コンデンサは、ステップダウンコンバータによって課せられる入力リップル電流の要件を満たす必要があります。通電時の突入電流に対する耐性の点で、セラミックコンデンサが適しています。入力コンデンサは、入力リップル電流に起因する温度上昇が約10℃を超えないように選択してください。ステップダウンDC-DCコンバータの場合、最大入力リップル電流は出力の1/2になります。この最大入力リップル電流は、ステップダウンコンバータが50%のデューティファクタで動作しているときに生じます(V_{IN} = 2 × V_{OUT})。

入力コンデンサの具体的な推奨例については、MAX8660のEVキットのデータシートを参照してください。

出力コンデンサの選択

ステップダウンDC-DCコンバータの出力コンデンサは、出力リップルを抑制し、制御ループの安定性を保証します。出力コンデンサは、スイッチング周波数におけるインピーダンスも低くなければなりません。セラミック、ポリマー、およびタンタルコンデンサが適しており、特にセラミックは最もESRが小さく、高周波インピーダンスも最も小さくなっています。

静電容量に起因する出力リップルは(ESRを無視すると)およそ次のようになります。

$$V_{RIPPLE} = \frac{I_L(PEAK)}{2\pi \times f_{OSC} \times C_{OUT}}$$

コンデンサのESRに起因するリップルの増分は、次で与えられます。

$$V_{RIPPLE(ESR)} = I_L(PEAK) \times ESR$$

出力コンデンサの具体的な推奨例については、MAX8660のEVキットのデータシートを参照してください。

アプリケーション情報

電力消費

MAX8660/MAX8661は、ダイ温度が+160℃を超えたときにICを損傷から保護する熱シャットダウン機能を備えています(詳細については「熱過負荷保護」の項参照)。熱過負荷を防ぎ、各レギュレータで最大の負荷電流を実現するためには、MAX8660/MAX8661によって生成される熱を確実にPCBに放散させることが重要です。エキスポーズドパッドをPCBに半田付けし、エキスポーズドパッド(EP)の下で複数のビアを使用して熱をグランドプレーンに伝導する必要があります。

MAX8660/MAX8661の接合部/ケース間熱抵抗(θ_{JC})は2.7℃/Wです。多層PCB上に適切に実装した場合、接合部/周囲環境間の熱抵抗(θ_{JA})は通常28℃/Wになります。

PCBのレイアウトと配線

最高の性能を実現するためには、優れたプリント回路ボード(PCB)のレイアウトが要求されます。不連続電流が通る配線や大電流の経路は、出来る限り短く太くする必要があります。

優れたPCBレイアウトの実例については、MAX8660のEVキットのデータシートを参照してください。それぞれの電源入力ペア(IN-AGND間、PV1-PG1間、PV2-PG2間、PV3-PG3間、およびPV4-PG4間)について、できる限りICに近い位置にバイパスコンデンサを配置してください。

エキスポーズドパッド(EP)は、熱をICから外に出すための最大の経路です。複数のビアを使ってEPをグランドプレーンに接続し、熱をデバイスから放散させてください。




モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

パッケージの記号 _____

チップ情報 _____

PROCESS: BiCMOS

TOP VIEW		
 8660E TLyww + aaaa	 8660AE TLyww + aaaa	 8661E TLyww + aaaa

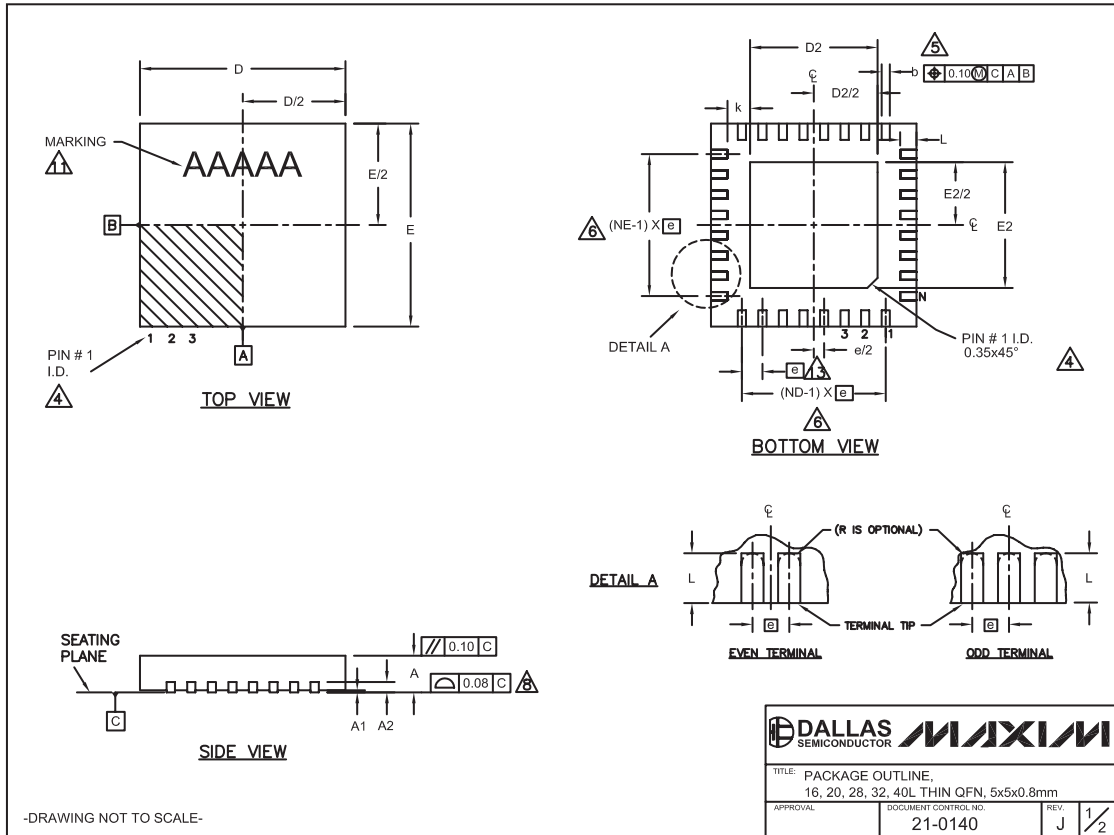
「lyww」は日付コードです。
「aaaa」は組み立てコードです。

+は鉛フリーパッケージであることおよびピン1の位置を示します。

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



MAX8660/MAX8660A/MAX8661

モバイルアプリケーション向け 動的電圧管理付き、高効率、低I_Q PMIC

MAX8660/MAX8660A/MAX8661

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS															
PKG.	16L 5x5			20L 5x5			28L 5x5			32L 5x5			40L 5x5		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	16			20			28			32			40		
ND	4			5			7			8			10		
NE	4			5			7			8			10		
JEDEC	WHHB			WHHC			WHHD-1			WHHD-2			----		

EXPOSED PAD VARIATIONS						
PKG. CODES	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20
T1655-3	3.00	3.10	3.20	3.00	3.10	3.20
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255-5	3.00	3.10	3.20	3.00	3.10	3.20
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20
T4055-1	3.40	3.50	3.60	3.40	3.50	3.60
T4055-2	3.40	3.50	3.60	3.40	3.50	3.60

**SEE COMMON DIMENSIONS TABLE

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.

⚠ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.

⚠ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.

⚠ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.

7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.

⚠ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3 AND T2855-6.

⚠ WARPAGE SHALL NOT EXCEED 0.10 mm.

11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.

12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

⚠ LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.

-DRAWING NOT TO SCALE-

	
TITLE: PACKAGE OUTLINE, 16, 20, 28, 32, 40L THIN QFN, 5x5x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0140
REV. J	2/2

改訂履歴

Rev 1での変更ページ: 1、37、42

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾンビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

42 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.