

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

概要

MAX8594は低コストのパーソナルデジタルアシスタント(PDA)用の完全パワーマネージメントチップで、1セルリチウムイオン(Li+)または3セルニッケル水素(NiMH)バッテリーで動作します。この製品は小型ポータブル機器に必要なすべてのレギュレータ、出力、及び電圧モニタを内蔵し、必要最低限の外付け部品しか必要ありません。3個のリニアレギュレータ、LCDバイアス用DC-DCブーストコンバータ、コア電力用の4MHzの高効率DC-DCバックコンバータ、マイクロプロセッサリセット出力、及び低バッテリーシャットダウンが、高さ0.8mmの薄型QFNパッケージで提供されます。

COR1 DC-DCバックコンバータは、ピンで選択可能な1Vまたは1.3Vの250mA出力を供給します。全リニアレギュレータが、高効率の低ドロップアウト動作を実現するPMOSパス素子を搭載しています。MAIN LDOは、500mAで3.3Vを供給します。セキュアデジタル(SD)カードスロット出力は500mAで3.3Vを供給し、COR2 LDOは50mAで1.8Vを供給します。各出力は、それぞれロジック制御のシャットダウンを備えています。その他の出力電圧の組合せについては、マキシムにお問い合わせください。

LCDバイアス用DC-DCブーストコンバータは、実装MOSFETとオフ時のTrue Shutdown™を備えています。シャットダウン時に入力電力がインダクタから切り離されるため、ブースト出力は入力電圧からダイオード1個分の降下にとどまらず、0Vまで低減します。

COR1出力が安定化して適切な起動が確保された20ms (typ)後に、マイクロプロセッサリセット出力がクリアされます。また、3.3Vのメイン出力がレギュレーション範囲内に入るまで、COR1レギュレータは起動しません。1%の高精度リファレンスと低バッテリーモニタも内蔵しています。サーマルシャットダウンによって、ダイが過熱から保護されます。

MAX8594は3.1V~5.5Vの電源電圧で動作し、無負荷時の消費電流は46µAです。この製品は、1.67Wを消費する4mm x 4mmの小型24ピン薄型QFNパッケージで提供されます。この製品は、-40°C~+85°Cでの動作が保証されています。

アプリケーション

PDA
オーガナイザ
携帯電話及びコードレス電話
MP3プレーヤ
ハンドヘルド機器

型番

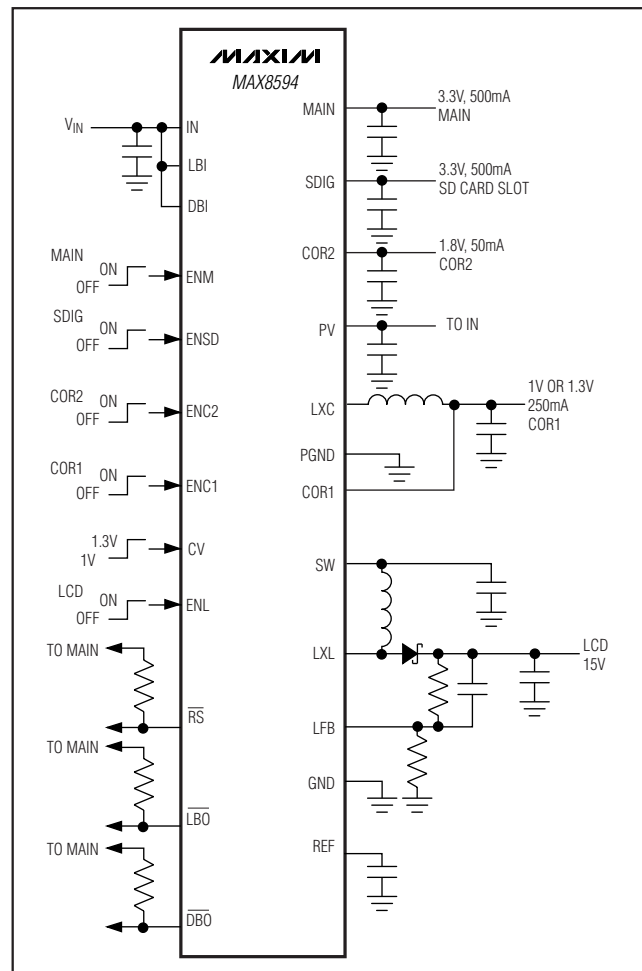
PART	TEMP RANGE	PIN-PACKAGE
MAX8594ETG	-40°C to +85°C	24 Thin QFN 4mm x 4mm (T2444-4)

True ShutdownはMaxim Integrated Products, Inc.の商標です。

特長

- ◆ 最小限の外付け部品
- ◆ 高効率のステップダウンDC-DCコンバータがCPUコアに電源供給
- ◆ 1Vまたは1.3Vを選択可能なコア電圧を250mAで供給
- ◆ メインLDO出力：3.3V(500mA)
- ◆ SDカード出力：3.3V(500mA)
- ◆ 第2コア用LDO出力：1.8V(50mA)
- ◆ 高効率LCDブースト
- ◆ オフ時にTrue ShutdownによってLCD 0V
- ◆ 自己消費電流：46µA

標準動作回路



ピン配置はデータシートの最後に記載されています。

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

ABSOLUTE MAXIMUM RATINGS

IN, PV, ENSD, ENC1, ENC2, ENL, \overline{RS} , SDIG,
LBI, DBI to GND-0.3V to +6V
LXL to GND-0.3V to +30V
MAIN, COR1, COR2, REF, LFB, CV, ENM, \overline{LBO} , \overline{DBO} ,
LXC, SW to GND.....-0.3V to ($V_{IN} + 0.3V$)
PV to IN.....-0.3V to +0.3V
PGND to GND-0.3V to +0.3V
Current into LXL.....300mA_{RMS}
Current out of SW300mA_{RMS}

Current into LXC400mA_{RMS}
Output Short-Circuit Duration.....Continuous
Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
24-Pin Thin QFN Package
(derate 20.8mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$).....1.67W
Operating Temperature Range-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
Junction Temperature+150 $^\circ\text{C}$
Storage Temperature Range-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
Lead Temperature (soldering, 10s).....+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{IN} = V_{PV} = V_{ENSD} = V_{ENC2} = V_{ENL} = V_{ENM} = V_{ENC1} = V_{DBI} = V_{LBI} = V_{CV} = 4.0V$, $T_A = 0^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL					
IN, PV Voltage Range		3.1		5.5	V
V_{IN} Complete Shutdown Threshold	$V_{DBI} = V_{IN}$, V_{IN} falling	2.950	3.0	3.050	V
	$V_{DBI} = V_{IN}$, V_{IN} rising	3.135	3.3	3.525	
V_{DBI} Complete Shutdown Threshold	V_{DBI} falling	1.234	1.25	1.263	V
	V_{DBI} rising	1.306	1.375	1.478	
V_{LBI} \overline{LBO} Threshold	V_{LBI} rising	1.234	1.25	1.263	V
	V_{LBI} falling	1.103	1.125	1.140	
V_{IN} \overline{LBO} Threshold	$V_{LBI} = V_{IN}$, V_{IN} falling	3.262	3.33	3.366	V
	$V_{LBI} = V_{IN}$, V_{IN} rising	3.625	3.7	3.744	
DBI Input Dual Mode™ Threshold	Preset mode, $V_{IN} = 2.9V$	$V_{IN} - 0.3$			V
	ADJ mode, $V_{IN} = 2.9V$			$V_{IN} - 1.2$	
LBI Input Dual-Mode Threshold with Respect to IN	Preset mode, $V_{IN} = 3.2V$	$V_{IN} - 0.3$			V
	ADJ mode, $V_{IN} = 3.2V$			$V_{IN} - 1.2$	
DBI Complete Shutdown Input Program Range	V_{IN} falling	3.0		5.5	V
DBI Input Bias Current	$V_{DBI} = 1.25V$	-50		+50	nA
LBI Input Bias Current	$V_{LBI} = 1.25V$	-50		+50	nA
IN, PV Operating Current	Shutdown (DBI remains on, REF off), $V_{IN} = V_{PV} = V_{DBI} = V_{LBI} = 2.7V$		2	10	μA
	All off (REF on)		30	55	
	All on; LXL, LXC not switching		130	180	
IN Operating Current	Main on, no load		46	75	μA
	Main on, no load, COR1 on, LXC not switching		80	110	
	All on except LCD, $V_{ENL} = 0V$, LXL, LXC not switching		115	160	

Dual ModeはMaxim Integrated Products, Inc.の商標です。

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = V_{PV} = V_{ENSD} = V_{ENC2} = V_{ENL} = V_{ENM} = V_{ENC1} = V_{DBI} = V_{LBI} = V_{CV} = 4.0V$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
LDOs					
MAIN, SDIG Soft-Start Time		300	600	1200	μs
MAIN Output Voltage	$I_{LOAD} = 100\mu A$ to $300mA$, $V_{IN} = 3.6V$ to $5.5V$	3.218	3.3	3.383	V
MAIN Current Limit		550	800	1200	mA
MAIN Dropout Voltage	$I_{LOAD} = 1mA$		1		mV
	$I_{LOAD} = 300mA$		210	330	
	$I_{LOAD} = 500mA$		350	595	
SDIG Output Voltage	$I_{LOAD} = 100\mu A$ to $200mA$, $V_{IN} = 3.6V$ to $5.5V$	3.218	3.3	3.383	V
SDIG Current Limit		525	718	900	mA
SDIG Dropout Voltage	$I_{LOAD} = 1mA$		0.75		mV
	$I_{LOAD} = 200mA$		170	300	
	$I_{LOAD} = 500mA$		525	1010	
SDIG Reverse Leakage Current	$V_{SDIG} = 5.5V$, $V_{ENSD} = V_{IN} = 0V$		7	15	μA
COR2 Output Voltage	$I_{LOAD} = 100\mu A$ to $50mA$, $V_{IN} = 3.6V$ to $5.5V$	1.755	1.8	1.845	V
COR2 Current Limit		65	98	150	mA
COR1 PWM BUCK					
COR1 Output Voltage Accuracy	CV = high	1.259	1.3	1.340	V
	CV = low	0.972	1	1.023	
P-Channel On-Resistance	$I_{LXC} = -180mA$		0.70	1.34	Ω
	$I_{LXC} = -180mA$, $V_{PV} = 3.1V$		0.8	1.58	
N-Channel On-Resistance	$I_{LXC} = 180mA$		0.25	0.46	Ω
	$I_{LXC} = 180mA$, $V_{PV} = 3.1V$		0.30	0.53	
P-Channel Current-Limit Threshold		-0.50	-0.75	-0.925	A
N-Channel Current-Limit Threshold		-0.50	-0.72	-0.92	A
Minimum On- and Off-Times	$t_{ON(MIN)}$		0.1		μs
	$t_{OFF(MIN)}$		0.1		
LXC Leakage Current	$V_{LXC} = 0V$, $V_{ENC1} = 0V$	-10	+0.1	+10	μA
REF AND RESET OUTPUT					
REF Voltage Accuracy	$I_{REF} = 0.1\mu A$	1.236	1.25	1.264	V
REF Line Regulation	$3.1V < V_{IN} < 5.5V$, $I_{REF} = 0.1\mu A$		0.1	3	mV
REF Load Regulation	$0.1\mu A < I_{REF} < 10\mu A$		1	3	mV
\overline{RS} Deassert Threshold for COR1 Rising	(Note 1)	88.00	90	93.25	%

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = V_{PV} = V_{ENSD} = V_{ENC2} = V_{ENL} = V_{ENM} = V_{ENC1} = V_{DBI} = V_{LBI} = V_{CV} = 4.0V$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{RS} Assert Threshold			80		%
\overline{RS} Deassert Delay		10	20	30	ms
\overline{RS} Assert Delay	50mV overdrive		5		μs
LCD					
LXL Voltage Range				28	V
LXL Current Limit	$L1 = 10\mu H$	195	235	275	mA
LXL On-Resistance			1.7		Ω
LXL Leakage Current	$V_{LXL} = 28V$		0.2	2	μA
Maximum LXL On-Time		2	3	4	μs
Minimum LXL Off-Time	$V_{LFB} > 1.1V$	0.8	1	1.2	μs
	$V_{LFB} < 0.8V$ (soft-start)	3.9	5	6.0	
LFB Feedback Threshold		1.229	1.25	1.270	V
LFB Input Bias Current	$V_{LFB} = 1.3V$		5	50	nA
SW Off-Leakage Current	$V_{SW} = 0V$, $V_{PV} = 5.5V$, $V_{ENL} = 0V$		0.01	1	μA
SW PMOS On-Resistance			1	1.5	Ω
SW PMOS Peak Current Limit			700		mA
SW PMOS Average Current Limit			300		mA
Soft-Start Time	$C_{SW} = 1\mu F$		0.13		ms
LOGIC					
EN_{-} , CV Input Low Level	$V_{IN} = 3.1V$ to $5.5V$			0.35	V
EN_{-} , CV Input High Level	$V_{IN} = 3.1V$ to $5.5V$	1.4			V
EN_{-} , CV Input Leakage Current			0.01	1	μA
\overline{RS} , \overline{LBO} , \overline{DBO} Output Low Level	Sinking 1mA, $V_{IN} = 2.5V$		0.02	0.1	V
\overline{DBO} Output Low Level	Sinking 100 μA , $V_{IN} = 1.0V$		0.02	0.1	V
\overline{RS} , \overline{LBO} , \overline{DBO} Output High Leakage	$V_{OUT} = 5.5V$, $V_{IN} = 5.5V$			1	μA
THERMAL PROTECTION					
Thermal-Shutdown Temperature	Rising temperature		+160		$^{\circ}C$
Thermal-Shutdown Hysteresis			15		$^{\circ}C$

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

ELECTRICAL CHARACTERISTICS

($V_{IN} = V_{PV} = V_{ENSD} = V_{ENC2} = V_{ENL} = V_{ENM} = V_{ENC1} = V_{DBI} = V_{LBI} = 4.0V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL					
IN, PV Voltage Range		3.1		5.5	V
V_{IN} Complete Shutdown Threshold	$V_{DBI} = V_{IN}$, V_{IN} falling	2.93		3.06	V
	$V_{DBI} = V_{IN}$, V_{IN} rising	3.135		3.525	
V_{DBI} Complete Shutdown Threshold	V_{DBI} falling	1.228		1.264	V
	V_{DBI} rising	1.306		1.478	
V_{LBI} \overline{LBO} Threshold	V_{LBI} rising	1.228		1.264	V
	V_{LBI} falling	1.103		1.140	
V_{IN} \overline{LBO} Threshold	$V_{LBI} = V_{IN}$, V_{IN} falling	3.248		3.366	V
	$V_{LBI} = V_{IN}$, V_{IN} rising	3.609		3.744	
DBI Input Dual-Mode Threshold	Preset mode, $V_{IN} = 2.9V$	$V_{IN} - 0.3$			V
	ADJ mode, $V_{IN} = 2.9V$			$V_{IN} - 1.25$	
LBI Input Dual-Mode Threshold with Respect to IN	Preset mode, $V_{IN} = 3.2V$	$V_{IN} - 0.3$			V
	ADJ mode, $V_{IN} = 3.2V$			$V_{IN} - 1.25$	
DBI Complete Shutdown Input Program Range	V_{IN} falling	3.0		5.5	V
DBI Input Bias Current	$V_{DBI} = 1.25V$	-50		+50	nA
LBI Input Bias Current	$V_{LBI} = 1.25V$	-50		+50	nA
IN, PV Operating Current	Shutdown (DBI remains on, REF off), $V_{IN} = V_{PV} = V_{DBI} = V_{LBI} = 2.7V$			10	μA
	All off (REF on)			55	
	All on, LXL, LXC not switching			180	
IN Operating Current	Main on, no load			75	μA
	Main on, no load, COR1 on, LXC not switching			110	
	All on except LCD, $V_{ENL} = 0V$, LXL and LXC not switching			160	
LDOs					
MAIN, SDIG Soft-Start Time	Ramp ILIM from 0% to 100%	300		1200	μs
MAIN Output Voltage	$I_{LOAD} = 100\mu A$ to $300mA$, $V_{IN} = 3.6V$ to $5.5V$	3.209		3.383	V
MAIN Current Limit		550		1230	mA
MAIN Dropout Voltage	$I_{LOAD} = 300mA$			330	mV
	$I_{LOAD} = 500mA$			595	

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = V_{PV} = V_{ENSD} = V_{ENC2} = V_{ENL} = V_{ENM} = V_{ENC1} = V_{DBI} = V_{LBI} = 4.0V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 2)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SDIG Output Voltage	$I_{LOAD} = 100\mu A$ to $200mA$, $V_{IN} = 3.6V$ to $5.5V$	3.212		3.383	V
SDIG Current Limit		485		900	mA
SDIG Dropout Voltage	$I_{LOAD} = 200mA$			300	mV
	$I_{LOAD} = 500mA$			1250	
SDIG Reverse Leakage Current	$V_{SDIG} = 5.5V$, $V_{ENSD} = V_{IN} = 0V$			15	μA
COR2 Output Voltage	$I_{LOAD} = 100\mu A$ to $50mA$, $V_{IN} = 3.6V$ to $5.5V$	1.750		1.845	V
COR2 Current Limit		65		150	mA
COR1 PWM BUCK					
COR1 Output Voltage Accuracy	CV = high	1.255		1.340	V
	CV = low	0.969		1.023	
P-Channel On-Resistance	$I_{LXC} = -180mA$			1.34	Ω
	$I_{LXC} = -180mA$, $V_{PV} = 3.1V$			1.58	
N-Channel On-Resistance	$I_{LXC} = 180mA$			0.46	Ω
	$I_{LXC} = 180mA$, $V_{PV} = 3.1V$			0.53	
P-Channel Current-Limit Threshold		-0.500		-0.925	A
N-Channel Current-Limit Threshold		-0.46		-0.92	A
LXC Leakage Current	$V_{PV} = 5.5V$, $V_{LXC} = 0V$ or V_{PV} , $V_{ENC1} = 0V$	-10		+10	μA
REF AND RESET OUTPUT					
REF Voltage Accuracy	$I_{REF} = 0.1\mu A$	1.229		1.264	V
REF Line Regulation	$3.1V < V < 5.5V$, $I_{REF} = 0.1\mu A$			3	mV
REF Load Regulation	$0.1\mu A < I_{REF} < 10\mu A$			3	mV
\overline{RS} Deassert Threshold for COR1 Rising	(Note 1)	88.00		93.25	%
\overline{RS} Deassert Delay		10		30	ms
LCD					
LXL Voltage Range				28	V
LXL Current Limit	$L1 = 10\mu H$	180		280	mA
LXL Leakage Current	$V_{LXL} = 28V$			2	μA
Maximum LXL On-Time		2		4	μs
Minimum LXL Off-Time	$V_{LFB} > 1.1V$	0.8		1.2	μs
	$V_{LFB} < 0.8V$ (soft-start)	3.9		6.0	
LFB Feedback Threshold		1.233		1.270	V
LFB Input Bias Current	$V_{LFB} = 1.3V$			50	nA
SW Off-Leakage Current	$V_{SW} = 0V$, $V_{PV} = 5.5V$, $V_{ENL} = 0V$			1	μA
SW PMOS On-Resistance				1.5	Ω

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = V_{PV} = V_{ENSD} = V_{ENC2} = V_{ENL} = V_{ENM} = V_{ENC1} = V_{DBI} = V_{LBI} = 4.0V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 2)

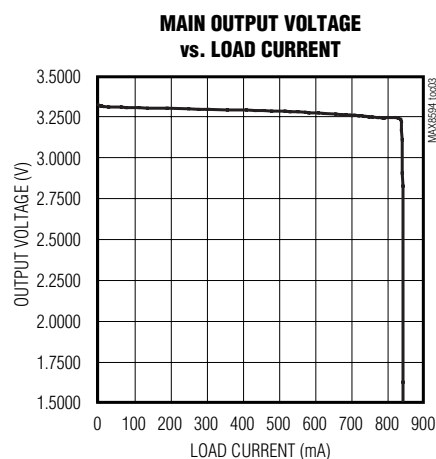
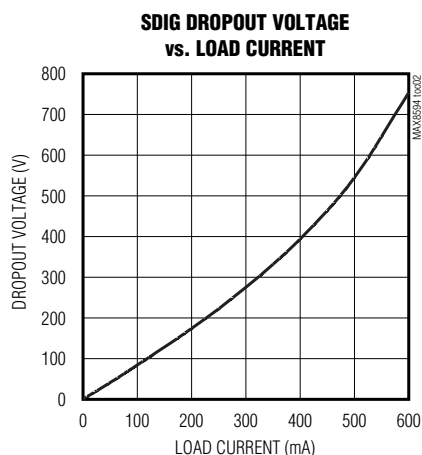
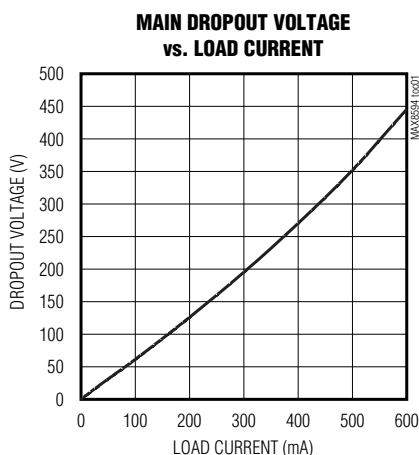
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
LOGIC					
EN ₋ , CV Input Low Level	$V_{IN} = 3.1V$ to $5.5V$			0.3	V
EN ₋ , CV Input High Level	$V_{IN} = 3.1V$ to $5.5V$	1.4			V
EN ₋ , CV Input Leakage Current				1	μA
\overline{RS} , \overline{LBO} , \overline{DBO} Output Low Level	Sinking 1mA, $V_{IN} = 2.5V$			0.1	V
\overline{DBO} Output Low Level	Sinking 100 μA , $V_{IN} = 1.0V$			0.1	V
\overline{RS} , \overline{LBO} , \overline{DBO} Output High Leakage	$V_{OUT} = 5.5V$, $V_{IN} = 5.5V$			1	μA

Note 1: The reset trip point tracks the COR1 voltage. For example, a minimum reset spec does not occur with a maximum COR1 spec, and a minimum COR1 spec does not occur with a maximum reset spec.

Note 2: Specifications to $-40^{\circ}C$ are guaranteed by design, not production tested.

標準動作特性

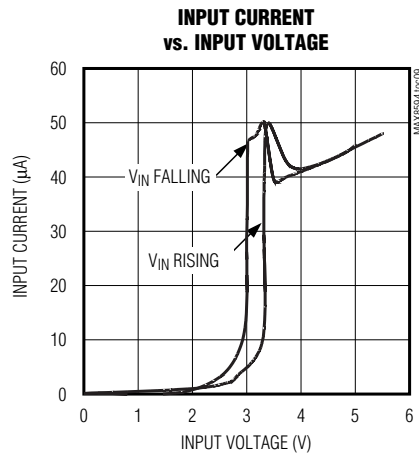
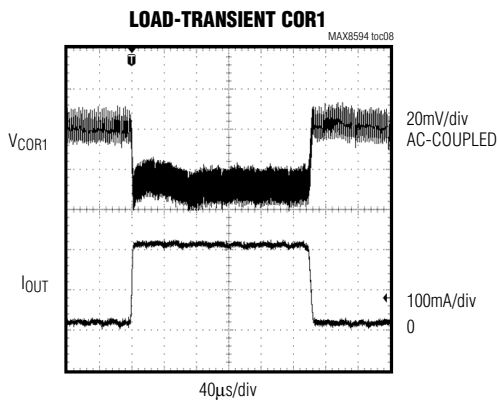
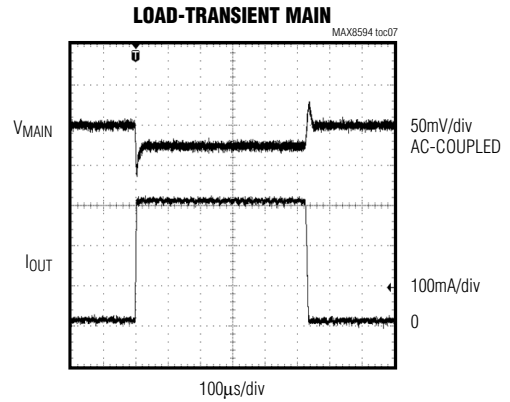
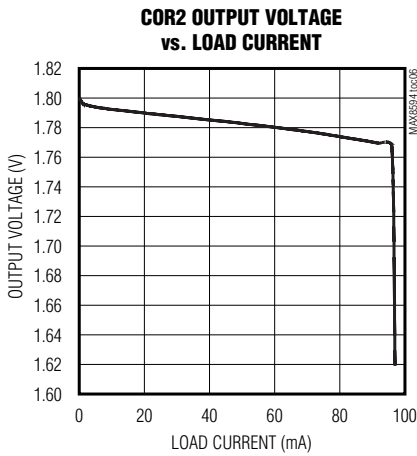
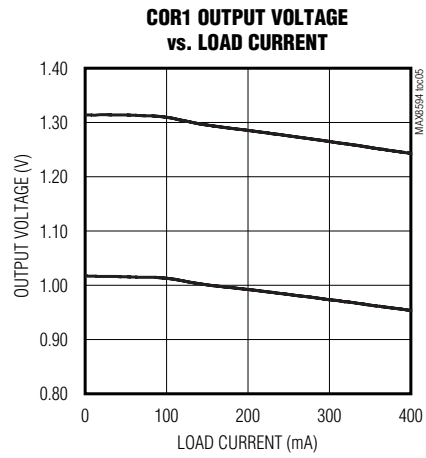
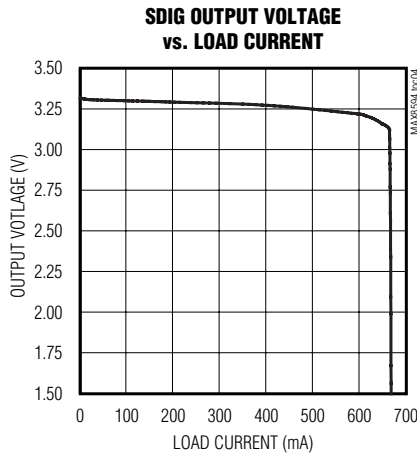
(Circuit of Figure 2, $V_{IN} = 4V$, $T_A = +25^{\circ}C$, unless otherwise noted.)



低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

標準動作特性(続き)

(Circuit of Figure 2, $V_{IN} = 4V$, $T_A = +25^\circ C$, unless otherwise noted.)

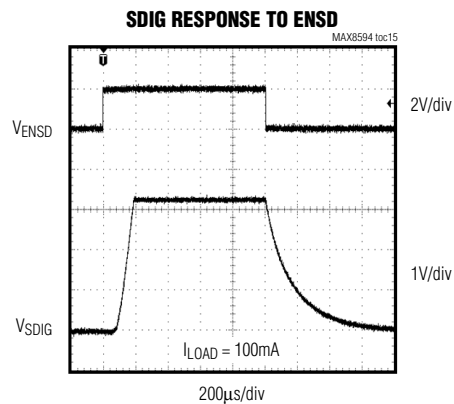
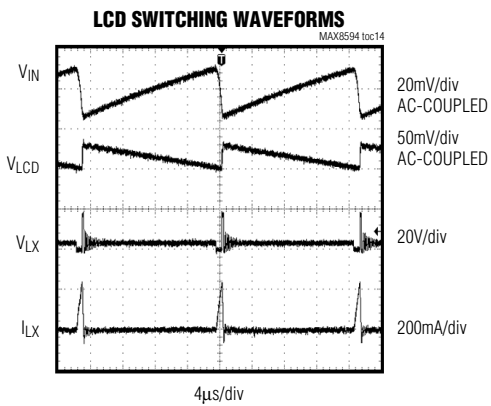
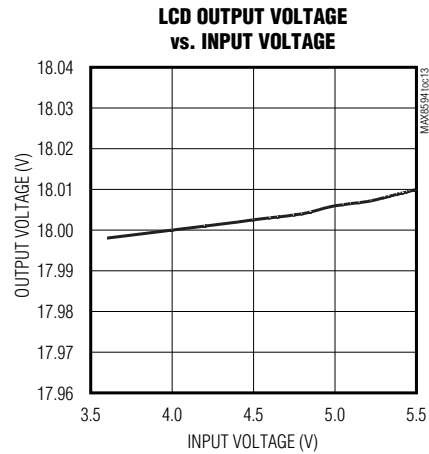
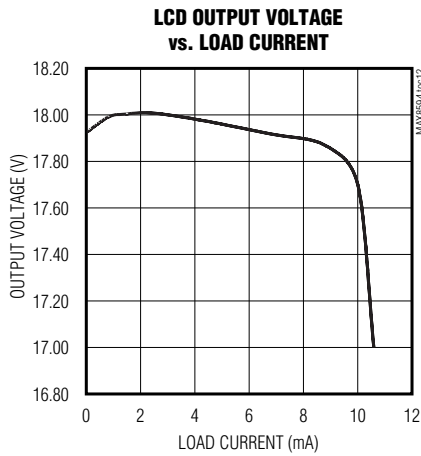
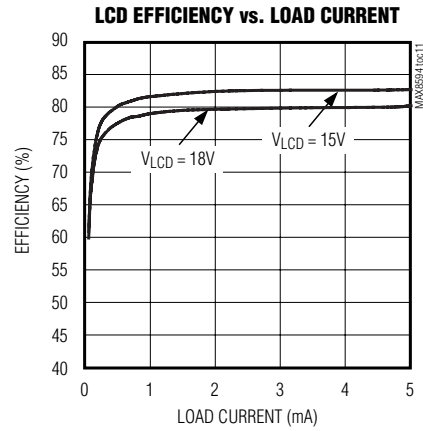
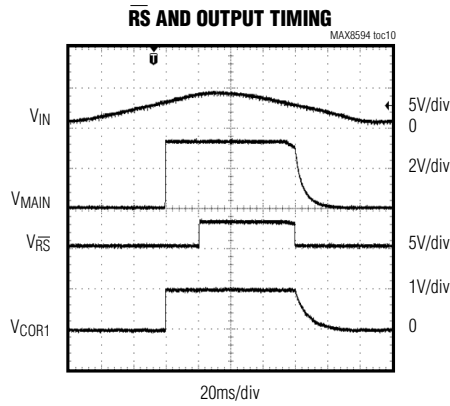


低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

標準動作特性(続き)

(Circuit of Figure 2, $V_{IN} = 4V$, $T_A = +25^\circ C$, unless otherwise noted.)

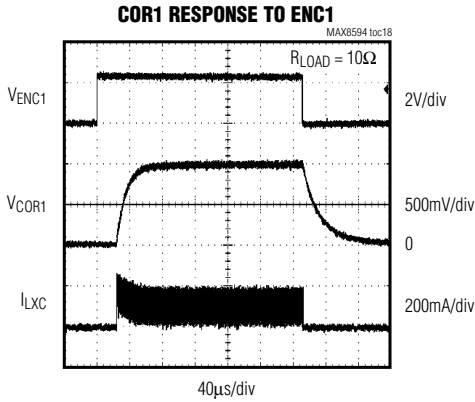
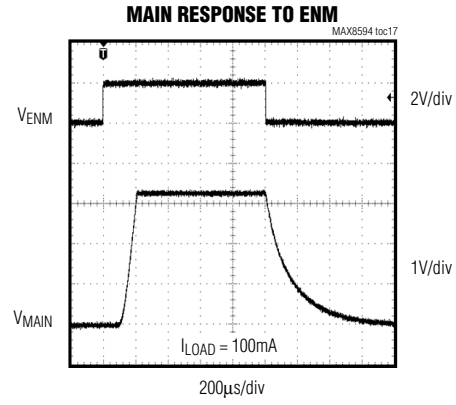
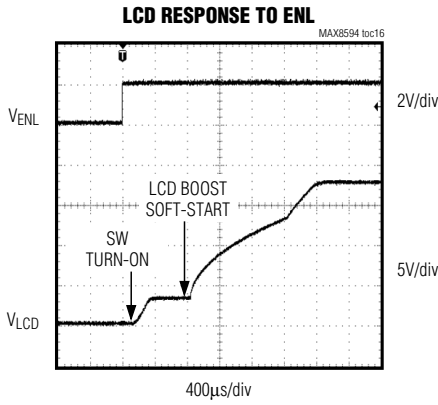


低コストPDA用DC-DCコア電源付、 5出力パワーマネジメントIC

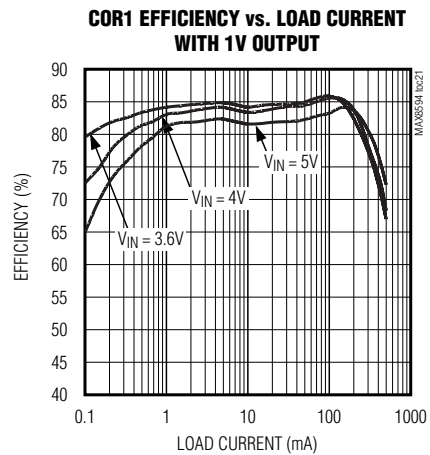
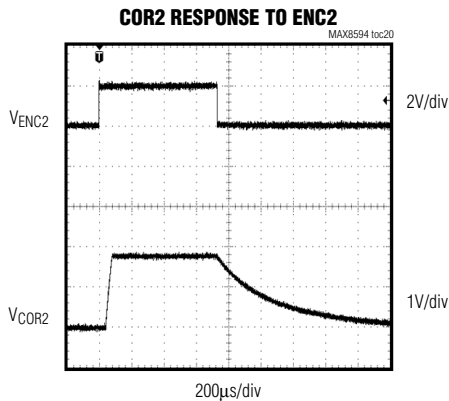
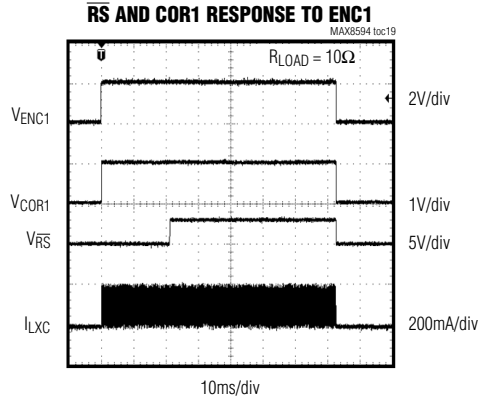
MAX8594

標準動作特性(続き)

(Circuit of Figure 2, $V_{IN} = 4V$, $T_A = +25^\circ C$, unless otherwise noted.)



FOR \overline{RS} RESPONSE, SEE \overline{RS} AND
COR1 RESPONSE TO ENC1.

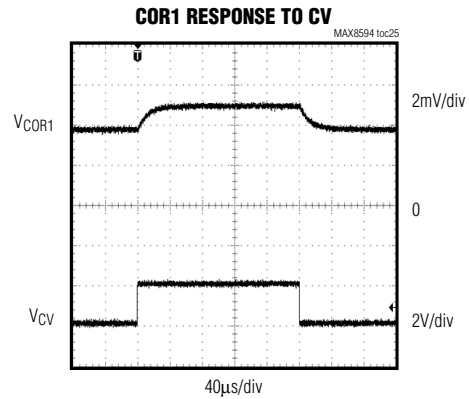
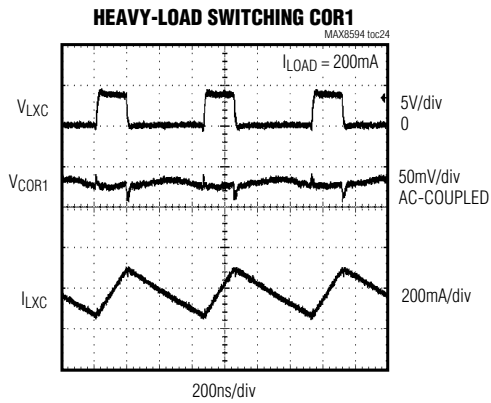
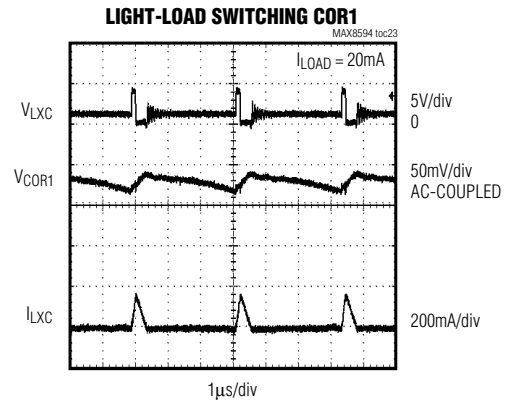
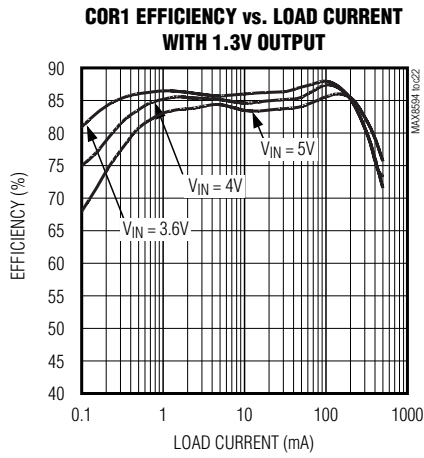


低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

標準動作特性(続き)

(Circuit of Figure 2, $V_{IN} = 4V$, $T_A = +25^\circ C$, unless otherwise noted.)



低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

端子説明

端子	名称	機能
1	SDIG	セキュアデジタル(SD)カードスロット用3.3V、500mAのLDO出力。電力がINにない場合にSDIGにバイアスをかけられるように、SDIGは逆電流保護を行います。V _{IN} がDBIスレッショルド以下の場合、ENSDがローになった場合、またはMAINがレギュレーション範囲外の場合は、SDIG出力はターンオフします。SDIGがターンオフすると、負荷及び内蔵フィードバック抵抗(typ. 1.3MΩ)に応じたレートで出力が放電されます。
2	IN	MAX8594への入力電圧。1μFセラミックコンデンサでINからGNDにバイパスします。
3	\overline{RS}	リセット出力。 \overline{RS} は、COR1がレギュレーション範囲内に移行した20ms(typ)後に、ハイインピーダンスになるアクティブロー、オープンドレイン出力です。MAINがレギュレーション範囲内に移行するまで、COR1はターンオンしません。MAINがレギュレーション範囲内から抜けると、COR1はターンオフし、 \overline{RS} はローになります。MAINがまだレギュレーション範囲内の場合、V _{IN} がDBIスレッショルド以下になると、 \overline{RS} はローになります。ENC1がローの場合は、 \overline{RS} はローになります。
4	\overline{LBO}	低バッテリー検出オープンドレイン出力。 \overline{LBO} は、V _{IN} がDBI及びLBIのスレッショルドを上回るとハイインピーダンスになるアクティブロー、オープンドレイン出力です。V _{IN} がLBIスレッショルドを下回ると、 \overline{LBO} はローになります。
5	\overline{DBO}	デッドバッテリー検出オープンドレイン出力。V _{IN} がDBIスレッショルド以下になると、 \overline{DBO} 及び \overline{LBO} がともにローになり、全出力がシャットダウンし、MAX8594はできる限り最低の自己消費電流状態に移行します。以上が実行されると、V _{IN} がDBIスレッショルドを超え、かつENMがハイになるまで、MAINはターンオンに戻りません。 \overline{DBO} は、V _{IN} がDBIスレッショルドを超えるとハイインピーダンスになるアクティブロー、オープンドレイン出力です。
6	DBI	デッドバッテリー検出。DBIは常時アクティブ状態です。DBI = INの場合、INが立下りのときはDBIスレッショルドは3.0Vであり、立上りのときは3.3Vです。DBIを抵抗分圧器に接続して、DBIスレッショルドを他の値に設定することもできます。 \overline{DBO} の説明も参照してください。
7	LBI	低バッテリー検出。LBI = INの場合、INが立下りのときはLBIスレッショルドは3.33Vであり、立上りのときは3.7Vです。LBIを抵抗分圧器に接続して、LBIスレッショルドを他の値に設定することもできます。 \overline{LBO} の説明も参照してください。
8	CV	1Vまたは1.3VのCOR1出力電圧を選択します。1.3VのCOR1出力の場合は、CVをハイにするか、またはINに接続します。1VのCOR1出力の場合は、CVをローにするか、またはGNDに接続します。
9	ENM	MAIN用のイネーブル入力。MAINがレギュレーション範囲内に移行するまで、その他の出力はターンオンしません。MAINがレギュレーション範囲内から抜けると、その他の全出力はターンオフし、 \overline{RS} はローになります。V _{IN} がDBIスレッショルドを下回ると、MAINを起動することはできません。
10	GND	グラウンド
11	REF	1.25V、1%のリファレンス。0.1μFのコンデンサでREFをGNDにバイパスします。V _{IN} がDBIスレッショルドを上回ると、REFがイネーブルされます。V _{IN} がDBIスレッショルドを下回ると、REFはオフになります。
12	LFB	LCDフィードバック入力。LFBをLCD出力とGNDの間の抵抗分圧器ネットワークに接続します。フィードバックスレッショルドは1.25Vです。V _{IN} がDBIスレッショルド以下の場合、ENLがローになった場合、またはMAINがレギュレーション範囲外の場合は、LCDがターンオフします。オフになると、負荷及び外付けフィードバック抵抗(typ. 2.4MΩ)に応じたレートでLCD出力が放電されます。
13	ENL	LCD用イネーブル入力(ブーストレギュレータ)。LCDブーストを起動するには、ENLをハイにします。LCD出力をシャットダウンするには、ENLをローにします。V _{IN} がDBIスレッショルド以下の場合、またはMAINがレギュレーション範囲内に移行する以前に、LCDコンバータを起動することはできません。
14	LXL	LCDブーストスイッチ。LXLをブーストインダクタ及びショットキダイオードに接続します。図1を参照してください。
15	SW	LCD True Shutdownスイッチ出力。SWはLCDブーストインダクタの電源です。ENLがハイの場合は、SWがターンオンします。効率を最大にするには、4.7μFのコンデンサでSWをGNDにバイパスします。LCDがシャットダウンされると、SWはPVから切り離されます。

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

端子説明(続き)

端子	名称	機能
16	PV	COR1バックコンバータ及びLCD True-Shutdownスイッチ用電源入力。INをPVに接続します。
17	PGND	電源グランド
18	LXC	COR1スイッチングノード。LXCをCOR1インダクタに接続します。図1を参照してください。
19	ENC1	1次コアバックコンバータ(COR1)用イネーブル入力。COR1をターンオンするにはENC1をハイにし、ターンオフするにはローにします。 V_{IN} がDBIスレッショルド以下の場合、またはMAINがレギュレーション範囲内に移行する以前に、COR1を起動することはできません。
20	ENSD	セキュアデジタルカード(SDIG)用イネーブル入力。SDIGをターンオフするにはENSDをローにし、ターンオンするにはハイにします。 V_{IN} がDBIスレッショルド以下の場合、またはMAINがレギュレーション範囲内に移行する以前に、SDIGを起動することはできません。
21	COR1	COR1出力用フィードバック検出入力。 V_{IN} がDBIスレッショルド以下の場合、ENC1がローになった場合、またはMAINがレギュレーション範囲外の場合は、COR1がターンオフします。出力がオフになると、1M Ω (typ)の内蔵抵抗を通じてLXCから放電されます。
22	ENC2	2次コアLDO(COR2)用イネーブル入力。COR2をターンオンするにはENC2をハイにし、ターンオフするにはローにします。 V_{IN} がDBIスレッショルド以下の場合、またはMAINがレギュレーション範囲内に移行する以前に、COR2を起動することはできません。 V_{IN} がDBIスレッショルド以上で、MAINがレギュレーション範囲内の場合は、COR2を起動することができます。
23	COR2	2次コア用1.8V、50mA LDO出力。 V_{IN} がDBIスレッショルド以下の場合、ENC2がローになった場合、またはMAINがレギュレーション範囲外の場合は、COR2がターンオフします。COR2出力は、負荷及び内蔵フィードバック抵抗(typ、700k Ω)に応じたレートで出力が放電されます。
24	MAIN	メイン電源用3.3V、500mA LDO出力。 V_{IN} がDBIスレッショルド以下の場合、またはENMがローになった場合は、MAIN出力がターンオフします。出力がオフになると、負荷及び内蔵フィードバック抵抗(typ、1.3M Ω)に応じたレートで出力が放電されます。
—	EP	エクスポーズドパッド。消費電力を改良するには、グランドに接続します。

低コストPDA用DC-DCコア電源付、 5出力パワーマネジメントIC

MAX8594

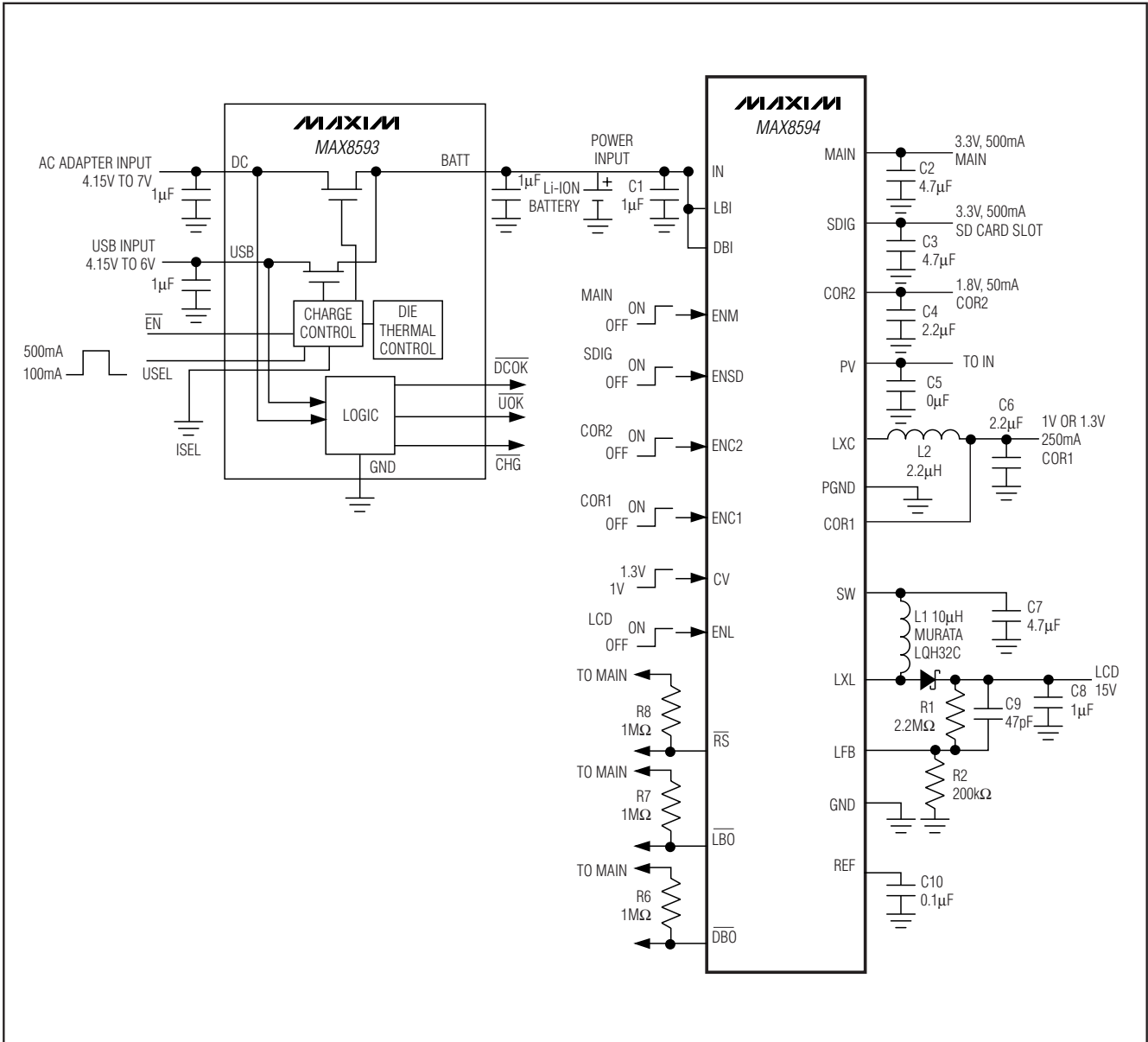


図1. チャージャ付標準動作回路

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

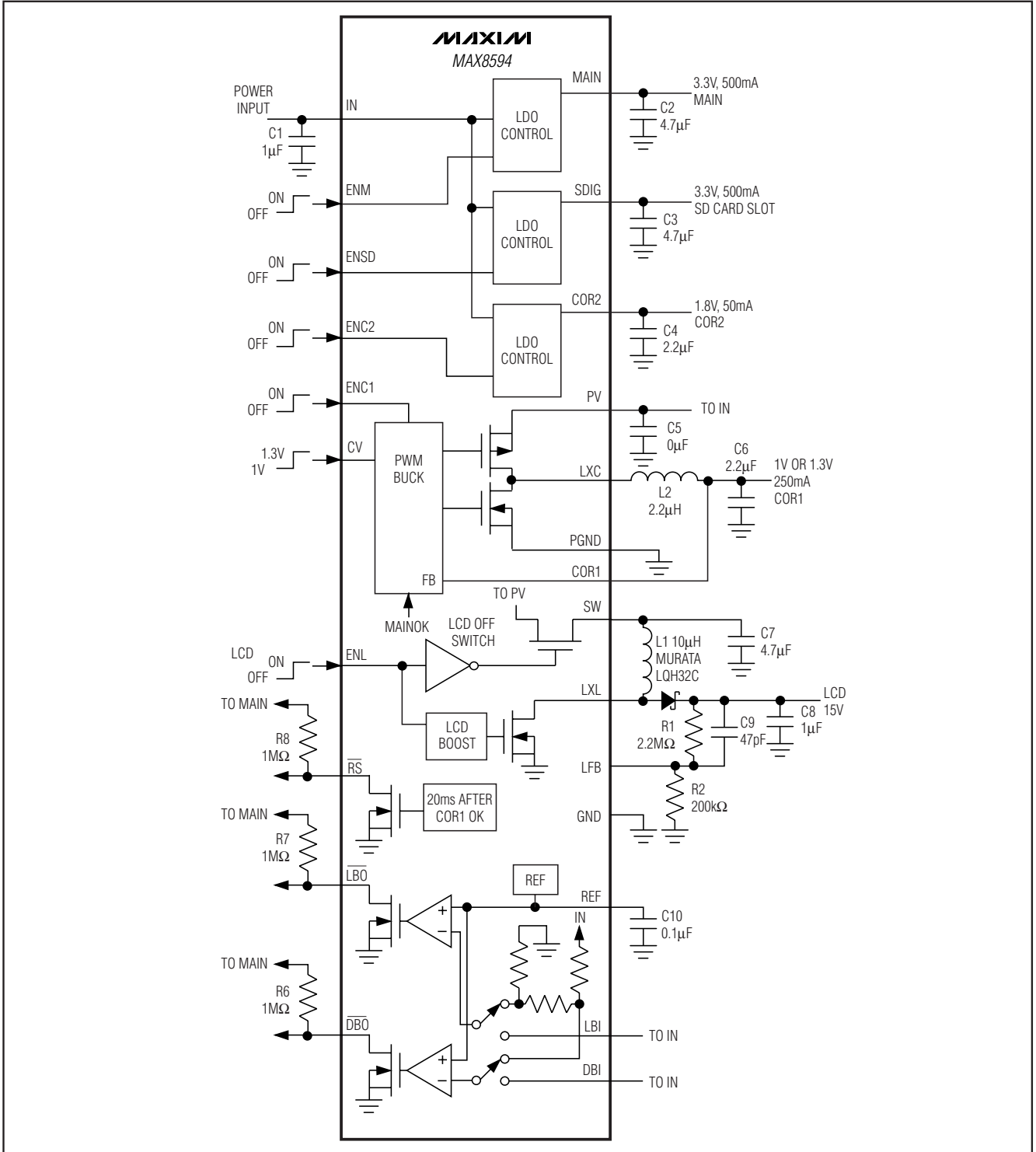


図2. ブロックダイアグラム

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

詳細

COR1ステップダウンDC-DCコンバータ

COR1レギュレータは、250mA以上を供給する独自のヒステリシスPWM制御ステップダウンコンバータです。出力電圧は、CVによって1Vまたは1.3Vに設定されます。中負荷から重負荷で、COR1は、周波数と変調パルス幅が一定の低ノイズPWMモードで動作します。固定周波数動作で生成されたスイッチング高調波は安定し、フィルタリングが容易です。軽負荷(30mA以下)の場合は、負荷に対応する必要がある場合のみコンバータが切り替わる高効率のIdle Mode™で、COR1は動作します。

リニアレギュレータ

メインロジック、セキュアデジタル(SD)カードスロット、及びCODECの電源は、以下の3種類のLDOから供給されます。

- MAIN — 標準電流制限値800mAで保証済みの500mAで3.3Vを供給
- SDIG — 標準電流制限値718mAで保証済みの500mAでSDカードに3.3Vを供給
- COR2 — 標準電流制限値98mAで保証済みの50mAでCODECコアに1.8Vを供給

以上の各レギュレータのドロップアウト制限のために、全動作入力電圧でMAIN及びSDIGの最大定格電流を得ることができない場合があることに注意してください。MAINレギュレータの標準ドロップアウト抵抗は0.7Ω(500mAで350mVの降下)で、SDIGレギュレータの標準ドロップアウト抵抗は0.85Ω(500mAで525mVの降下)です。

すべての電圧出力は別々のイネーブル入力(ENM、ENL、ENSD、ENC1、及びENC2)を備えています。MAINがレギュレーション範囲内に入るまで他の出力はターンオンしません。 V_{IN} がDBIスレッシュヨルドを超えるまで、MAINを起動することはできません。SDIGがターンオフされると、電力がINにない場合に外付け電源でSDIG出力にバイアスをかけられるように、逆電流が阻止されます。リーク電流は、SDIGで3.3Vの場合は3μA(typ)です。

LCD DC-DCブースト

MAX8594は、LCDバイアス用の低電流、高電圧、ブーストDC-DCコンバータを内蔵しています。この回路は最大28Vを出力可能で、外付け部品を使ってアナログまたはPWM制御信号で調整可能です。

ENLがロー(オフ)になると、SWはLCDへの入力電力を切断します。入力電力の切断機能は、シャットダウン(True Shutdown)時に出力電圧が0Vまで降下する必要があるアプリケーションに最適です。True Shutdownが不要の場合は、ブーストインダクタをPVに直接接続し、SWのバイパスキャップ(図1のC7)を除去して、SWスイッチをバイパスすることができます。

システムスリープ

$V_{DBI} < 1.25V$ (または $DBI = IN$ の場合は $V_{IN} = 3.0V$ 、図1)になると、すべての安定化出力がターンオフします。 $V_{DBI} > 1.375V$ (または $DBI = IN$ の場合は $V_{IN} = 3.3V$ 、図1)になると、MAX8594は通常動作を再開します。

リセット出力(\overline{RS})

COR1が設定レベルを20%下回ると、リセット \overline{RS} がアサートします。 \overline{RS} は、オープンドレイン、アクティブロー出力です。 \overline{RS} から、リセット信号を受信するゲートのロジック電源の間にプルアップ抵抗を接続します。COR1出力がレギュレーション範囲内に移行した10ms(min)後に、 \overline{RS} はデアサートします。有効入力電力を印加すると、MAIN出力が最初に起動し(ENM = ハイの場合)、他の出力が後に続きます(EN_i = ハイの場合)。電源及び出力シーケンスは、図3に示されています。

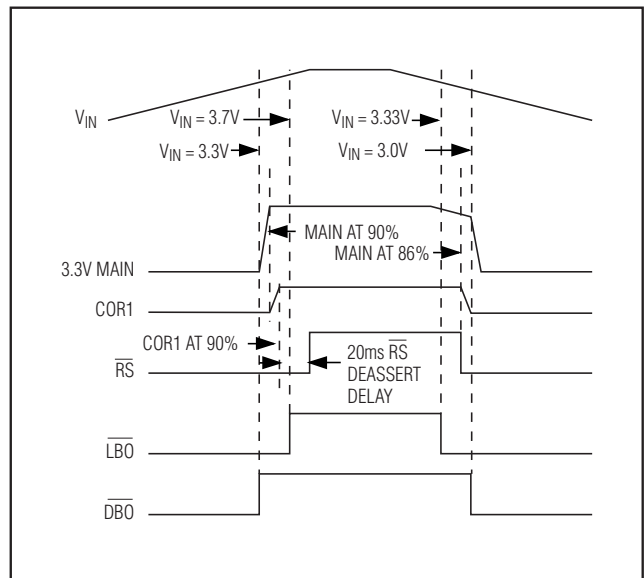


図3. 立上り及び立下り入力電圧の電源シーケンス。 V_{IN} スレッシュヨルドは V_{IN} に接続されたLBI及びDBI用のスレッシュヨルドであることに注意してください。他のスレッシュヨルドは、抵抗を使って設定することができます。

Idle ModeはMaxim Integrated Products, Inc.の商標です。

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

電源シーケンス

V_{IN} が0Vから上昇すると、シーケンスは以下のようになります。

- 1) DBIコンパレータは常にオンです。ほぼ $V_{IN} = 0.7V$ になると、 \overline{DBO} 、 \overline{LBO} 、及び \overline{RS} がローにプルされます。MAIN、SDIG、COR1、COR2、及びLCDはオフです。
- 2) V_{IN} がDBIスレッシュホールド(DBI = INの場合は3.3V)を上回ると、 \overline{DBO} はすぐにハイインピーダンスになり、MAX8594がターンオンします。ENM = ハイの場合は、MAIN LDOがターンオンします。
- 3) MAIN出力が公称電圧の90%または2.97Vに達すると、その他の全レギュレータがイネーブルの場合はターンオンします。
- 4) COR1が公称電圧の90%に達した20ms後に、 \overline{RS} はハイインピーダンスになります。
- 5) V_{IN} がLBIスレッシュホールド(LBI = INの場合は3.7V)を上回ると、 \overline{LBO} はハイインピーダンスになります。

INが降下すると、シーケンスは以下のようになります。

- 1) V_{IN} が \overline{LBO} スレッシュホールド(LBI = INの場合は3.33V)まで降下すると、 \overline{LBO} はGNDにプルされます。
- 2) MAIN出力が2.838Vまで降下する前に、 V_{IN} がDBIスレッシュホールド(LBI = INの場合は3.0V)まで降下すると、 \overline{DBO} 及び \overline{RS} がローになり、全レギュレータがターンオフし、MAX8594がシャットダウンされます。
- 3) INがDBIスレッシュホールド(DBI = INの場合は3.0V)に達する前に、MAIN出力が公称電圧の86%(2.838V)を下回る場合は、 \overline{RS} がGNDにプルされ、他の全出力はターンオフしますが、INがDBIスレッシュホールドまで降下するまでMAINは(ドロップアウトで)オンを維持し、 \overline{DBO} はハイを維持します。

アプリケーション情報

COR1バック出力

COR1インダクタ

飽和電流が最低500mAの2.2 μ Hインダクタが推奨されます。低い負荷電流の場合は、インダクタ電流定格を緩和することができます。効率を最大にするには、インダクタのDC抵抗はできる限り低くする必要があります。コア材料は製造メータやインダクタタイプ間で異なり、効率が様々であることに注意してください。

COR1コンデンサ

セラミック入力/出力コンデンサが推奨されます。広い温度範囲にわたって安定性を最大にするには、そのESRと温度係数が低いという理由から、X5RまたはX7R誘導体のコンデンサを使用します。

出力電圧リップルを少なくするには、COR1出力コンデンサC6(図1)が必要です。ほとんどのアプリケーションに2.2 μ Fが推奨されます。

バックコンバータの入力電流の脈動性から、入力電圧をフィルタリングし、他の回路との干渉を最低限に抑えるために低ESR入力コンデンサが必要です。入力コンデンサC5(図1)のインピーダンスは、スイッチング周波数で非常に低くする必要があります。大部分のアプリケーションには、PVに最小値の4.7 μ Fが推奨されます。入力コンデンサを大きくすると、入力フィルタリングをさらに向上させることができます。

LDO出力コンデンサ (MAIN、SDIG、COR2)

全負荷及び全温度範囲にわたって動作を安定化するには、MAX8594の各LDO出力にコンデンサが必要です。各出力の推奨コンデンサ値については、図1を参照してください。ノイズを低減し、負荷過渡応答を向上するために、最大10 μ Fの大容量出力コンデンサを使用します。表面実装セラミックコンデンサは超低ESRを備え、通常、最大10 μ Fの値で利用可能です。X7R及びX5R誘導体が推奨されます。Z5UやY5Vなどの一部セラミック誘導体は温度とともに容量及びESRの大きな変動を示し、全温度範囲にわたって安定性を維持するには推奨値以上の値が必要なことに注意してください。

LBI及びDBIの設定

DBI及びLBI入力は入力電圧(通常、バッテリー)を監視し、 \overline{DBO} 及び \overline{LBO} 出力をトリガします。LBIとDBIはINに接続され、LBI及びDBIスレッシュホールドは内部で設定されます。立上り入力電圧の場合は、 V_{IN} が3.3Vを上回ると \overline{DBO} はハイになり、 V_{IN} が3.7Vを上回ると \overline{LBO} はハイになります。立下り入力電圧の場合は、 V_{IN} が3.3Vを下回ると \overline{LBO} はローになり、 V_{IN} が3.0Vを下回ると \overline{DBO} はローになります(「電気的特性(Electrical Characteristics)」表及び図3も参照してください)。また、図4及び図5に示されるようにLBI及びDBIスレッシュホールドを外付け抵抗を使って設定することができます。

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

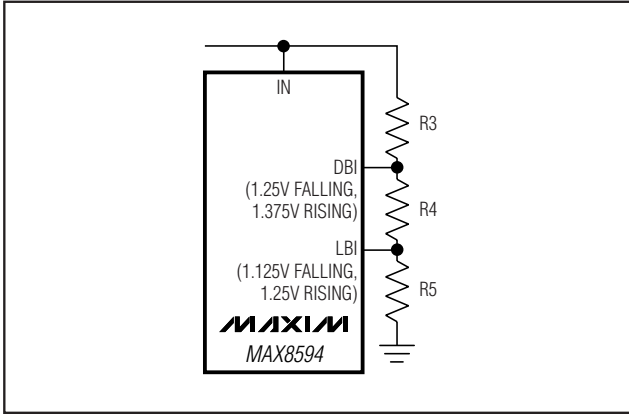


図4. 3個の外付け抵抗によるDBI及びLBIスレッショルドの設定

図4において、1個の3抵抗分圧器によって、(立下りスレッショルドの設定用に示された)以下の式に従ってDBI及びLBIをともに設定することができます。分圧器チェーンの下側の抵抗(図4のR5)を100kΩ～250kΩに選択します。各(立下り)スレッショルドの関数としての上側2個の分圧抵抗の式は、次のとおりです。

$$R3 = R5 \times \frac{V_{LBFALL}}{1.125} \times \left(1 - \frac{1.25}{V_{DBFALL}}\right)$$

$$R4 = R5 \times \frac{1.25 \times V_{LBFALL}}{1.125 \times V_{DBFALL}} - 1$$

ここでは、 V_{DBFALL} 及び V_{LBFALL} は、それぞれ \overline{DBO} 及び \overline{LBO} 出力をトリガする任意の立下りスレッショルドです。これらのスレッショルドが選択されると、立上りDBI及びLBIスレッショルドは以下のとおりです。

$$V_{DRISE} = 1.375 \times \frac{R3 + R4 + R5}{R4 + R5}$$

$$V_{LRISE} = 1.25 \times \frac{R3 + R4 + R5}{R5}$$

また、LBI及びDBIは、別の抵抗分圧器で設定することもできます。抵抗の算出はより簡単で、これら2つの設定は連動していません。ただし、抵抗がもう1個必要で、

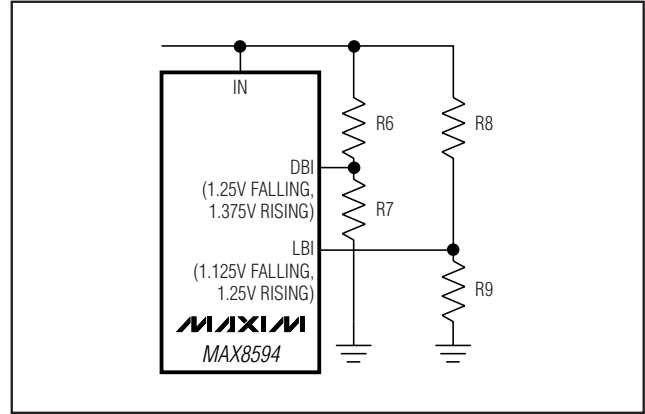


図5. 4個の抵抗によるDBI及びLBIスレッショルドの設定

抵抗負荷が増えるためバッテリードレインは少し高くなります。分圧器チェーンの下側の抵抗(図5のR7及びR9)を100kΩ～250kΩに選択します。各(立下り)スレッショルドの関数としての上側の各分圧器抵抗の式は、次のとおりです。

$$R6 = R7 \times \left(\frac{V_{DBFALL}}{1.25} - 1\right)$$

$$R8 = R9 \times \left(\frac{V_{LBFALL}}{1.125} - 1\right)$$

ここでは、 V_{DBFALL} 及び V_{LBFALL} は、それぞれ \overline{DBO} 及び \overline{LBO} 出力をトリガする任意の立下りスレッショルドです。これらのスレッショルドが選択されると、立上りDBI及びLBIスレッショルドは以下のとおりです。

$$V_{DRISE} = 1.375 \times \frac{R6 + R7}{R7}$$

$$V_{LRISE} = 1.25 \times \frac{R8 + R9}{R9}$$

なお、DBIスレッショルド以下になると(ローになる)、 \overline{DBO} 及び \overline{LBO} は自動的にローになり、製品がシャットダウンされるため、低バッテリースレッショルドはデッドバッテリースレッショルド以下に設定しないでください。

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

MAX8594

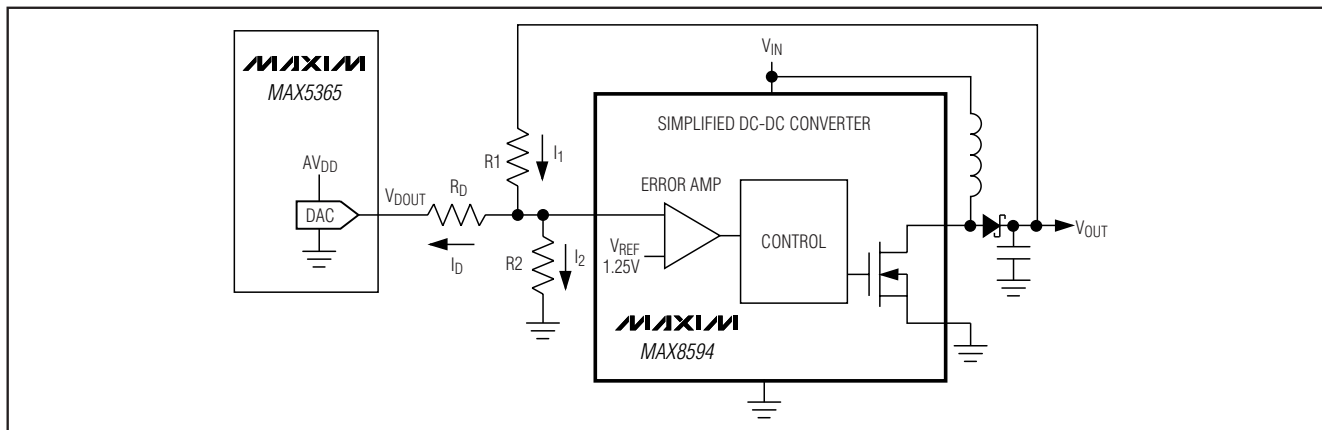


図6. DACによる出力電圧の調整

LCDブースト出力

LCDインダクタ

LCDブーストは、広範囲のインダクタ値(4.7μH~150μH)で動作するように設計されています。通常、インダクタンス値が小さくなると、所与の直列抵抗や飽和電流のサイズが小さくなります。値が小さくなると、所与の負荷に対するLXのスイッチング頻度が増加し、低負荷電流で効率が低下する場合があります。値が大きくなると、所与の負荷に対するスイッチング頻度の減少のためスイッチング損失が低減しますが、DC抵抗の増大によって効率が低下する場合があります。43μH以上のインダクタの場合は、ピークインダクタ電流が250mAに達する前にLXL最大オン時間(3μs)が経過することに注意してください。これによって出力電流は低下しますが、軽負荷時の効率を向上することもあります。10μHのインダクタは優れたバランスを発揮し、ほとんどのアプリケーションに適しています。インダクタの飽和電流定格値は、ピークスイッチング電流(250mA)を上回る必要があります。

LCDダイオード

MBR0530やNihon EP05Q03Lなどの250mA以上の定格のショットキダイオードが推奨されます。ダイオードの逆方向ブレイクダウン電圧定格はLCD出力電圧を上回る必要があります。

LCDコンデンサ

ほとんどのアプリケーションには、1μFのセラミック出力コンデンサを使用します。このコンデンサは、30mV(typ)のピークトゥピーク出力リップルにします。また、1μFのセラミックコンデンサでINを、4.7μFのセラミックコンデンサでSWをバイパスします。出力とLFBの間に接続されたLCDフィードフォワードコンデンサによって、広範囲のバッテリー電圧にわたって安定性が向上します。

47pFのコンデンサはほとんどのアプリケーションに十分ですが、最適値はプリント基板のレイアウトに左右されます。

LCD電圧の設定

LCD出力とLFBの間に分圧器を接続して、出力電圧を調整します(図1参照)。R2を10kΩ~200kΩに選択します。以下の式を使って、R1を算出します。

$$R1 = R2 \times \left(\frac{V_{OUT}}{V_{LFB}} - 1 \right)$$

ここでは、 $V_{LFB} = 1.25V$ で、 V_{OUT} の範囲を $V_{IN} \sim 28V$ にすることができます。LFBの入力バイアス電流はわずかに5nA(typ)で、値が大きい抵抗を使用することができます。誤差を1%以下にするには、R2を流れる電流は、フィードバック入力バイアス電流(I_{LFB})の100倍以上である必要があります。

LCDの調整

LCDブースト出力は、DACまたはPWM信号でデジタル調整することができます。

DACによる調整

DACと抵抗 R_D を分圧器回路(図6)に追加すると、 V_{OUT} をDACで調整することができます。 $V_{OUT(MAX)}$ が、LCDパネルの定格値を超えないようにします。DAC電圧(V_{DOUT})の関数である出力電圧(V_{OUT})は、以下の式を使って算出されます。

$$V_{OUT} = 1.25 \times \left(1 + \left(\frac{R1}{R2} \right) \right) + \frac{(1.25 - V_{DOUT}) \times R1}{R_D}$$

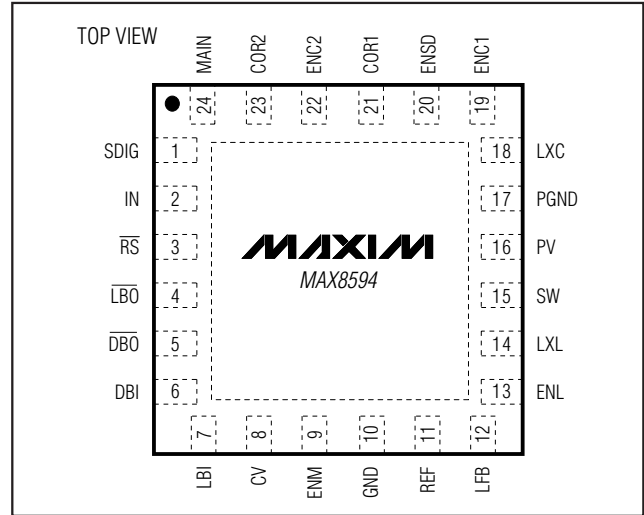
低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

チップ情報

TRANSISTOR COUNT: 3436

PROCESS: BiCMOS

ピン配置

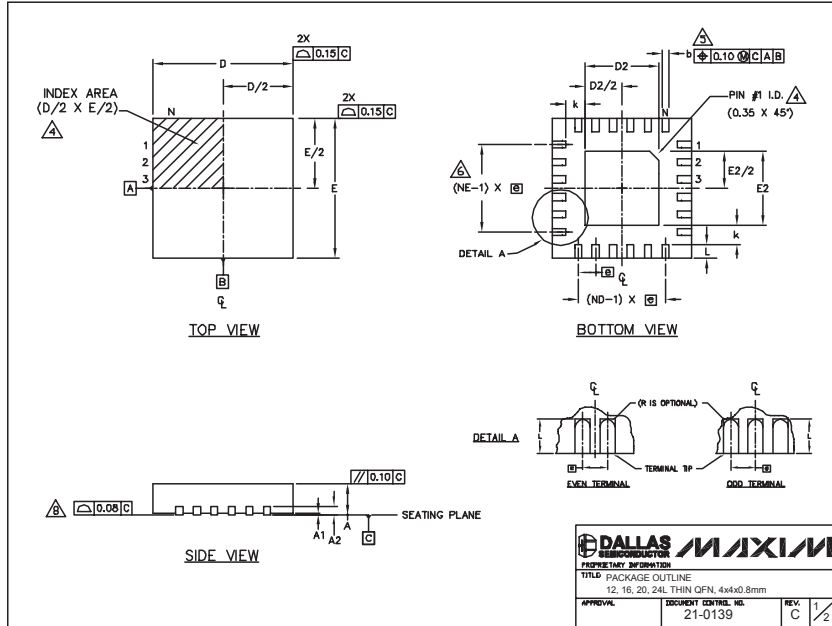


MAX8594

低コストPDA用DC-DCコア電源付、 5出力パワーマネージメントIC

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



COMMON DIMENSIONS					EXPOSED PAD VARIATIONS								
PKG REF.	12L 4x4		16L 4x4		20L 4x4		24L 4x4		PKG CODES	D2	E2	DOWN BONDS ALLOWED	
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	NO
AL	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	YES
A2	0.20 REF.		0.20 REF.		0.20 REF.		0.20 REF.						
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	NO
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	YES
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	NO
e	0.80 BSC.		0.65 BSC.		0.50 BSC.		0.50 BSC.						
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	YES
L	0.43	0.53	0.63	0.43	0.53	0.63	0.43	0.53	0.63	0.30	0.40	0.50	YES
N	12		16		20		24						
ND	3		4		5		6						
NE	3		4		5		6						
Vendor Var.	VGGB		VGGC		VGGB-1		VGGB-2						

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SFP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-1, T2444-3 AND T2444-4.

APPROVAL	DOCUMENT CONTROL NO.	REV.
	21-0139	C 2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

22 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**