

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

概要

パワーマネジメントICのMAX8588はIntelのX-Scale™マイクロプロセッサ、スマートフォン、PDA、インターネット装置、およびその他の携帯用機器において、低電力で大量の計算とマルチメディア機能を要するデバイス用に最適化されています。

このICは、監視および管理機能と共に、7つの高効率、低動作電流の電源を集積しています。これは3個のステップダウンDC-DCコンバータ、3個のリニアレギュレータ、および7番目の常時オン出力で構成されています。DC-DCコンバータはI/O、メモリ、およびCPUコアに給電します。I/O電源は3.3Vにプリセットするか、または外部抵抗で調整することができます。DRAM電源は3.3Vまたは2.5Vにプリセットされるか、または外部抵抗器を用いて調整することができます。CPUコア電源はダイナミックな電圧管理のためにシリアルにプログラム可能であり、最大0.5Aまで供給することができます。リニアレギュレートされた出力がSRAM、PLL、およびUSIM電源用に供給されます。

自己消費電流を最小にするために、重要な電源は、出力電流が小さいときに、アクティブにすることができるバイパス型の「スリープ」LDOを備えています。このICは、各DC-DCコンバータに対する個別のオン/オフ制御、ロー(low)バッテリーおよびデッド(dead)バッテリーの検出、リセットおよび電源OK出力、バックアップバッテリー入力、および2線式シリアルインタフェースなどの機能も備えています。

すべてのDC-DC出力は、高速の1MHz PWMスイッチングおよび小型の外付け部品を使用します。各DC-DCコンバータは固定周波数のPWM制御で動作し、軽負荷では動作電流を減らしてバッテリー寿命を延ばすためにPWMからスキップモード動作に自動的に切り替わります。コア出力は、ノイズを最小化するために、すべての負荷においてPWMモードに強制することができます。入力電圧範囲が2.6V~5.5Vのため、1セルのリチウムイオン(Li+)、3セルニッケル水素(NiMH)、またはレギュレートされた5V入力が可能です。MAX8588は小型の6mm x 6mmの48ピン薄型QFNパッケージで提供されています。

アプリケーション

PDA、パームトップ、およびワイヤレスハンドヘルド
第3世代のスマートセルラフォン
インターネット製品およびウェブブック

X-ScaleはIntel Corp.の商標です。



特長

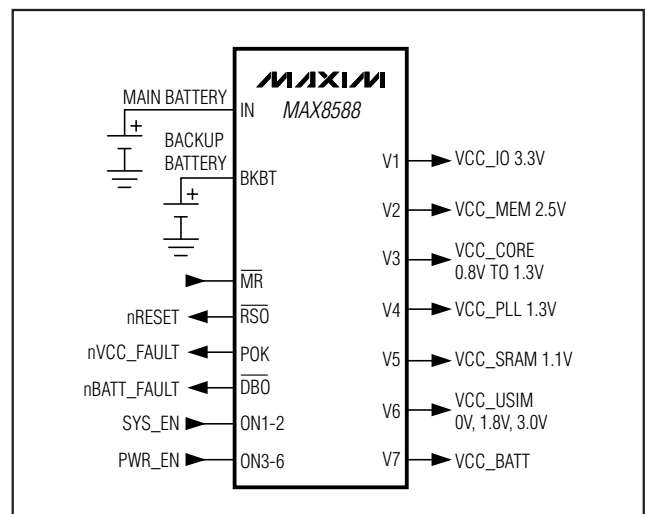
- ◆ 1パッケージ内に6個のレギュレータ
I/O用ステップダウンDC-DC : 1.3A
メモリ用ステップダウンDC-DC : 0.9A
コア用ステップダウンシリアル設定DC-DC : 0.5A(最大)
SRAM、PLL、USIM用3個のLDO出力
VCC_BATT用常時オン出力
- ◆ 低動作電流
スリープモード時(スリープLDOオン) : 60μA
DC-DCオン時(コアオフ) : 130μA
すべてのレギュレータオン時(無負荷時) : 200μA
シャットダウン電流 : 5μA
- ◆ X-Scaleプロセッサに最適化
- ◆ バッテリバックアップ入力
- ◆ 1MHz PWMスイッチングによって外付け部品が小型化可能
- ◆ 小型6mm x 6mm、48ピン薄型QFNパッケージ

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX8588ETM	-40°C to +85°C	48 Thin QFN (6mm x 6mm)

ピン配置はデータシートの最後に記載されています。

簡略図



PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

ABSOLUTE MAXIMUM RATINGS

IN, IN45, IN6, \overline{MR} , \overline{LBO} , \overline{DBO} , \overline{RSO} , POK, SCL, SDA, BKBT, V7, \overline{SLP} , SRAD, PWM3 to GND.....	-0.3V to +6V	LX2 Continuous Current.....	-0.9A to +0.9A
REF, CC_, ON_, FB_, DBI, LBI, V1, V2, RAMP, BYP, \overline{MR} to GND	-0.3V to (V _{IN} + 0.3V)	LX3 Continuous Current.....	-0.5A to +0.5A
PV1, PV2, PV3, SLPIN to IN.....	-0.3V to +0.3V	PG1, PG2, PG3 to GND.....	-0.3V to +0.3V
V4, V5 to GND	-0.3V to (V _{IN45} + 0.3V)	V1, V2, V4, V5, V6 Output Short-Circuit Duration.....	Continuous
V6 to GND	-0.3V to (V _{IN6} + 0.3V)	Continuous Power Dissipation (T _A = +70°C) 6mm x 6mm 48-Pin Thin QFN (derate 26.3mW/°C above +70°C).....	2105mW
PV1 to PG1	-0.3V to +6.0V	Operating Temperature Range	-40°C to +85°C
PV2 to PG2	-0.3V to +6.0V	Junction Temperature	+150°C
PV3 to PG3	-0.3V to +6.0V	Storage Temperature Range	-65°C to +150°C
LX1 Continuous Current.....	-1.30A to +1.30A	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN} = 3.6V, V_{BKBT} = 3.0V, V_{LBI} = 1.1V, V_{DBI} = 1.35V, circuit of Figure 5, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
PV1, PV2, PV3, SLPIN, IN Supply Voltage Range	PV1, PV2, PV3, IN, and SLPIN must connect together externally	2.6		5.5	V
IN45, IN6 Supply Voltage Range		2.4		5.5	V
IN Undervoltage-Lockout (UVLO) Threshold	V _{IN} rising	2.25	2.40	2.55	V
	V _{IN} falling	2.200	2.35	2.525	
Quiescent Current	No load (I _{PV1} + I _{PV2} + I _{IN} + I _{SLPIN} + I _{IN45} + I _{IN6})	Only V7 on, V _{IN} = 3.0V	32		μA
		REG1 and REG2 on in switch mode, REG3 off	130		
		REG1 and REG2 on in sleep mode, REG3 off	60		
		All REGs on	225		
BKBT Input Current	ON1 = 0	4		μA	
	ON1 = IN	0.8			
REF Output Voltage	0 to 10μA load	1.2375	1.25	1.2625	V
SYNCHRONOUS-BUCK PWM REG1					
REG1 Voltage Accuracy	FB1 = GND, 3.6V ≤ V _{PV1} ≤ 5.5V, load = 0 to 1300mA	3.25	3.3	3.35	V
FB1 Voltage Accuracy	FB1 used with external resistors, 3.6V ≤ V _{PV1} ≤ 5.5V, load = 0 to 1300mA	1.231	1.25	1.269	V
FB1 Input Current	FB1 used with external resistors	100		nA	
Error-Amplifier Transconductance	Referred to FB	87		μS	
Dropout Voltage (Note 1)	Load = 800mA	180	280	mV	
	Load = 1300mA	293	450		

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 3.6V$, $V_{BKBT} = 3.0V$, $V_{LBI} = 1.1V$, $V_{DBI} = 1.35V$, circuit of Figure 5, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
p-Channel On-Resistance	$I_{LX1} = -180mA$		0.18	0.3	Ω	
	$I_{LX1} = -180mA$, $V_{PV1} = 2.6V$		0.21	0.35		
n-Channel On-Resistance	$I_{LX1} = 180mA$		0.13	0.225	Ω	
	$I_{LX1} = 180mA$, $V_{PV1} = 2.6V$		0.15	0.25		
Current-Sense Transresistance			0.5		V/A	
p-Channel Current-Limit Threshold		-1.55	-1.80	-2.10	A	
PWM Skip-Mode Transition Load Current	Decreasing load current (Note 2)		30		mA	
OUT1 Maximum Output Current	$2.6V \leq V_{PV1} \leq 5.5V$ (Note 3)		1.3		A	
LX1 Leakage Current	$V_{PV1} = 5.5V$, $LX1 = GND$ or $PV1$, $V_{ON1} = 0V$	-20	+0.1	+20	μA	
SYNCHRONOUS-BUCK PWM REG2						
REG2 Voltage Accuracy	$FB2 = GND$, $3.6V \leq V_{PV2} \leq 5.5V$, load = 0 to 900mA	2.463	2.5	2.537	V	
	$FB2 = IN$, $3.6V \leq V_{PV2} \leq 5.5V$, load = 0 to 900mA	3.25	3.3	3.35		
FB2 Voltage Accuracy	$FB2$ used with external resistors, $3.6V \leq V_{PV2} \leq 5.5V$, load = 0 to 900mA	1.231	1.25	1.269	V	
FB2 Input Current	$FB2$ used with external resistors, $V_{FB2} = 1.25V$			100	nA	
Error-Amplifier Transconductance	Referred to FB		87		μS	
Dropout Voltage	Load = 900mA (Note 1)		243	380	mV	
p-Channel On-Resistance	$I_{LX2} = -180mA$		0.225	0.375	Ω	
	$I_{LX2} = -180mA$, $V_{PV2} = 2.6V$		0.26	0.425		
n-Channel On-Resistance	$I_{LX2} = 180mA$		0.15	0.25	Ω	
	$I_{LX2} = 180mA$, $V_{PV2} = 2.6V$		0.17	0.275		
Current-Sense Transresistance			0.7		V/A	
p-Channel Current-Limit Threshold		-1.10	-1.275	-1.50	A	
PWM Skip-Mode Transition Load Current	Decreasing load current (Note 2)		30		mA	
OUT2 Maximum Output Current	$2.6V \leq V_{PV2} \leq 5.5V$ (Note 3)		0.9		A	
LX2 Leakage Current	$V_{PV2} = 5.5V$, $LX2 = GND$ or $PV2$, $V_{ON2} = 0V$	-10	+0.1	+10	μA	
SYNCHRONOUS-BUCK PWM REG3						
REG3 Voltage Accuracy	REG3 from 0.7V to 1.475V, $2.6V \leq V_{PV3} \leq 5.5V$	Load = 0 to 500mA		-1.5	+1.5	%
Error-Amplifier Transconductance			68		μS	

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 3.6V$, $V_{BKBT} = 3.0V$, $V_{LBI} = 1.1V$, $V_{DBI} = 1.35V$, circuit of Figure 5, $T_A = 0^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
p-Channel On-Resistance	$I_{LX3} = -180mA$		0.225	0.375	Ω
	$I_{LX2} = -180mA$, $V_{PV3} = 2.6V$		0.26	0.425	
n-Channel On-Resistance	$I_{LX3} = 180mA$		0.15	0.25	Ω
	$I_{LX3} = 180mA$, $V_{PV3} = 2.6V$		0.17	0.275	
Current-Sense Transresistance			1.1		V/A
p-Channel Current-Limit Threshold		-0.60	-0.7	-0.85	A
PWM Skip-Mode Transition Load Current	Decreasing load current (Note 2)		30		mA
OUT3 Maximum Output Current	$2.6V \leq V_{PV3} \leq 5.5V$ (Note 3)		0.5		A
LX3 Leakage Current	$V_{PV3} = 5.5V$, LX3 = GND or PV2, $V_{ON3} = 0V$	-10	+0.1	+10	μA
LDOS V4, V5, V6, V1 SLEEP, V2 SLEEP, AND V7 OUTPUT					
V4, V5, V6, V1 SLEEP, V2 SLEEP Output Current			35		mA
V7 Output Current			30		mA
REG4 Output Voltage	Load = 0.1mA to 35mA	1.261	1.3	1.339	V
REG4 Noise	With $1\mu F$ C_{OUT} and $0.01\mu F$ C_{BYP}		15		μV_{RMS}
REG5 Output Voltage	Load = 0.1mA to 35mA	1.067	1.1	1.133	V
IN45, IN6 Input Voltage Range			2.4	5.5	V
REG6 Output Voltage (POR Default to 0V, Set by Serial Input)	0V setting (either ON6 low or serial programmed)		0		V
	1.8V setting, load = 0.1mA to 35mA	1.746	1.8	1.854	
	2.5V setting, load = 0.1mA to 35mA	2.425	2.5	2.575	
	3.0V setting, load = 0.1mA to 35mA	2.91	3.0	3.09	
V7 Output Voltage	V1 on and in regulation		V_{V1}		V
	V1 off		V_{BKBT}		
V1 and V2 SLEEP Output Voltage Accuracy	Set to same output voltage as REG1 and REG2	-3.0		+3.0	%
V1 and V2 SLEEP Dropout Voltage	Load = 20mA		75	150	mV
V6 Dropout Voltage	3V mode, load = 30mA, 2.5V mode, load = 30mA		110	200	mV
V7 Switch Voltage Drop	Load = 20mA, $V_{BKBT} = V_{V1} = 3.0V$		100	200	mV
V4, V5, V6 Output Current Limit		40	90		mA
BKBT Leakage				1	μA
OSCILLATOR					
PWM Switching Frequency		0.93	1	1.07	MHz
SUPERVISORY/MANAGEMENT FUNCTIONS					
POK Trip Threshold (Note 4)	Rising	92	94.75	97	%
	Falling	88.5	90.5	92.5	

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = 3.6V, V_{BKBT} = 3.0V, V_{LBI} = 1.1V, V_{DBI} = 1.35V, circuit of Figure 5, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
LBI Threshold (Falling)	Hysteresis is 5% (typ)	LBI = IN (for preset)	3.51	3.6	3.69	V
		With resistors at LBI	0.98	1.00	1.02	
DBI Threshold (Falling)	Hysteresis is 5% (typ)	DBI = IN (for preset)	3.024	3.15	3.276	V
		With resistors at LBI	1.208	1.232	1.256	
RSO Threshold (Falling)	Voltage on REG7, hysteresis is 5% (typ)	2.25	2.41	2.56	V	
RSO Deassert Delay		61	65.5	70	ms	
LBI Input Bias Current		-50	-5		nA	
DBI Input Bias Current			15	50	nA	
Thermal-Shutdown Temperature	T _J rising		+160		°C	
Thermal-Shutdown Hysteresis			15		°C	
LOGIC INPUTS AND OUTPUTS						
LBO, DBO, POK, RSO Output Low Level	2.6V ≤ V7 ≤ 5.5V, sinking 1mA			0.4	V	
LBO, DBO, POK, RSO Output Low Level	V7 = 1V, sinking 100μA			0.4	V	
LBO, DBO, POK, RSO Output-High Leakage Current	Pin = 5.5V			0.2	μA	
ON, SCL, SDA, SLP, PWM3, MR, SRAD Input High Level	2.6V ≤ V _{IN} ≤ 5.5V	1.6			V	
ON, SCL, SDA, SLP, PWM3, MR, SRAD Input Low Level	2.6V ≤ V _{IN} ≤ 5.5V			0.4	V	
ON, SCL, SDA, SLP, PWM3, MR, SRAD Input Leakage Current	Pin = GND, 5.5V	-1		+1	μA	
SERIAL INTERFACE						
Clock Frequency				400	kHz	
Bus Free Time Between START and STOP		1.3			μs	
Hold Time Repeated START Condition		0.6			μs	
CLK Low Period		1.3			μs	
CLK High Period		0.6			μs	
Setup Time Repeated START Condition		0.6			μs	
DATA Hold Time		0			μs	
DATA Setup Time		100			ns	
Maximum Pulse Width of Spikes that Must be Suppressed by the Input Filter of Both DATA and CLK Signals			50		ns	
Setup Time for STOP Condition		0.6			μs	

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

ELECTRICAL CHARACTERISTICS

($V_{IN} = 3.6V$, $V_{BKBT} = 3.0V$, $V_{LBI} = 1.1V$, $V_{DBI} = 1.35V$, circuit of Figure 5, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 5)

PARAMETER	CONDITIONS	MIN	MAX	UNITS
PV1, PV2, PV3, SLPIN, IN Supply Voltage Range	PV1, PV2, PV3, IN, and SLPIN must connect together externally	2.6	5.5	V
IN45, IN6 Supply Voltage Range		2.4	5.5	V
IN Undervoltage-Lockout (UVLO) Threshold	V_{IN} rising	2.25	2.55	V
	V_{IN} falling	2.200	2.525	
SYNCHRONOUS-BUCK PWM REG1				
REG1 Voltage Accuracy	FB1 = GND, $3.6V \leq V_{PV1} \leq 5.5V$, load = 0 to 1300mA	3.25	3.35	V
FB1 Voltage Accuracy	FB1 used with external resistors, $3.6V \leq V_{PV1} \leq 5.5V$, load = 0 to 1300mA	1.231	1.269	V
FB1 Input Current	FB1 used with external resistors		100	nA
Dropout Voltage	Load = 800mA (Note 1)		280	mV
	Load = 1300mA (Note 1)		450	
p-Channel On-Resistance	$I_{LX1} = -180mA$		0.3	Ω
	$I_{LX1} = -180mA$, $V_{PV1} = 2.6V$		0.35	
n-Channel On-Resistance	$I_{LX1} = 180mA$		0.225	Ω
	$I_{LX1} = 180mA$, $V_{PV1} = 2.6V$		0.25	
p-Channel Current-Limit Threshold		-1.55	-2.10	A
OUT1 Maximum Output Current	$2.6V \leq V_{PV1} \leq 5.5V$ (Note 3)	1.30		A
LX1 Leakage Current	$V_{PV1} = 5.5V$, LX1 = GND or PV1, $V_{ON1} = 0V$	-10	+10	μA
SYNCHRONOUS-BUCK PWM REG2				
REG2 Voltage Accuracy	FB2 = GND, $3.6V \leq V_{PV2} \leq 5.5V$, load = 0 to 900mA	2.463	2.537	V
	FB2 = IN, $3.6V \leq V_{PV2} \leq 5.5V$, load = 0 to 900mA	3.25	3.35	
FB2 Voltage Accuracy	FB2 used with external resistors, $3.6V \leq V_{PV2} \leq 5.5V$, load = 0 to 900mA	1.231	1.269	V
FB2 Input Current	FB2 used with external resistors, $V_{FB2} = 1.25V$		100	nA
Dropout Voltage	Load = 900mA (Note 1)		380	mV
p-Channel On-Resistance	$I_{LX2} = -180mA$		0.375	Ω
	$I_{LX2} = -180mA$, $V_{PV2} = 2.6V$		0.425	
n-Channel On-Resistance	$I_{LX2} = -180mA$		0.25	Ω
	$I_{LX2} = -180mA$, $V_{PV2} = 2.6V$		0.275	
p-Channel Current-Limit Threshold		-1.1	-1.50	A
OUT2 Maximum Output Current	$2.6V \leq V_{PV2} \leq 5.5V$ (Note 3)	0.9		A
LX2 Leakage Current	$V_{PV2} = 5.5V$, LX2 = GND or PV2, $V_{ON2} = 0V$	-10	+10	μA

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = 3.6V, V_{BKBT} = 3.0V, V_{LBI} = 1.1V, V_{DBI} = 1.35V, circuit of Figure 5, T_A = -40°C to +85°C, unless otherwise noted.) (Note 5)

PARAMETER	CONDITIONS	MIN	MAX	UNITS	
SYNCHRONOUS-BUCK PWM REG3					
REG3 Output Voltage Accuracy	REG3 from 0.7V to 1.475V, 2.6V ≤ V _{PV3} ≤ 5.5V	Load = 0 to 500mA		-1.5 +1.5 %	
p-Channel On-Resistance	I _{LX3} = -180mA			0.375	
	I _{LX2} = -180mA, V _{PV3} = 2.6V			0.425	
n-Channel On-Resistance	I _{LX3} = 180mA			0.25	
	I _{LX3} = 180mA, V _{PV3} = 2.6V			0.275	
p-Channel Current-Limit Threshold		-0.60	-0.85	A	
OUT3 Maximum Output Current	2.6V ≤ V _{PV3} ≤ 5.5V (Note 3)	0.5		A	
LX3 Leakage Current	V _{PV3} = 5.5V, LX3 = GND or PV2, V _{ON3} = 0V	-10	+10	μA	
LDOs V4, V5, V6, V1 SLEEP, V2 SLEEP, AND V7 OUTPUT					
V4, V5, V6, V1 SLEEP, V2 SLEEP Output Current		35		mA	
V7 Output Current		30		mA	
REG4 Voltage Accuracy	Load = 0.1mA to 35mA	1.254	1.346	V	
REG5 Voltage Accuracy	Load = 0.1mA to 35mA	1.061	1.139	V	
IN45, IN6 Input Voltage Range		2.4	5.5	V	
REG6 Output Voltage (POR Default to 0V, Set by Serial Input)	1.8V setting, load = 0.1mA to 35mA	1.737	1.863	V	
	2.5V setting, load = 0.1mA to 35mA	2.412	2.588		
	3.0V setting, load = 0.1mA to 35mA	2.895	3.105		
V1 and V2 SLEEP Output Voltage Accuracy	Set to same output voltage as REG1 and REG2	-3.5	+3.5	%	
V1 and V2 SLEEP Dropout Voltage	Load = 20mA		150	mV	
V6 Dropout Voltage	3V mode, load = 30mA; 2.5V mode, load = 30mA		200	mV	
V7 Switch Voltage Drop	Load = 20mA, V _{BKBT} = V _{V1} = 3.0V		200	mV	
V4, V5, V6 Output Current Limit		40		mA	
BKBT Leakage			1	μA	
OSCILLATOR					
PWM Switching Frequency		0.93	1.07	MHz	
SUPERVISORY/MANAGEMENT FUNCTIONS					
POK Trip Threshold (Note 4)	Rising	92	97	%	
	Falling	88.5	92.5		
LBI Threshold (Falling)	Hysteresis is 5% (typ)	LBI = IN (for preset)	3.51	3.69	V
		With resistors at LBI	0.98	1.02	

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 3.6V$, $V_{BKBT} = 3.0V$, $V_{LBI} = 1.1V$, $V_{DBI} = 1.35V$, circuit of Figure 5, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 5)

PARAMETER	CONDITIONS	MIN	MAX	UNITS	
DBI Threshold (Falling)	Hysteresis is 5% (typ)	DBI = IN (for preset)	2.993	3.307	V
		With resistors at LBI	1.208	1.256	
\overline{RSO} Threshold (Falling)	Voltage on REG7, hysteresis is 5% (typ)	2.25	2.60	V	
\overline{RSO} Deassert Delay		62	69	ms	
LBI Input Bias Current		-50		nA	
DBI Input Bias Current			75	nA	
LOGIC INPUTS AND OUTPUTS					
\overline{LBO} , \overline{DBO} , POK, \overline{RSO} , SDA Output Low Level	$2.6V \leq V7 \leq 5.5V$, sinking 1mA		0.4	V	
\overline{LBO} , \overline{DBO} , POK, \overline{RSO} , SDA Output Low Level	$V7 = 1V$, sinking 100 μ A		0.4	V	
\overline{LBO} , \overline{DBO} , POK, \overline{RSO} Output-High Leakage Current	$P_{in} = 5.5V$		0.2	μ A	
ON_{-} , SCL, SDA, \overline{SLP} , PWM3, \overline{MR} , SRAD Input High Level	$2.6V \leq V_{IN} \leq 5.5V$	1.6		V	
ON_{-} , SCL, SDA, \overline{SLP} , PWM3, \overline{MR} , SRAD Input Low Level	$2.6V \leq V_{IN} \leq 5.5V$		0.4	V	
ON_{-} , SCL, SDA, \overline{SLP} , PWM3, \overline{MR} , SRAD Input Leakage Current	$P_{in} = GND$, 5.5V	-1	+1	μ A	
SERIAL INTERFACE					
Clock Frequency			400	kHz	
Bus Free Time Between START and STOP		1.3		μ s	
Hold Time Repeated START Condition		0.6		μ s	
CLK Low Period		1.3		μ s	
CLK High Period		0.6		μ s	
Setup Time Repeated START Condition		0.6		μ s	
DATA Hold Time		0		μ s	
DATA Setup Time		100		ns	
Setup Time for STOP Condition		0.6		μ s	

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

ELECTRICAL CHARACTERISTICS (continued)

Note 1: Dropout voltage is guaranteed by the p-channel switch resistance and assumes a maximum inductor resistance of 45mΩ.

Note 2: The PWM-skip-mode transition has approximately 10mA of hysteresis.

Note 3: The maximum output current is guaranteed by the following equation:

$$I_{OUTmax} = \frac{I_{LIM} - \frac{V_{OUT}(1-D)}{2 \times f \times L}}{1 + (R_N + R_L) \frac{(1-D)}{2 \times f \times L}}$$

where:

$$D = \frac{V_{OUT} + I_{OUT(MAX)}(R_N + R_L)}{V_{IN} + I_{OUT(MAX)}(R_N - R_P)}$$

and R_N = n-channel synchronous rectifier $R_{DS(ON)}$

R_P = p-channel power switch $R_{DS(ON)}$

R_L = external inductor ESR

$I_{OUT(MAX)}$ = maximum required load current

f = operating frequency minimum

L = external inductor value

I_{LIM} can be substituted for $I_{OUT(MAX)}$ (desired) when solving for D . This assumes that the inductor ripple current is small relative to the absolute value.

Note 4: POK only indicates the status of supplies that are enabled (except V7). When a supply is turned off, POK does not trigger low. When a supply is turned on, POK immediately goes low until that supply reaches regulation. POK is forced low when all supplies (except V7) are disabled.

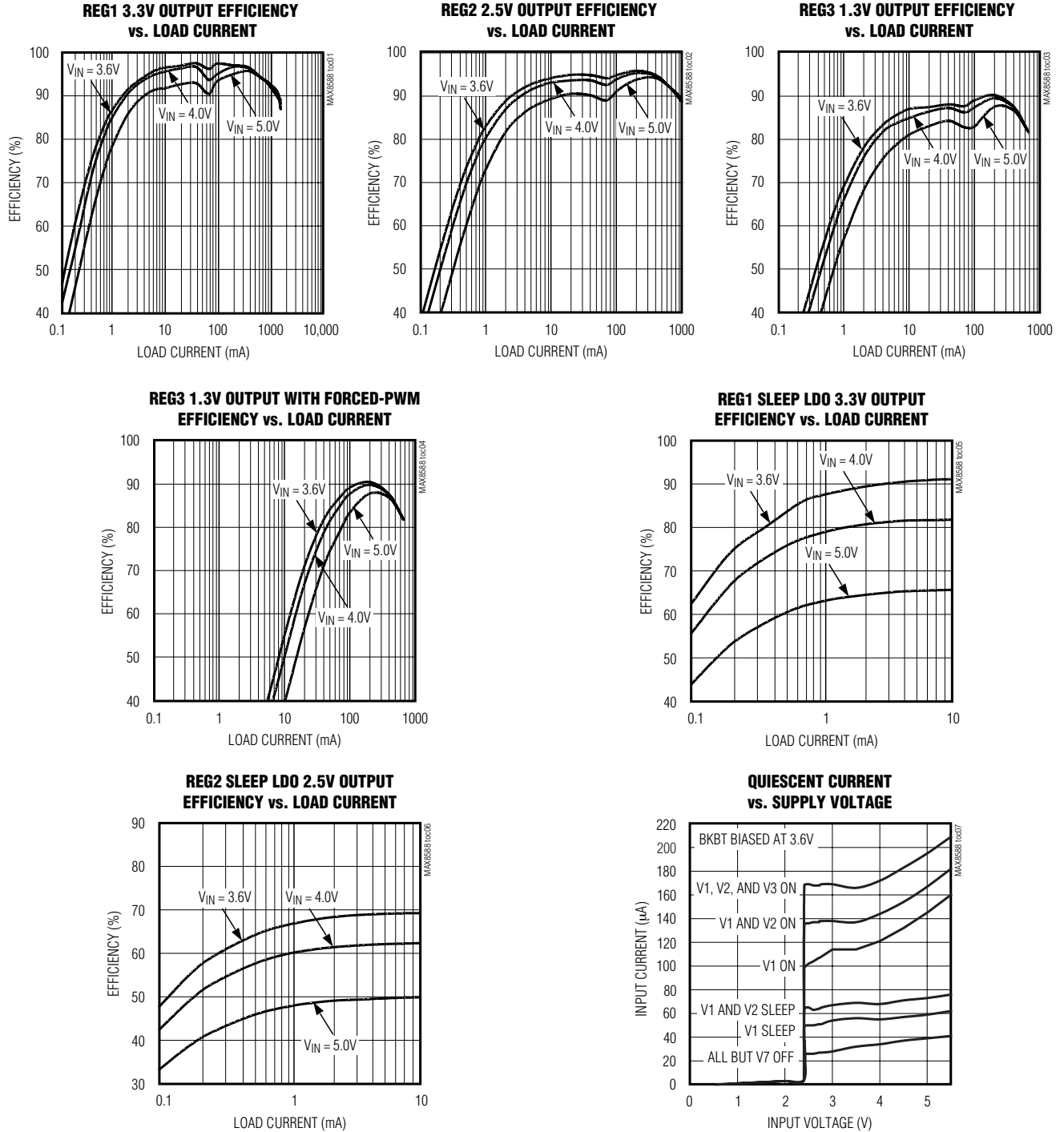
Note 5: Specifications to -40°C are guaranteed by design, not production tested.

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

標準動作特性

(Circuit of Figure 6, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)

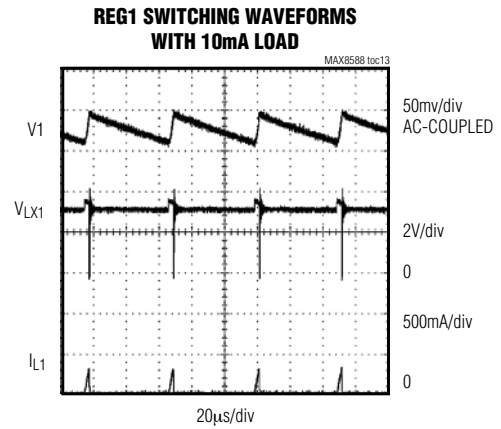
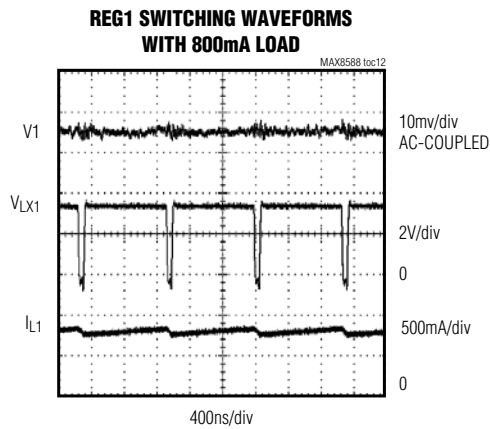
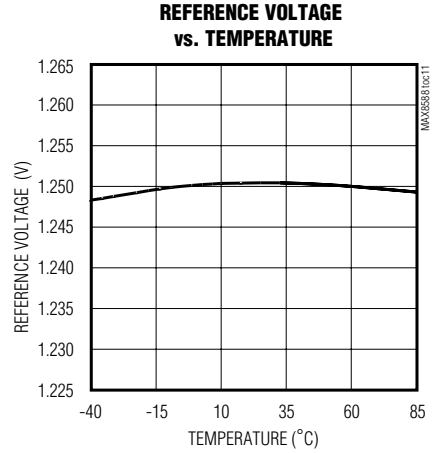
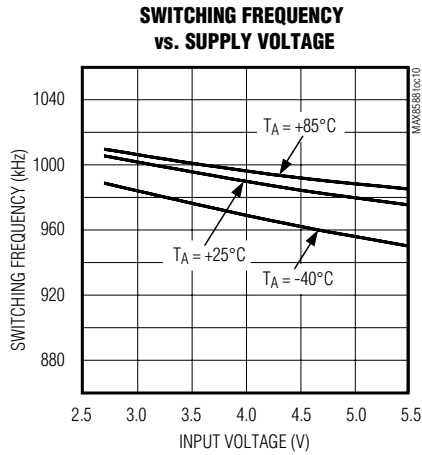
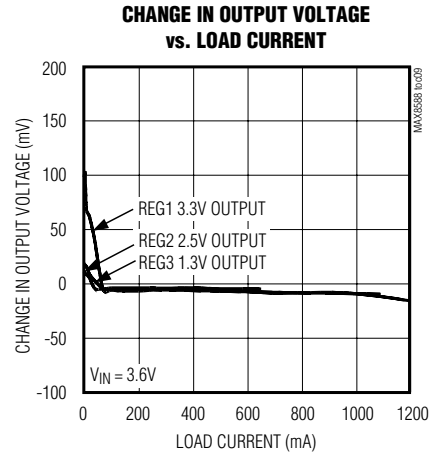
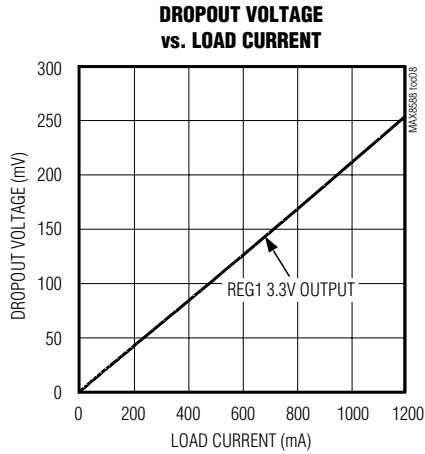


PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

標準動作特性(続き)

(Circuit of Figure 6, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)



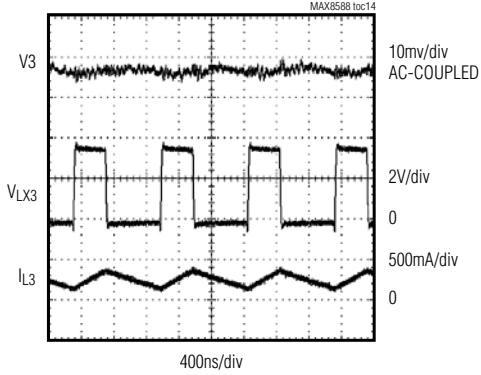
PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

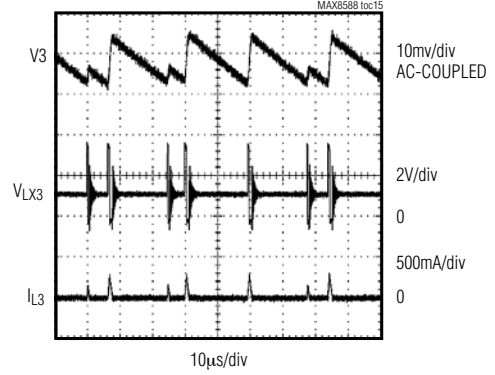
標準動作特性(続き)

(Circuit of Figure 6, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)

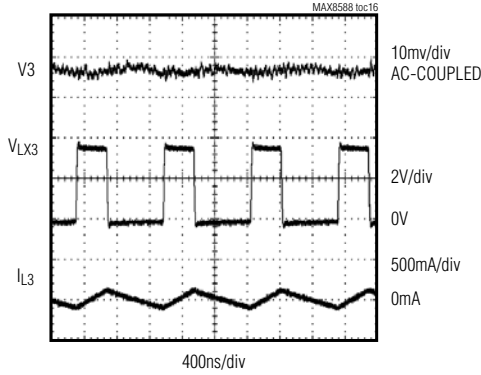
REG3 SWITCHING WAVEFORMS WITH 250mA LOAD



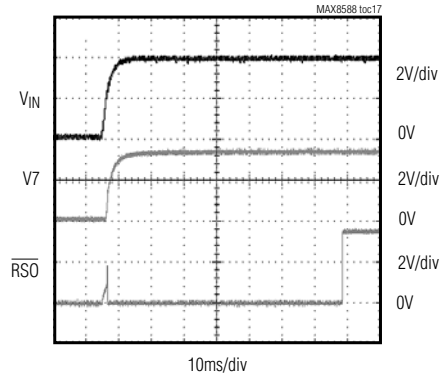
REG3 PULSE-SKIP SWITCHING WAVEFORMS WITH 10mA LOAD



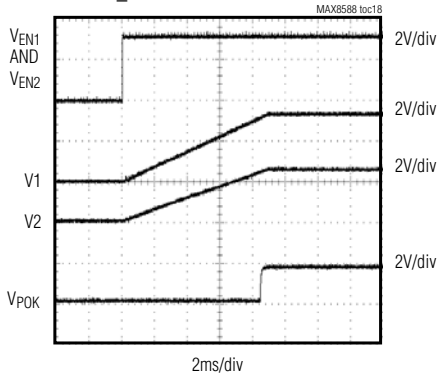
REG3 FORCED-PWM SWITCHING WAVEFORMS WITH 10mA LOAD



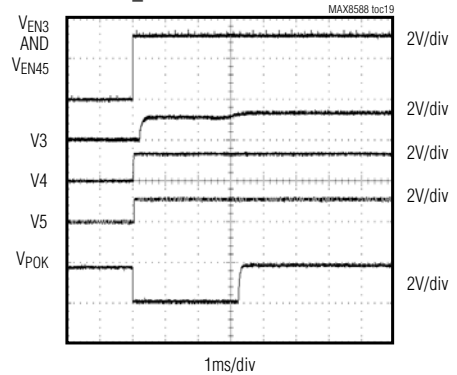
V7 AND $\overline{RS0}$ STARTUP WAVEFORMS



SYS_EN STARTUP WAVEFORMS



PWR_EN STARTUP WAVEFORMS

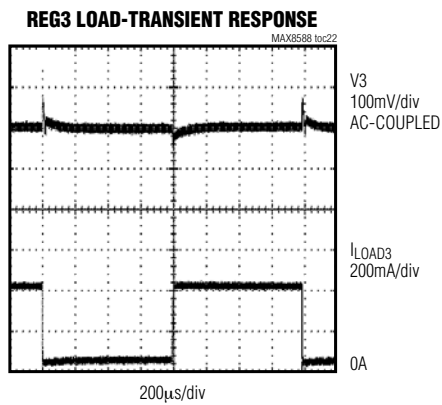
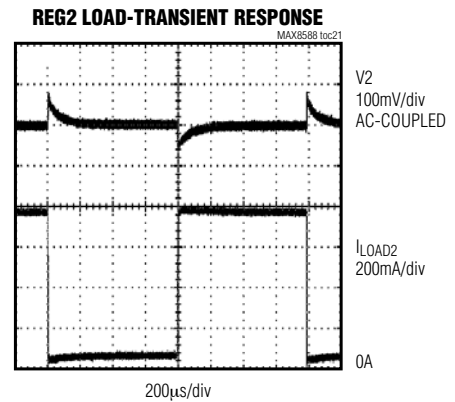
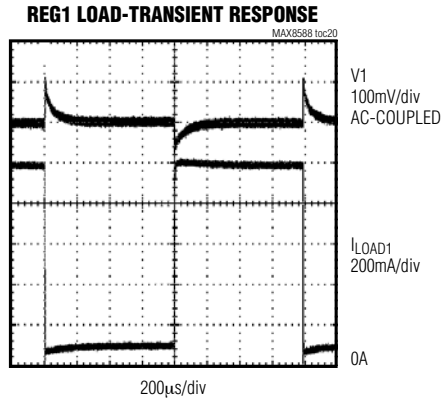


PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

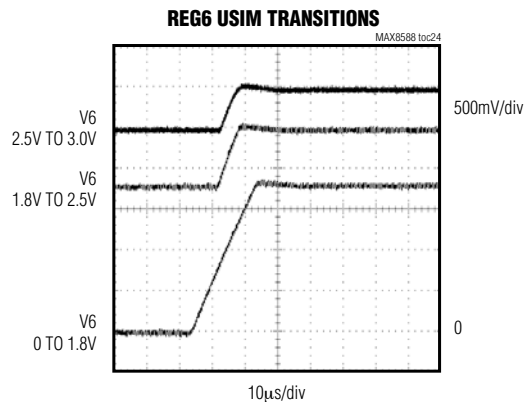
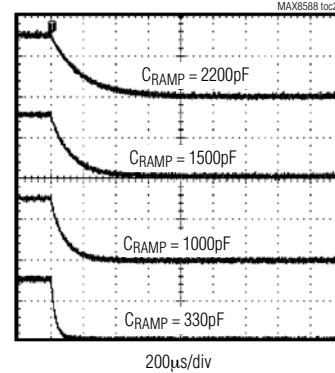
MAX8588

標準動作特性(続き)

(Circuit of Figure 6, $V_{IN} = 3.6V$, $T_A = +25^\circ C$, unless otherwise noted.)



**REG3 OUTPUT VOLTAGE CHANGING FROM
1.3V TO 1.0V WITH DIFFERENT VALUES OF C_{RAMP}**



PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

端子説明

端子	名称	機能
1	LBI	Dual-Mode™、ロー(low)バッテリー入力。ローバッテリースレッシュホールドを3.6Vに設定するためにはINIに接続してください(抵抗器不要)。LBIスレッシュホールドを調整する場合はLBIを抵抗分圧器に接続してください。INが設定したスレッシュホールドを下回ると、LBO出力がローに切り替わります。INがデッド(dead)バッテリー(DBI)スレッシュホールドを下回り、かつすべてのREGがディセーブルされていると、LBOが非アクティブとなり、ローに強制されます
2	CC1	REG1の補償ノード。レギュレーションループを補償するためには、CC1とGND間に抵抗器とコンデンサを直列に接続してください。「補償と安定性」の項を参照してください。
3	FB1	REG1のフィードバック入力。V1を3.3Vに設定するためには、FB1をGNDに接続してください。他の出力電圧とするためには、FB1を外付けのフィードバック抵抗器(複数)に接続してください。
4	BKBT	バックアップバッテリーの入力接続。この入力には外部の昇圧コンバータ出力も印加することができます。
5	V7	これはVCC_BATTとしても知られています。メインまたはバックアップ電源が存在する場合、V7は常にアクティブです。これは最初に起動されるレギュレータです。V7は次の2つの状態を備えています： 1) ON1がハイでV1がレギュレートされていれば、V7の電圧はV1に追従します。 2) ON1がローでV1がレギュレートされていなければ、V7はV _{BKBT} に追従します。
6	V1	REG1の電圧検出入力。REG1の出力に直接接続してください。出力電圧はFB1によって設定される3.3Vか、または抵抗器によって調整可能です
7	SLPIN	V1とV2のスリープレギュレータへの入力。V1とV2のスタンバイレギュレータへの入力。SLPINをINへ接続してください
8	V2	REG2の電圧検出入力。REG2の出力電圧に直接接続してください。出力電圧はFB2によって、3.3V/2.5Vまたは抵抗器によって調整可能です。
9	FB2	REG2のフィードバック入力。すべてのデバイスにおいてV2を2.5Vに設定するためには、GNDに接続してください。FB2をINに接続すると、V2が3.3Vに設定されます。FB2に外付けの抵抗器を接続して他の電圧に設定することができます。
10	CC2	REG2の補償ノード。レギュレーションループを補償するためには、CC2とGND間に抵抗器とコンデンサを直列に接続してください。「補償と安定性」の項を参照してください。
11	POK	パワーOK出力。V1-V6出力のいずれかがレギュレーションスレッシュホールドを下回る場合にローとなるオープンドレイン出力です。アクティブとなったすべての出力がレギュレーション状態であれば、POKはハイインピーダンスとなります。POKはV7が1Vまで低下しても正しい値を維持します。POKは、REG3がシリアル設定によって異なる電圧間を遷移している間はレギュレーション外れのフラグを立てることはありません。POKは、また、オフとされているREGチャンネルに対してもフラグを立てません。しかし、すべてのREGチャンネルがオフ(V1-V6)の場合は、ローに強制されます。IN < UVLOの場合は、POKはローです。POKは通常nVCC_FAULTに接続されます。
12	SCL	シリアルクロック入力
13	SDA	シリアルデータ入力。シリアルデータによって、REG3(コア)およびREG6(VCC_USIM)の電圧が設定されます。REG3とREG6はオフの場合でも、設定することが可能です。しかし、その場合、シリアルインタフェースをアクティブにするには、少なくともON_端子の1つがロジックハイである必要があります。通電後、デフォルトでREG3は1.3Vに、REG6は0Vになります。
14	PWM3	すべての負荷状態において、V3をPWMに強制します。PWM3をGNDに接続すると通常動作(軽負荷でスキップモード)となります。ハイに駆動または接続すると、すべての負荷に対してV3のみの強制PWM動作となります。
15	LBO	ローバッテリー出力。INがLBIによって設定されるスレッシュホールドを下回ると、ローとなるオープンドレイン出力です。

Dual ModeはMaxim Integrated Products, Inc.の商標です。

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

端子説明(続き)

端子	名称	機能
16	PV2	REG2の電源入力。4.7μF以上の低ESRコンデンサを使ってPG2にバイパスしてください。PV1、PV2、PV3、およびINは外部で相互接続しなければなりません。
17	LX2	REG2のスイッチングノード。REG2用のインダクタに接続してください。
18	PG2	REG2の電源グランド。直接、電源グランドプレーンに接続してください。PG1、PG2、PG3、およびGNDはICに可能な限り近い点で相互接続してください。
19	IN	メインバッテリー入力。この入力によってICに給電します。
20	RAMP	V3の立ち上がり速度制御。RAMPとGND間に接続したコンデンサがV3の変化速度を設定します。RAMPの出力インピーダンスは100kΩです。FB3は $1.28 \times V_{RAMP}$ にレギュレートします。
21	GND	アナロググランド
22	REF	リファレンス出力。1.25Vリファレンスの出力です。0.1μF以上のコンデンサでGNDにバイパスしてください。
23	BYP	ローノイズLDOバイパス。V4 LDO用のローノイズバイパス端子です。0.01μFのコンデンサでBYPをGNDにバイパスしてください。
24	\overline{DBO}	デッド(dead)またはミッシング(missing)バッテリー出力。 \overline{DBO} は、INがDBIによって設定されたスレッショルドを下回ると、ローとなるオープンドレイン出力です。DBOはいずれのレギュレータ出力も非アクティブにしません。DBOは通常Intel製CPUのnBATT_FAULTに接続されます。
25	ON2	REG2のオン/オフ入力。オンとするためにはハイに駆動してください。イネーブルされると、REG2出力はソフトスタートします。ON2はヒステリシスを持っており、それで、他の入力とのマニュアルシーケンスを実現するためにRCを使用することができます。ON1、ON2、およびON6は通常SYS_ENに接続されます。
26	ON4	REG4のオン/オフ入力。オンとするためにはハイに駆動してください。イネーブルされると、REG4出力はアクティブとなります。ON4はヒステリシスを持っており、それで、他の入力とのマニュアルシーケンスを実現するためにRCを使用することができます。ON4は通常PWR_ENに接続されます。
27	V4	VCC_PLLとしても知られています。PLL用の1.3V、35mAのリニアレギュレータ出力です。レギュレータ入力はIN45です。
28	IN45	V4とV5のLDOの電源入力です。通常はV2に接続されますが、INまたは2.5V~V _{IN} の他の電圧に接続することも可能です。
29	V5	VCC_SRAMとしても知られています。これはCPU SRAM用の1.1V、35mAのリニアレギュレータ出力です。このレギュレータの入力はIN45です。
30	ON5	REG5用のオン/オフ入力です。オンとするためにはハイに駆動してください。イネーブルになると、MAX8588はREG5出力をソフトスタートさせます。ON5はヒステリシスを持っており、他の入力とのマニュアルシーケンスを実現するためにRCを使用することができます。ON5は通常PWR_ENに接続されます。
31	PG3	REG3の電源グランド。パワーグランドプレーンに直接、接続してください。PG1、PG2、PG3、およびGNDはICに可能な限り近い点で相互接続してください。
32	LX3	REG3のスイッチングノード。REG3用のインダクタに接続してください。
33	PV3	REG3の電源入力。4.7μF以上の低ESRのセラミックコンデンサを使ってPG3にバイパスしてください。PV1、PV2、PV3、およびINは外部で相互接続しなければなりません。
34	ON3	REG3(コア)用のオン/オフ入力。オンとするためにはハイに駆動してください。イネーブルされると、REG3出力は立ち上ります。ON3はヒステリシスを持っており、他の入力とのマニュアルシーケンスを実現するためにRCを使用することができます。ON3は通常CPU SYS_ENに接続されます。

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

端子説明(続き)

端子	名称	機能
35	SRAD	シリアルアドレスビット。SRADによって、他のシリアルデバイスと衝突があった場合にシリアルアドレスを変更することが可能です。SRAD = GNDならばA1 = 0であり、SRAD = INならば、A1 = 1です。
36	\overline{RSO}	オープンドレインのリセット出力。V7が2.55V(標準的な立上り速度において)を超えると、テアサートされます。リリースされる前に65msの遅延があります。RSOは通常CPUのnRESETに接続されます。
37	\overline{MR}	マニュアルリセット入力。 \overline{MR} をロー入力とすると、 \overline{RSO} 出力がローとなり、かつ、V3出力をそのデフォルト値の1.3Vに設定します。MRは他の機能には影響しません。
38	CC3	REG3の補償ノード。抵抗器とコンデンサを直列にしてCC3とGND間に接続して、レギュレーションループを補償してください。「補償と安定性」の項を参照してください。
39	FB3	REG3のフィードバック検出入力。REG3の出力に直接、接続してください。出力電圧はシリアルインタフェースによって設定されます。
40	ON6	REG6用のオン/オフ入力。ハイにするとオンとなります。イネーブルされたとき、REG6出力はアクティブとなります。ON6はヒステリシスを持っており、他の入力とのマニュアルシーケンスを実現するためにRCを使用することができます。ON1、ON2、およびON6は通常SYS_ENに接続されます。
41	V6	VCC_USIMとしても知られています。リニアレギュレータの出力です。この電圧はI ² Cインタフェースを通して、0V、1.8V、2.5V、または3.0Vに設定されます。デフォルト電圧は0Vです。REG6は、ON6がハイのとき、アクティブとなります。
42	IN6	V6 LDOの電源入力。標準的にはV1に接続されますが、INに接続することも可能です。
43	PG1	REG1のパワーグランド。パワーグランドプレーンへ直接、接続してください。PG1、PG2、PG3、およびGNDはICに可能な限り近い1点で相互接続してください。
44	LX1	REG1のスイッチングノード。REG1用のインダクタへ接続してください。
45	PV1	REG1の電源入力。4.7μF以上の低ESRのセラミックコンデンサを使ってPG2にバイパスしてください。PV1、PV2、PV3、およびINは外部で相互接続しなければなりません。
46	ON1	REG1用のオン/オフ入力。REG1をオンとするためにはハイに駆動してください。イネーブルされると、REG1出力はソフトスタートします。ON1はヒステリシスを持っており、他の入力とのマニュアルシーケンスを実現するためにRCを使用することができます。ON1とON2、およびON6は通常SYS_ENに接続されます。
47	\overline{SLP}	スリープ入力。 \overline{SLP} によって、ON1またはON2のどちらのレギュレータをオンにするかを選択します。 \overline{SLP} = ハイで通常動作です(ON1とON2はV1とV2のDC-DCコンバータに対するイネーブルとなります)。 \overline{SLP} = ローでスリープ動作です(ON1とON2はV1とV2のLDOに対するイネーブルとなります)。
48	DBI	デュアルモードのデッド(dead)バッテリー入力です。DBIをINに接続すると、デッドバッテリーの降下スレッショルドを3.15Vに設定することになります(抵抗器不要)。DBIスレッショルドを調整するためには、DBIを抵抗分圧器に接続してください。
EP	EP	エクスポーズドメタルパッド。エクスポーズドパッドをグランドに接続してください。エクスポーズドパッドをグランドに接続しても、適切なグランド端子に適切なグランド接続を行う必要性がなくなる訳ではありません。

Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI²C部品を購入することにより、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたこととなります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

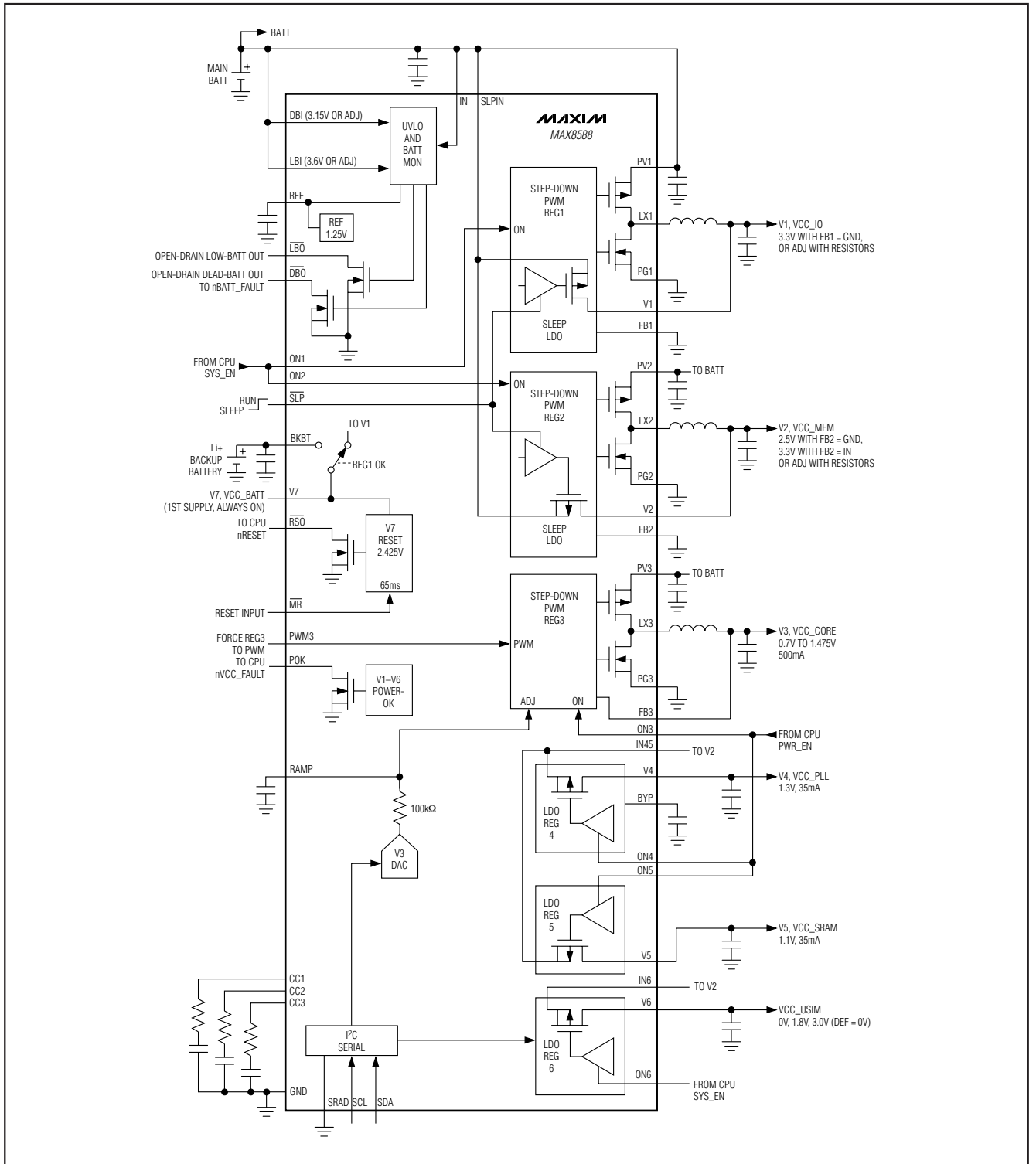


図1. MAX8588のファンクションダイアグラム

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

詳細

パワーマネージメントICのMAX8588はIntelのX-Scaleマイクロプロセッサ、第3世代のスマートセラフオン、PDA、インターネット装置、およびその他の携帯用機器において低電力で大量の計算とマルチメディア機能を要するデバイス用として最適化されています。MAX8588はIntelのプロセッサ電源仕様に適合しています。

このICは、監視および管理機能と共に、7つの高効率、低動作電流の電源を集積しています。レギュレータ出力は、3個のステップダウンDC-DCコンバータ出力(V1、V2、およびV3)、3個のリニアレギュレータ(V4、V5、およびV6)、および7番目の常時オン出力のV7(IntelのVCC_BATT)で構成されています。V1のステップダウンDC-DCコンバータはI/Oおよびペリフェラル用に3.3V、または調整可能な出力電圧を供給します。V2のステップダウンDC-DCコンバータは3.3Vまたは2.5Vにプリセットされています。V2は、また、すべてのデバイスにおいて、外部抵抗を使って調整することができます。

V3のステップダウンDC-DCコンバータはマイクロプロセッサのコアに給電するために、シリアルに設定される出力を供給します。3個のリニアレギュレータ(V4、V5、およびV6)はPLL、SRAM、およびUSIMに電源を供給します。

スリープ状態の自己消費電流を最小にするためには、V1とV2は、出力電流が非常に小さくなったとき、バッテリーの消費を最小化するためにアクティブすることができるバイパス型「スリープ」LDOを備えています。その他の機能として、すべてのDC-DCコンバータに対する個別のオン/オフ制御、ローバッテリーおよびデッドバッテリー検出、パワーOK出力、バックアップバッテリー入力、および2線式シリアルインタフェースがあります。

すべてのDC-DC出力は、高速の1MHz PWMスイッチングおよび小型の外付け部品を使用します。それらは固定周波数のPWM制御で動作し、軽負荷では動作電流を減少してバッテリー寿命を延長するために、自動的にPWMからスキップモードに切り替えます。V3のコア出力はすべて負荷において強制PWM動作とすることができます。2.6V~5.5Vの入力電圧範囲は1セルのLi+、3セルのニッケル水素(NiMH)、またはレギュレートされた5Vから入力することができます。

以下に示す電源に関する説明には、Intelの用語が種々の電圧に対して()内に示されます。例えば、V1出力はIntelのドキュメント内ではVCC_IOと呼ばれます。図1を参照してください。

V1およびV2(VCC_IO、VCC_MEM) ステップダウンDC-DCコンバータ

V1は1MHzの電流モードステップダウンコンバータです。V1の出力電圧は3.3Vにプリセットするか、または抵抗器

による分圧器を用いて調整することができます。V1は最大1300mAまで負荷に給電します。

V2も同様に1MHzの電流モードのステップダウンコンバータです。V2のステップダウンDC-DCコンバータは3.3Vまたは2.5Vにプリセットすることができます。V2は、また、すべてのデバイスにおいて外付け抵抗器を用いて調整することができます。V2は最大900mAまで負荷に給電します。

中程度から重負荷において、コンバータはローノイズの固定周波数と変調されたパルス幅のPWMモードで動作します。固定周波数動作によって生成されるスイッチングの高調波は一定であり、容易にフィルタされます。効率は軽負荷(<30mA typ)の場合には上昇します。これは、このような状態では、コンバータが負荷に供給する必要がある場合だけの間コンバータがスイッチングする、Idle Mode™を取るからです。

同期整流

内蔵のnチャンネル同期整流器は外付けのショットキダイオードの必要性をなくし、効率を改善します。同期整流器は各サイクルの後半(オフ時間)にオンとなります。この時間において、インダクタの両端間の電圧が反転して、インダクタ電流が減少します。通常動作(強制PWMではない)においては、同期整流器はそのサイクルの終わりに(その時点で他のオン時間が開始)、またはインダクタ電流がゼロに近づくとき、オフとなります。

100%デューティサイクル動作

インダクタ電流がオン時間の間に負荷に供給するだけ十分に上昇しなければ、スイッチはオンのままで留まり、100%のデューティサイクルとなります。このことによって、入力電圧がレギュレーション電圧に近づく間、出力電圧はレギュレーションを維持します。ドロップアウト電圧はV1に関しては800mAの負荷でおよそ180mVであり、V2に関しては800mAの負荷でおよそ220mVです。ドロップアウト期間では、ハイサイドのpチャンネルMOSFETはオンとなり、コントローラは低電流消費モードに入ります。レギュレータチャネルがもはやドロップアウトでなくなるまで、デバイスはこのモードの状態を維持します。

スリープLDO

高効率のステップダウンコンバータに加えて、スリープモードまたは負荷電流が非常に小さいときはいつでも使用することができる低自己消費電流で低ドロップアウト(LDO)のリニアレギュレータによってV1とV2を供給することができます。スリープLDOは、また、最大35mAを供給することができます。スリープLDOをイネーブルするためには、SLPをローに駆動してください。SLPがハイの場合、スイッチングステップダウンコンバータはアクティブです。スリープLDOの出力電圧は

Idle ModelはMaxim Integrated Products, Inc.の商標です。

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

スイッチングステップダウンコンバータと同じ値に設定されます。これは「出力電圧の設定」の項に説明されています。SLPINがV1とV2のスリープLDOへの入力となり、INに接続しなければなりません。

V3(VCC_CORE)ステップダウンDC-DCコンバータ

V3は1MHzの電流モードステップダウンコンバータです。V3は最大500mAを負荷に供給します。

V3出力はI²Cシリアルインタフェースによって、0.7V~1.475Vに25mVきざみで設定されます。電源投入、およびリセット後のデフォルトの出力電圧は1.3Vです。設定の詳細に関しては「シリアルインタフェース」の項を参照してください。V3の出力電圧を増加させる方法に関しては「アプリケーション情報」を参照してください。

REG3に関する強制PWM

中程度から重負荷の場合、V3は一定の周波数および変調パルス幅としてローノイズPWMモードで動作します。固定周波数動作によって生成されるスイッチング高調波は、一定であり、容易にフィルタで除去されます。

軽負荷(<30mA)およびPWM3がローとなっていると、V3は効率が低いアイドルモードで動作します。このモードではコンバータは負荷に供給する必要がある場合にのみ、スイッチします。PWM3をハイとすると、V3はあらゆる負荷条件においてローノイズの強制PWMモードで動作します。

リニアレギュレータ(V4、V5、およびV6)

V4(VCC_PLL)

V4は固定の1.3V出力を提供するリニアレギュレータであり、負荷に最大35mAを供給します。V4とV5のリニアレギュレータに対する電源入力はIN45であり、それは通常V2に接続されます。V4をイネーブルとするためには、ON4をハイに駆動するか、またはON4をローに駆動してシャットダウンさせるかです。V4はVCC_PLLに接続されるように設計されています。

V5(VCC_SRAM)

V5は固定の1.1V出力を供給するリニアレギュレータで

あり、負荷に最大35mAを供給します。V4とV5のリニアレギュレータに対する電源入力はIN45であり、それは通常V2に接続されます。V5をイネーブルとするためには、ON5をハイに駆動するか、またはON5をローに駆動してシャットダウンさせるかです。V5はVCC_SRAMに接続されるように設計されています。

V6(VCC_USIM)

V6は負荷に最大35mAを供給するリニアレギュレータです。V6出力電圧はI²Cシリアルインタフェースを使って0V、1.8V、2.5V、または3.0Vに設定されます。V6の電源投入時のデフォルトは0Vです。電圧を変更する際の詳細は「シリアルインタフェース」の項を参照してください。V6リニアレギュレータの電源入力はIN6です。これは通常、V1に接続されます。V6をイネーブルとするためには、ON6をハイに駆動するか、またはON6をローに駆動してシャットダウンさせるかです。V6はVCC_USIMに接続されるように設計されています。

常時オン出力のV7(VCC_BATT)

V7出力は、V1がイネーブルとされていてレギュレーションされているか、またはバックアップ電源が存在する場合は、常にアクティブです。ON1がハイでV1がレギュレーションされていれば、V7は内蔵のMOSFETスイッチによってV1から供給されます。ON1がローであるか、またはV1がレギュレーションになっていなければ、V7は2番目の内蔵MOSFETによってBKBTから供給されます。V7は最大30mAを負荷に供給することができます。V7はIntel CPUのVCC_BATTに接続されるように設計されています。

システム実装の仕方に応じて、BKBTとV7は様々な使い方をすることができます。BKBTとV7の使い方に関しては、バックアップバッテリーの構成に関する項を参照してください。

様々な状態における自己消費電流

MAX8588は、スリープおよびディープスリープなどの標準的な動作モードに対して最適な効率と最小の動作電流となるように設計されています。これらの状態は表1に概要が示されています。

表1. 様々な状態における自己動作電流

OPERATING POWER MODE	DESCRIPTION	TYPICAL NO-LOAD OPERATING CURRENT
RUN	All supplies on and running.	225μA
IDLE	All supplies on and running, peripherals on.	
SENSE	All supplies on, minimal loading, peripherals monitored.	
STANDBY	All supplies on, minimal loading, peripherals not monitored.	
SLEEP	PWR_EN controlled voltages (V3, V4, V5) are off. V1 and V2 on.	60μA if V1 and V2 SLEEP LDOs on; 130μA if V1, V2 step-down DC-DCs enabled
DEEP SLEEP	All supplies off except V7. V7 biased from backup battery.	32μA if IN > DBI threshold; 4μA if IN < DBI threshold

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

電圧モニタ、リセット、および 低電圧ロックアウト機能

低電圧ロックアウト

入力電圧が2.35V(typ)を下回ると、低電圧ロックアウト(UVLO)回路がICをディセーブルします。UVLO状態においては、入力はハイインピーダンス状態を維持し、この条件下のバッテリー負荷を減少させます。入力電圧が少なくとも、2.35Vに下がるまでは、すべてのシリアルレジスタは維持されます。

リセット出力(\overline{RSO})および \overline{MR} 入力

リセット出力(\overline{RSO})は、 \overline{MR} 入力ローまたはV7が2.425Vを下回る場合はローです。V7は、V1(イネーブルとなっている場合)またはバッテリーバックアップ入力(BKBT)から供給されます。 \overline{RSO} は通常、次に示す場合にローとなります：

- 1) バッテリーバックアップを別に持たない構成(INとBKBT間にダイオードを接続する)において、最初に電源が印加されたとき。
- 2) バッテリーバックアップを別に持たない構成(INとBKBT間にダイオードを接続する)において、電源が除去されたとき。
- 3) V1がオフかまたはレギュレーションを外れているとき、バックアップバッテリーが2.425Vを下回って降下した場合。
- 4) マニュアルリセットボタンが押された場合(\overline{MR} がローとなる)。

V_{IN} が2.4Vを上回ると、V7が2.3Vを超えて上昇した後、内蔵のタイマは \overline{RSO} の解除を65msだけ遅延させます。V7が2.3Vを超えていて V_{IN} が2.4Vを下回っているか、または V_{IN} とV7が同時に立ち上がると、 \overline{RSO} は遅延することなく即座にテアサートされます。2番目のケースの場合遅延がないのは、タイマ回路は V_{IN} が低電圧ロックアウト状態の間は動作電流を最小化するために非アクティブとなるためです。

V_{IN} とV7のいかなるシーケンスに対しても、65ms \overline{RSO} 解除遅延を必要とする場合は、図2の回路を使うことができます。 V_{IN} が給電された後、65ms経過するまでINと \overline{MR} の間に接続されたRCが、 \overline{MR} の立上りを遅延させます。65msタイマはV7と V_{IN} のどちらのシーケンスに対しても有効であり、両方が給電されてから65ms後まで解除されません。 \overline{RSO} に影響を及ぼす唯一のレギュレータ出力はV7です。 \overline{RSO} はPOKによってモニタされるV1~V6には応答しません。同様に、 \overline{RSO} は、BKBTが給電されなければ、ハイインピーダンスであり何の機能も持ちません。

\overline{MR} はハードウェアリセット用としてのマニュアルリセット入力です。 \overline{MR} をロー入力すると \overline{RSO} 出力が最小65msの間ローとなり、またV3出力をそのデフォルト状態の1.3Vにリセットし、V6出力をオフとします。 \overline{MR} はMAX8588の他の機能には影響しません。

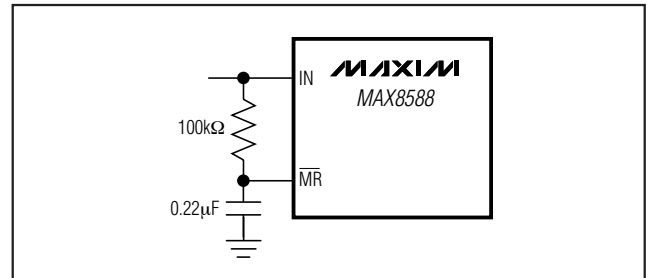


図2. INと \overline{MR} 間に接続されるRC遅延は、INとV7のいかなるシーケンスに対しても、65ms \overline{RSO} 解除遅延が有効のままとなります。

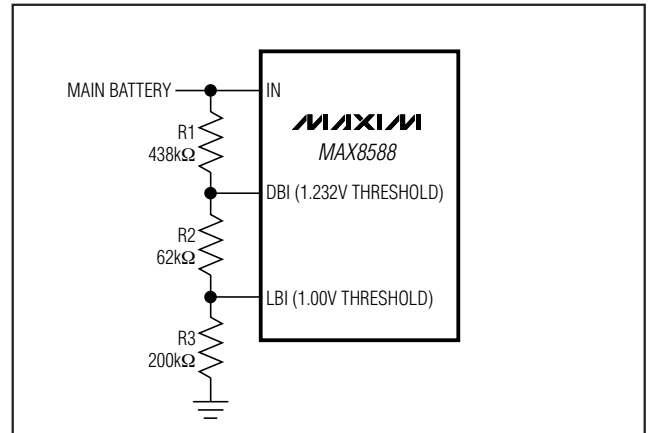


図3. 一組の抵抗チェーンを用いるローバッテリーおよびデッドバッテリースレッショルドの設定。図示された値では3.3VのDBIスレッショルドと3.5VのLBIスレッショルドが設定されます(工場出荷設定のスレッショルドに対しては抵抗器を必要としません)。

デッド(dead)バッテリーおよびローバッテリー用の コンパレータ - DBI、LBI

DBIとLBI入力は入力電源(通常はバッテリー)をモニタして、 \overline{DBO} および \overline{LBO} 出力をトリガします。デッドバッテリーコンパレータは、バッテリー(V_{IN})がデッドバッテリースレッショルドまで放電すると、 \overline{DBO} をトリガします。DBIをINに接続すると、出荷設定された3.15Vスレッショルドが選択され、またはDBIに抵抗分圧器を接続するとスレッショルドを設定することができます。ローバッテリーコンパレータは出荷設定された3.6Vのスレッショルドとなっており、それはLBIをINに接続することによって選択され、またはLBIに抵抗分圧器を接続することによって、スレッショルドを設定することができます。

3個の抵抗器の一組(図3におけるR1、R2、およびR3)を次に示す式を用いて、DBIとLBIの両方を設定することができます：

- 1) R3として250kΩ未満の値を選択する
- 2) $R1 = R3 \cdot V_{LB} (1 - (1.232 / V_{DB}))$
- 3) $R2 = R3 (1.232 \times (V_{LB} / V_{DB}) - 1)$

ここで、 V_{LB} はローバッテリーのスレッショルドであり、 V_{DB} はデッドバッテリースレッショルドです。

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

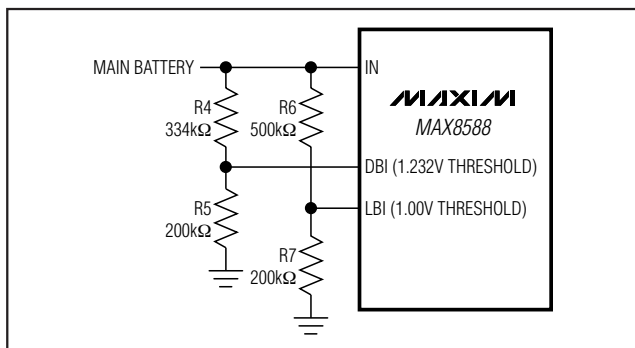


図4. 別々の抵抗分圧器を用いるローバッテリーとデッドバッテリーのスレッシュヨルド電圧の設定。図に示されている値は、DBIスレッシュヨルドは3.3V、LBIスレッシュヨルドは3.5Vです(出荷時にプリセットしたスレッシュヨルドに対して、抵抗器は不要)。

別の方法として、LBIとDBIは別個の2つの抵抗分圧器を設定することができます。分圧器の下側の抵抗器(図4でR5とR7)を250kΩ以下と選択してください。上側の分圧抵抗器を各スレッシュヨルドの関数として求める式は次のようになります：

$$R4 = R5 (V_{DB} / 1.232) - 1)$$

$$R6 = R7 (V_{LB} - 1)$$

抵抗器をV_{LB}を設定するために使う場合、LBIのスレッシュヨルドは1.00Vです。抵抗器をV_{DB}を設定するために使う場合、DBIのスレッシュヨルドは1.232Vです。また、抵抗器で設定するスレッシュヨルドは、DBIとLBIのスレッシュヨルドのみの設定に使われます。他のスレッシュヨルドは、特定の入力をINに接続することによって、出荷時設定とすることができます。

BKBTに給電されない場合、 \overline{DBO} は機能せず、ハイインピーダンスとなります。 \overline{DBO} はIntel CPUのnBATT_FAULTに接続されることが期待されています。BKBTが給電されなければ、 \overline{LBO} は機能せず、ハイインピーダンスです。

パワーOK出力(POK)

POKは、いずれかのアクティブとなったレギュレータ(V1~V6)が、そのレギュレーションを下回るときにローとなるオープンドレイン出力です。POKはV7をモニタしません。すべてのアクティブとなった出力電圧がレギュレーションの10%以内であれば、POKはハイインピーダンスです。POKは、V3がシリアルプログラミングによって設定される複数の電圧間で遷移している間、またはいずれかのレギュレータチャネルがオフとされているときは、レギュレーション外れのフラグを立てません。いずれかのレギュレータがオンとなると、POKは瞬時、ローとなりますが、そのレギュレータがレギュレーションに達するとハイインピーダンスに戻ります。すべてのレギュレータ(V1~V6)がオフ状態にあると、POKはロー状態に強制されます。入力電圧がUVLOスレッシュヨルドを下回ると、POKはローに維持されて、INが1Vまで低下しても、正しいローの状態を維持します。BKBTが給電されなければ、POKは機能せずハイインピーダンスです。

プロセッサへの接続と電源シーケンス

標準的なプロセッサ接続は電源制御端子のみを備えています。通常、それはPWR_ENおよびSYS_ENと命名されています。MAX8588は、最大限の柔軟性を持たせるために、多くのオン/オフ制御端子を備えています。標準的なアプリケーションでは、これらの端子の多くは、相互に接続されます。ON1、ON2、およびON6は標準的には、SYS_ENに接続されます。ON3、ON4、およびON5は、標準的には、PWR_ENに接続されます。V7は主またはバックアップ電源が接続されている限りはオンのままです。MAX8588ではシーケンスを内部では実行しません。しかし、すべてのON_入力はヒステリシスを持ち、シーケンスを設定するためにRC回路網に接続することができます。IntelのCPUに標準的に接続するために、外部でシーケンスを取る必要はありません。

バックアップバッテリー入力

バッテリーバックアップ入力(BKBT)はV1がディセーブルされるとき、V7にバックアップを供給します。通常、一次または再充電可能なバッテリーバックアップがこの端子に接続されます。バックアップバッテリーが使用されない場合、BKBTはダイオード、または外部レギュレータを通してINに接続されなければなりません。BKBTとV7の使用法に関する情報に対してはバックアップバッテリー構成に関する項を参照してください。

シリアルインタフェース

I²C対応の2線式シリアルインタフェースがREG3とREG6を制御します。シリアルインタフェースは、INが2.40VのUVLOスレッシュヨルドを超えていて、ON1~ON6の最低1個がアサートされていれば、動作します。いずれのレギュレータもイネーブルとなっていない場合、オフ電流消費を最小にするために、シリアルインタフェースは、シャットダウンされます。

シリアルインタフェースはシリアルデータライン(SDA)およびシリアルクロックライン(SCL)から構成されます。標準のI²C対応の書込みバイトコマンドが使用されます。図4にはI²Cプロトコルのタイミング図が示されています。MAX8588はスレープのみのデバイスであり、クロック信号の生成はマスタに依存します。マスタ(通常はマイクロプロセッサ)はバス上でデータ転送を開始し、データ転送を実行するためにSCLを生成します。マスタデバイスは、適切なアドレスとその後に8ビットのデータコード(表2)を続けてMAX8588と通信します。各送信シーケンスは、START(A)状態およびSTOP(L)状態によるフレーム構成となっています。バスを使って送信される各ワードは8ビット長であり常に確認クロックパルスが伴います。

表2は、V3とV6を設定するために使われるシリアルデータコードが示されています。電源投入後のデフォルトはV3に対しては1.3V、V6に対しては0Vです。

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8558

表2. V3とV6のシリアル設定コード

D7	D6	D5 0 = PROG V3 1 = PROG V6	D4	D3	D2	D1	D0	OUTPUT (V)	DESCRIPTION	
X	X	0	0	0	0	0	0	0.700	V3, CORE VOLTAGES	
		0	0	0	0	0	1	0.725		
		0	0	0	0	0	1	0		0.750
		0	0	0	0	0	1	1		0.775
		0	0	0	0	1	0	0		0.800
		0	0	0	0	1	0	1		0.825
		0	0	0	0	1	1	0		0.850
		0	0	0	0	1	1	1		0.875
		0	0	1	0	0	0	0		0.900
		0	0	1	0	0	0	1		0.925
		0	0	1	0	1	0	0		0.950
		0	0	1	0	1	1	1		0.975
		0	0	1	1	0	0	0		1.000
		0	0	1	1	1	0	1		1.025
		0	0	1	1	1	1	0		1.050
		0	0	1	1	1	1	1		1.075
		0	1	0	0	0	0	0		1.100
		0	1	0	0	0	0	1		1.125
		0	1	0	0	0	1	0		1.150
		0	1	0	0	0	1	1		1.175
		0	1	0	1	0	0	0		1.200
		0	1	0	1	0	1	0		1.225
		0	1	0	1	1	1	0		1.250
		0	1	0	1	1	1	1		1.275
		0	1	1	0	0	0	0		1.300
		0	1	1	0	0	0	1		1.325
		0	1	1	0	1	0	0		1.350
		0	1	1	0	1	1	1		1.375
		0	1	1	1	1	0	0		1.400
		0	1	1	1	1	0	1		1.425
		0	1	1	1	1	1	0	1.450	
		0	1	1	1	1	1	1	1.475	
1	X	X	X	X	0	0	0	V6, USIM VOLTAGES		
1	X	X	X	X	0	1	1.8			
1	X	X	X	X	1	0	2.5			
								3.0		

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

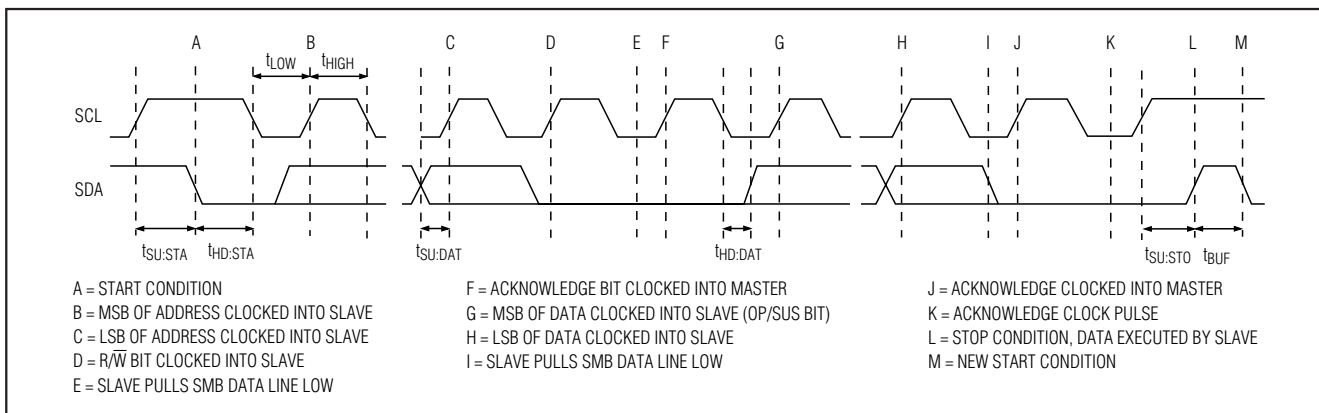


図5. I²C対応シリアルインタフェースタイミング図

ビット転送

各SCLクロックサイクルで1データビットが転送されます。SDA上のデータはSCLクロックパルスのハイ期間、安定に保たなければなりません。SCLがハイの状態でもSDAが変化するのは制御信号です(「STARTおよびSTOP状態」の項を参照)。バスがビジーでないときは、SDAおよびSCLはアイドルハイです。

STARTおよびSTOP状態

シリアルインタフェースが非アクティブのとき、SDAとSCLはアイドルハイです。マスタデバイスは、START状態を発行することによって、通信を開始します。START状態はSCLがハイの場合にSDAがハイからローになることです。STOP状態はSCLがハイの状態でもSDAがローからハイになることです(図5)。マスタによるSTART状態はMAX8588への伝送開始の信号です。マスタは、STOP状態が後に続く非承認を発行することによって伝送を終結します(「確認応答ビット」の項を参照)。STOP状態はバスを開放します。

STOP状態または正しくないアドレスが検出されると、MAX8588は、つぎのSTART状態まで、内部的にSCLをシリアルインタフェースから切断して、デジタルノイズとフィードスルーを最小化します。

確認応答ビット(ACK)

確認応答ビット(ACK)は8ビットのデータワードごとに付随した9番目のビットです。受信デバイスが、常にACKを生成します。MAX8588は、アドレスまたはデータを受信するときに、9番目のクロック期間にSDAをロー状態に強制することによってACKを生成します。ACKを監視することによって、データ転送に成功しなかったことを検出することが可能です。受信デバイスがビジーであるか、またはシステム障害が発生した場合にデータ転送の失敗が起こります。データ転送が不成功であった場合には、バスマスタは、後に通信を再度、試みる必要があります。

シリアルアドレス

バスマスタは、START状態とそれに続く7ビットのスレーブアドレスを発行することによってスレーブとの通信を開始します(表3)。アイドル状態では、MAX8588は、スレーブアドレスを後続とするSTART状態を待機しています。シリアルインタフェースは各アドレス値をビットごとに比較して、正しいアドレスが検出されなければ、ただちにインタフェースの電源を切断します。

アドレスワードのLSBは、読取り/書込み(R/W)ビットです。R/Wはマスタが書き込むか、読み取るかを示します(RD/W0 = 書込み、RD/W1 = 読取り)。MAX8588はSEND BYTEフォーマットのみをサポートするため、RD/Wは0である必要があります。

正しいアドレスを受信した後、MAX8588は1クロックサイクルの間、SDAをロー状態に強制することによって、ACKを発行します。MAX8588は、2つのユーザ設定可能なアドレスを備えています(表3)。A7~A2のアドレスビットは固定であり、A1はSRADによって制御されます。SRADをGNDに接続すると、A1=0となり、SRADをINに接続すると、A1=1となります。

V3出力の上昇速度制御

V3がシリアルインタフェースによってダイナミックに変化するときに、出力電圧はRAMPとグラウンド間に接続されたコンデンサ(C_{RAMP})によって制御される速度で変化します。電圧の変化は、従来のRC指数関数によって記述されます：

$$V_o(t) = V_o(0) + dV(1 - \exp(-t / (100k\Omega C_{RAMP})))$$

表3. シリアルアドレス

SRAD	A7	A6	A5	A4	A3	A2	A1	A0 RD/W
0	0	0	1	0	1	0	0	0
1	0	0	1	0	1	0	1	0

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

V3が10%から90%の電圧差だけ変化するためにかかる時間の有用な近似値は、RC時定数のおよそ2.2倍です。 $C_{RAMP} = 1500\text{pF}$ とすると、この時間は $330\mu\text{s}$ となります。1Vから1.3Vに変化する場合は、これは $1\text{mV}/\mu\text{s}$ に等しくなります。異なった上昇速度の例は「標準動作特性」の項を参照してください。

RAMP端子に使用可能な最大の容量値は 2200pF です。それよりも大きい値を使用すると、V3の上昇速度は、なお、前述の式に従って制御されますが、V3が最初にアクティブとなる場合は、V3がその最終値に達する前にPOKは「レギュレーションされている」状態を示します。

RAMP端子は、実質的にREG3のリファレンスです。FB3はRAMP端子上的電圧の1.28倍にレギュレートされます。

設計法

出力電圧の設定

出力電圧V1とV2はプリセットされた電圧を持っていますが、抵抗器による分圧器を用いて、調整することも可能です。V1を3.3Vに設定するためには、FB1をGNDに接続してください。V2は3.3Vまたは2.5Vにプリセットすることができます。V2を3.3Vにプリセットするためには、FB2をINに接続してください。2.5Vに設定するためには、FB2をGNDに接続してください。

V1またはV2をプリセットした出力電圧以外に設定するためには、出力電圧に接続する抵抗器による分圧器に対応するFB入力に接続してください。FB_入力バイアス電流は 100nA 未満であるため、下側(FB_とグランド間)の抵抗器(R_L)を $100\text{k}\Omega$ 以下としてください。その後、次の式を用いてハイサイド(出力とFB_間)の抵抗器(R_H)を計算してください：

$$R_H = R_L [(V_{OUT} / 1.25) - 1]$$

V3(VCC_CORE)の出力電圧は I^2C シリアルインタフェースによって 25mV ステップで $0.7\text{V} \sim 1.475\text{V}$ の間で設定されます。詳細に関しては、「シリアルインタフェース」の項を参照してください。

リニアレギュレータV4は固定の 1.3V 出力電圧を供給します。リニアレギュレータのV5は固定の 1.1V 出力電圧を供給します。V4とV5の電圧は調整可能ではありません。

リニアレギュレータV6(VCC_USIM)の出力電圧は、 I^2C シリアルインタフェースによって、 0V 、 1.8V 、 2.5V 、または 3.0V に設定されます。詳細に関しては、「シリアルインタフェース」の項を参照してください。

リニアレギュレータV7(VCC_BATT)はON1がハイでV1がレギュレーション中である限り、V1の電圧に追従します。ON1がローであるか、またはV1がレギュレーションにない場合は、V7はバックアップバッテリー(V_{BKBT})に切り替わります。

インダクタの選択

ステップダウンに必要なとする外付け部品は、インダクタ、入力および出力コンデンサ、および補償用RC回路です。

MAX8588のステップダウンコンバータは、連続インダクタ電流の場合に最良の効率を提供します。妥当性のあるインダクタの値(L_{IDEAL})は、次の式によって求められます：

$$L_{IDEAL} = [2(V_{IN}) \times D(1 - D)] / (I_{OUT(MAX)} \times f_{OSC})$$

この式によって、DCインダクタ電流の2分の1におけるピークトゥピークのインダクタインダクタ電流が設定されます。Dは次に式によるデューティサイクルです：

$$D = V_{OUT} / V_{IN}$$

L_{IDEAL} を先に決めると、ピークトゥピークのインダクタ電流は $0.5 \times I_{OUT}$ となります。ピークのインダクタ電流は $1.25 \times I_{OUT(MAX)}$ です。インダクタの飽和電流がピークのインダクタ電流を超えており、かつ定格の最大DCインダクタ電流が最大出力電流($I_{OUT(MAX)}$)を超えていることを確認してください。 L_{IDEAL} よりも大きいインダクタンス値は効率を最適化するが、または最大可能出力電流を得るために使うことができます。インダクタンス値を大きくすると、小さいインダクタのピーク電流で所定の出力電流を得ることによって、これを達成します。通常、 L_{IDEAL} よりも、およそ2倍までの大きさのインダクタとすると、出力電流と効率が改善されます。しかし、インダクタンスの値を大きくしすぎると、インダクタのサイズが大きくなりすぎるか、またはインダクタの抵抗が増大して、ピーク電流を小さくしたことによって得られる利得よりも効率を減少させる可能性があります。

インダクタ値を小さくすると、インダクタのサイズが小さくなりますが、所定の負荷に対してピークのインダクタ電流が大きくなります。その場合は、より大きなピーク電流による出力リップルの増加を抑制するために、より大きい出力コンデンサが必要となります。

コンデンサの選択

DC-DCコンバータにおける入力コンデンサはバッテリーまたはその他の入力電源ソースから引き出す電流ピークを減少させ、また、コントローラ内のスイッチングノイズを減少させます。スイッチング周波数における入力コンデンサのインピーダンスは、高周波数のスイッチング電流が入力源を流れないように、入力源のインピーダンスよりも小さくしなければなりません。

出力コンデンサは出力リップルを小さく抑え、しかも制御ループの安定性を保証します。スイッチング周波数において出力コンデンサのインピーダンスも小さくしなければなりません。セラミック、ポリマ、およびタンタルコンデンサが適しており、セラミックコンデンサが最小のESRと最小の高周波インピーダンスを示します。

セラミックの出力コンデンサの場合の出力リップルは、次の式で近似されます：

$$V_{RIPPLE} = I_L(PEAK) [1 / (2\pi \times f_{OSC} \times C_{OUT})]$$

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

コンデンサが大きいESRを持つ場合、コンデンサのESRによる出力リップル成分は次の式で表されます：

$$V_{\text{RIPPLE(ESR)}} = I_{\text{L(PEAK)}} \times \text{ESR}$$

出力コンデンサの仕様は、また、「補償と安定性」の項で、再度説明します。

補償と安定性

REG1、REG2、およびREG3の補償に対して関連する特長を次に示します：

- 1) トランスコンダクタンス(FB_からCC_)、gm_{EA}
- 2) 電流検出アンプのトランス抵抗、R_{CS}
- 3) フィードバックレギュレーション電圧、V_{FB}(1.25V)
- 4) ステップダウン出力電圧、V_{OUT}(Vで表示)
- 5) 出力負荷の等価抵抗、R_{LOAD} = V_{OUT} / I_{LOAD}

ステップダウンの補償に対するキーステップ：

- 1) R_{LOAD} C_{OUT}のポールを相殺するように補償用RCのゼロを設定する。
- 2) ループのクロスオーバをスイッチング周波数のおよそ10分の1または低い周波数に設定する。

例えば、REG2に対して、V_{IN(MAX)} = 5V、V_{OUT} = 2.5V、およびI_{OUT} = 800mAとすると、R_{LOAD} = 3.125Ωとなります。REG2に対しては、R_{CS} = 0.75V/Aおよびgm_{EA} = 87μSとなります。

クロスオーバ周波数f_cがf_{OSC}/10より低くなるように選択してください。100kHzを選択してください。その後、補償コンデンサC_Cの値を計算してください：

$$\begin{aligned} C_C &= (V_{\text{FB}} / V_{\text{OUT}}) \times (R_{\text{LOAD}} / R_{\text{CS}}) \times (g_m / (2\pi \times f_c)) \\ &= (1.25 / 2.5) \times (3.125 / 0.75) \times (87 \times 10^{-6} / (6.28 \times 100,000)) = 289\text{pF} \end{aligned}$$

この計算結果の値の次に大きい標準容量値として、330pFを選びます。

今度は、補償抵抗器、R_Cを、過渡ドループ(低下)要件を満たすように選択してください。その例として、所望の負荷ステップに対して、3%の過渡ドループが許容されるとすると、エラーアンプへの入力は0.03 x 1.25Vだけ、すなわち37.5mVだけ変化します。エラーアンプの出力は37.5mV x gm_{EA}、すなわちI_{EAO} = 37.5mV x 87μS = 3.26μAをR_Cを流し、これが過渡利得となります。必要とする負荷ステップ振幅を可能とするR_Cの値を次の式から見出してください：

$$R_C = R_{\text{CS}} \times I_{\text{IND(PK)}} / I_{\text{EAO}}$$

ここで、I_{IND(PK)}は、ピークのインダクタ電流です。ステップダウンDC-DCコンバータでは、L_{IDEAL}が使わ

表4. 補償パラメータ

PARAMETER	REG1	REG2	REG3
Error-Amplifier Transconductance, gm _{EA}	87μS	87μS	68μS
Current-Sense Amp Transresistance, R _{CS}	0.5V/A	0.75V/A	1.25V/A

表5. 標準の補償値

COMPONENT OR PARAMETER	REG1	REG2	REG3
V _{OUT}	3.3V	2.5V	1.3V
Output Current	1300mA	900mA	500mA
Inductor	3.3μH	6.8μH	10μH
Load-Step Droop	3%	3%	3%
Loop Crossover Freq (f _c)	100kHz	100kHz	100kHz
C _C	330pF	270pF	330pF
R _C	240kΩ	240kΩ	240kΩ
C _{OUT}	22μF	22μF	22μF

れると、出力電流はインダクタ電流と、次の式による関係となります：

$$I_{\text{IND(PK)}} = 1.25 \times I_{\text{OUT}}$$

したがって、V_{IN} = 3.6VおよびV_{OUT} = 2.5Vの場合の800mAの出力負荷ステップに対して、次の結果が得られます：

$$R_C = R_{\text{CS}} \times I_{\text{IND(PK)}} / I_{\text{EAO}} = (0.75\text{V/A}) \times (1.25 \times 0.8\text{A}) / 3.26\mu\text{A} = 230\text{k}\Omega$$

この結果、240kΩを選びます。この場合、インダクタは応答を制限しないことに注意してください。それはインダクタ電流が(V_{IN} - V_{OUT}) / L、すなわち、(3.6 - 2.5) / 3.3μH = 242mA/μsの速度で変化するからです。

出力フィルタコンデンサは、その後、C_{OUT} R_{LOAD}のポールがR_C C_Cのゼロを相殺するように選択されます：

$$C_{\text{OUT}} \times R_{\text{LOAD}} = R_C \times C_C$$

例：

$$R_{\text{LOAD}} = V_{\text{OUT}} \times I_{\text{LOAD}} = 2.5\text{V} / 0.8\text{A} = 3.125\Omega$$

$$C_{\text{OUT}} = R_C \times C_C / R_{\text{LOAD}} = 240\text{k}\Omega \times 330\text{pF} / 3.125\Omega = 25\mu\text{F}$$

この結果、22μFを選択します。

この選択されたC_{OUT}を用いて、R_Cを再計算してください。

$$R_C = C_{\text{OUT}} \times R_{\text{LOAD}} / C_C = 208\text{k}\Omega$$

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

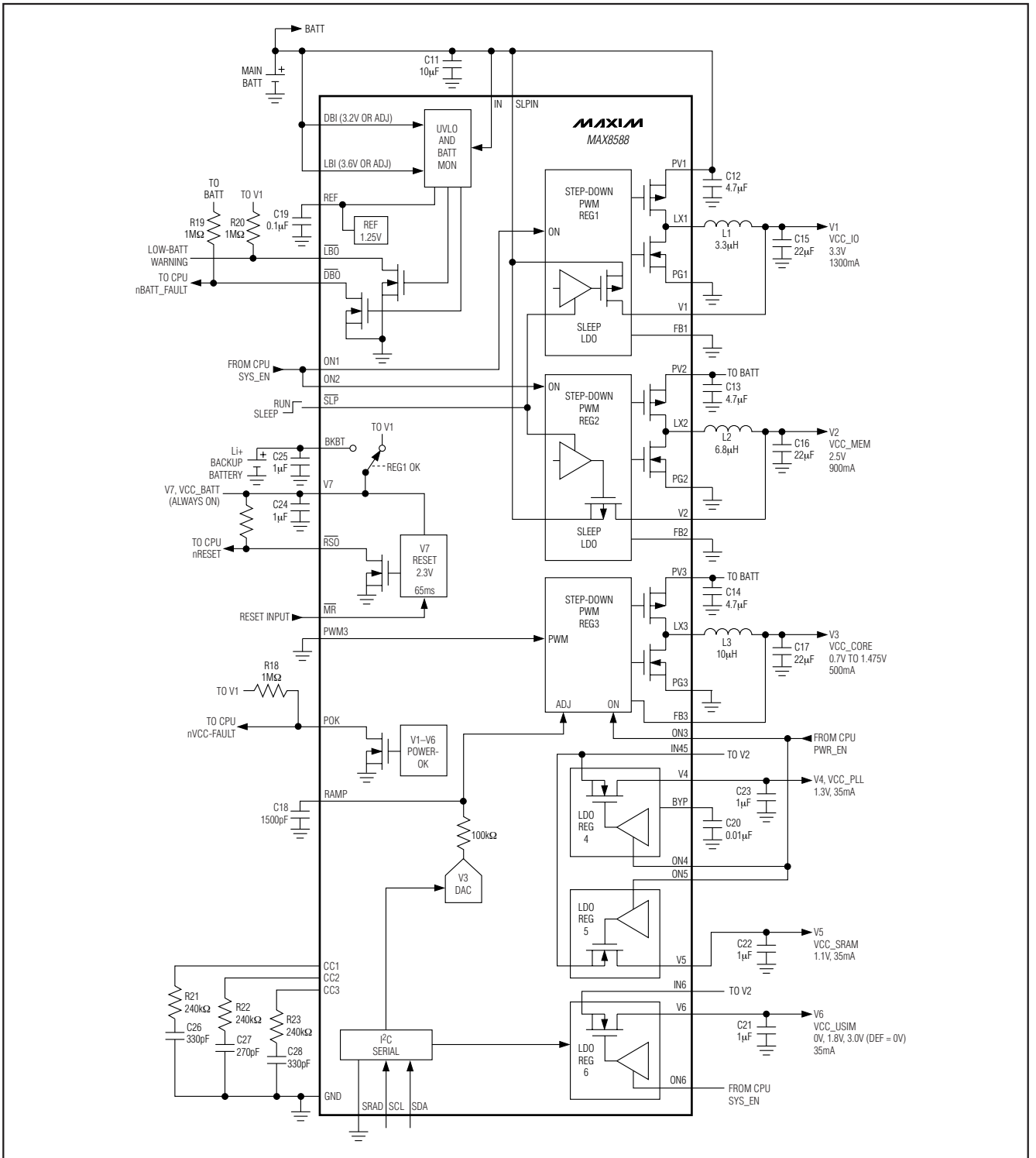


図6. MAX8588の標準動作回路

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

ポールの相殺は正確である必要はないことを注意してください。R_C × C_CはR_{LOAD} × C_{OUT}の0.75~1.25倍以内であればよいです。これは、部品の選択に柔軟性があることになります。

出力フィルタコンデンサが大きいESRを持つとすると、ゼロが次の周波数に生じます：

$$Z_{ESR} = 1 / (2\pi \times C_{OUT} \times RESR)$$

Z_{ESR}がf_Cよりも高い場合、それは無視することができ、これはセラミックまたはポリマ出力コンデンサの場合に、通常、起こることです。Z_{ESR}がf_Cよりも低い場合、それはCCとGND間に接続されるコンデンサC_pによって設定されるポールで相殺しなければなりません：

$$C_p = C_{OUT} RESR / R_c$$

もし、C_pの計算結果が10pFを下回ると、それは省略することができます。

過渡応答の最適化

部品の値を最小にすべく負荷応答の最適化を要するアプリケーションでは、出力フィルタコンデンサを増加すると、補償用RCにおけるRが増加します。前項における式から、出力コンデンサを2倍とすると、補償用のRを2倍とすることになり、そのことが過渡利得を2倍にします。

アプリケーション情報

最大コア電圧の範囲を拡大する

V3出力は25mVステップで0.7V~1.475Vまでを供給するようにシリアルに設定することができます。いくつかのケースでは、さらに高いCPUコア電圧が要求される可能性があります。V3の電圧範囲は図7に示すように2つの抵抗器を追加することによって増加させることができます。

R24とR25は利得を少量増加させます。1.475Vの内部で設定された値がV3の点でより大きい実際の出力となるように、これらの抵抗が設定されます。図1に示された抵抗器によって、1.55V、1.6V、または1.65Vが設定されます。すべての出力ステップはシフトされ、ステップサイズもまた、少し増加します。

図7のV3の各設定された出力電圧は次のようになります：

$$V3 = V3_{PROG} + (R24[(V3_{PROG} / R25) + (V3_{PROG} / 185,500)])$$

ここで、V3は実際の出力電圧です。V3_{PROG}は表2の"OUTPUT(V)"欄による元の設定電圧であり、185,500はFB3端子における内部抵抗です。

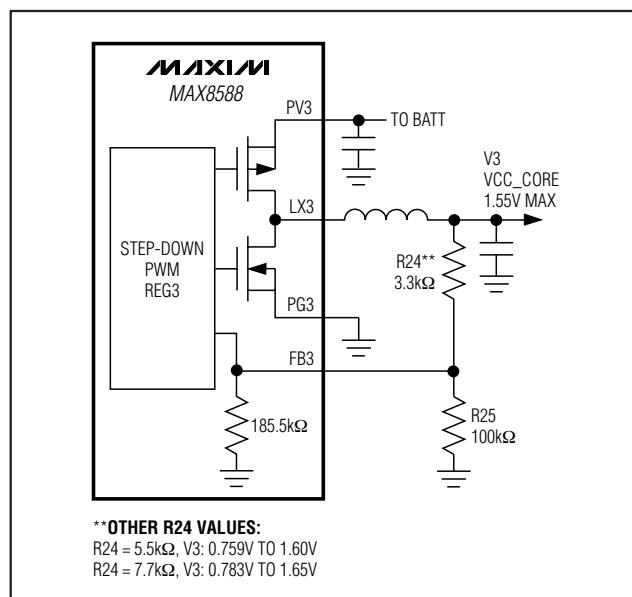


図7. R24とR25の追加によって、コア電圧の最大値が増加する。示された値は最大のコア電圧を1.475Vから1.55Vに上昇させます。

バックアップバッテリーおよびV7の構成

MAX8588はバックアップバッテリーの接続、BKBT、および出力、V7を備えています。これらは様々なシステム構成に対して多用な使われ方が可能です。

一次バックアップバッテリー

一次(再充電なし)のリチウムコインセルとの接続は図6に示されています。リチウムセルはBKBTに直接、接続されます。V7はV1(イネーブルされていれば)またはバックアップバッテリーのいずれかからCPU VCC_BATTに給電します。メインバッテリーが良好である場合は、V1はオン(DC-DCコンバータまたはスリープLDOによって)であり、V7に給電すると想定されます。

バックアップバッテリーなし(または代替バックアップ)

バックアップバッテリーが使われない場合、またはMAX8588を使用しない代替バックアップおよびVCC_BATT方式が使われる場合、BKBTは小さいシリコンダイオード(図8に示すように1N4148または同等の)を使ってINからバイアスしなければなりません。バックアップバッテリーが使用されない場合、BKBTは、なお、給電されなければなりません。それは、 \overline{DBO} 、 \overline{RSO} 、およびPOKが機能するためには、この電源供給を必要とするからです。BKBTが給電されなければ、これらの出力は機能せず、ハイインピーダンスとなります。

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

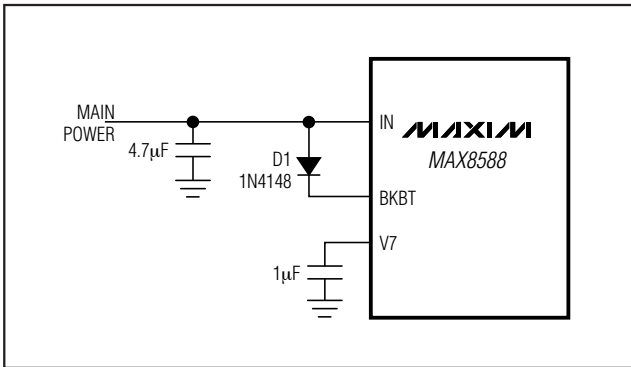


図8. バックアップ 배터리が使用されないか、または MAX8588が含まれない代替のバックアップ方式が使われる場合のBKBT接続

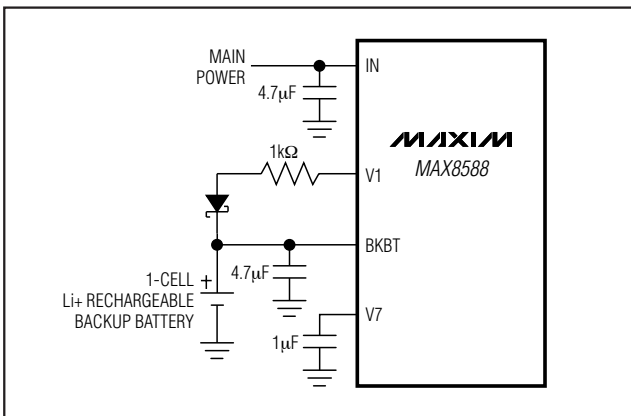


図9. 一次セルが不十分な場合に、1セルの再充電可能Li+ バッテリーがさらに大きいバックアップ電源を供給します。このセルはV1がアクティブな時に3.3Vに充電されます。その代わりに、バッテリーは、もし電圧がセルタイプに対して適切であれば、INから充電することができます。

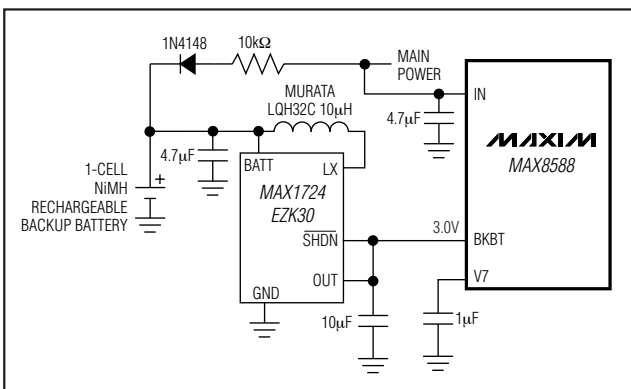


図10. ローパワーのDC-DCコンバータを使って昇圧することによって1セルのニッケル水素(NiMH)バッテリーがバックアップとして供給されます。主電源がオンになっているとき、抵抗器とダイオードの直列接続がバッテリーのトリクル充電を行います。

再充電可能Li+バックアップ 배터리

さらに多くのバックアップ電力が必要であり、しかも一次セルが十分な容量を持たない場合、再充電可能なリチウムセルを、図9に示すように、適用することができます。3.3VのV1電源がアクティブであると、直列接続した抵抗器とダイオードがセルを充電します。V7をバイアスすることに加えて、他の電源にも給電するために、再充電可能バッテリーが要求される可能性があります。

再充電可能ニッケル水素(NiMH)バックアップ 배터리

システムによっては、ニッケル水素(NiMH)バッテリーがバックアップ用として望まれるかもしれません。通常、このためには、複数のセルが必要となります。それは、通常、ニッケル水素(NiMH)のセル電圧が1.2Vしかないからです。小さいDC-DCコンバータ(MAX1724)を追加することによって低電圧バッテリー電圧はBKBTをバイアスするために3V昇圧されます(図10)。このDC-DCコンバータの動作電流が小さい(1.5µA typ)ため、3VのBKBTバイアスが常に存在するように、オンのままにしておくことが可能です。主電源が存在しているときは、抵抗器とダイオードがニッケル水素(NiMH)セルをトリクル充電します。

プリント基板のレイアウトと配線

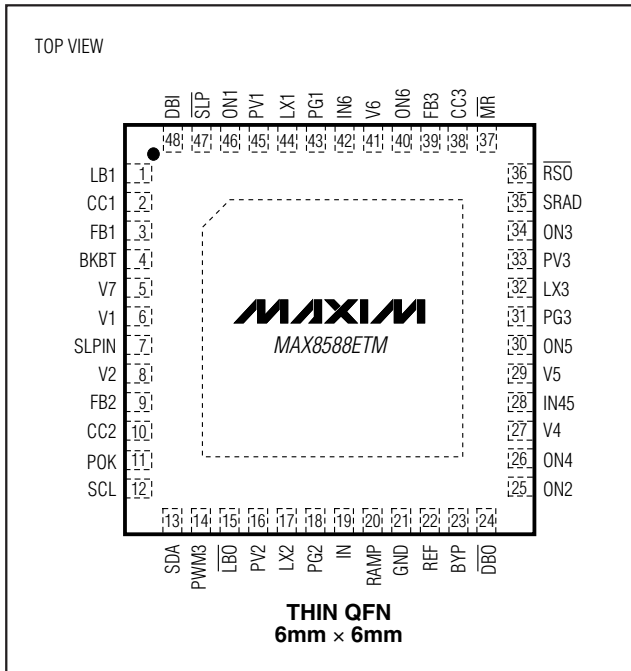
優れたプリント基板のレイアウトは最適な性能を達成するために重要です。不連続電流を流す導体および大電流経路は可能な限り短く広くしてください。リファレンスと信号グランドを含む分離したローノイズグランドプレーンは1点でのみパワーグランドプレーンに接続して、パワーグランド電流の影響を最小化しなければなりません。通常、グランドプレーンはICの直近でのみ接続することが最良です。

電圧フィードバック回路網はICに非常に接近して配置してください。可能ならばFB_端子の0.2インチ(5mm)以内としてください。dV/dtが大きくなるノード(スイッチングノード)は可能な限り小さくして、FB_のようなハイインピーダンスノードから遠ざけて配線してください。

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

ピン配置



チップ情報

TRANSISTOR COUNT: 13,958

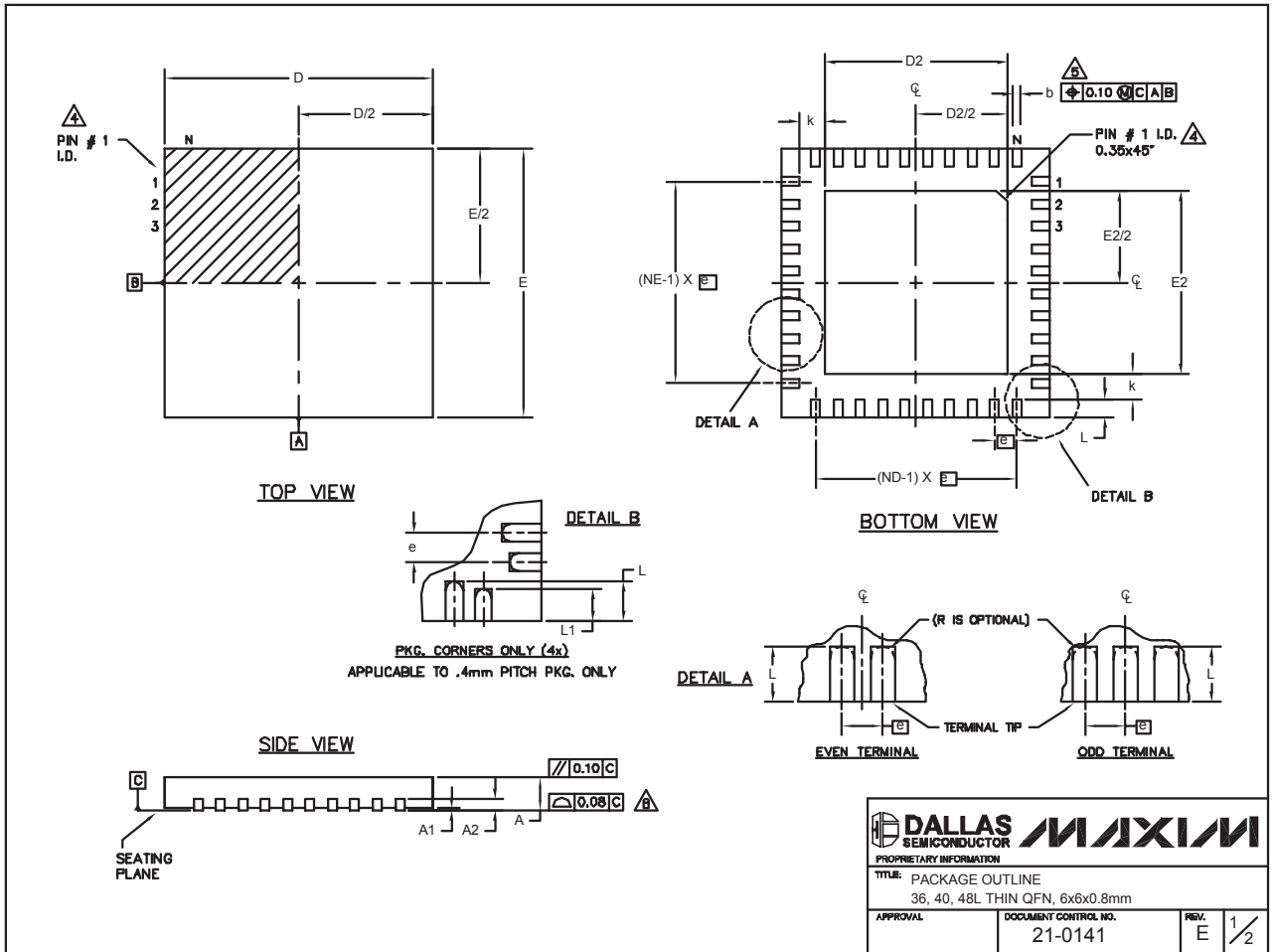
PROCESS: BiCMOS

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低 I_Q PMIC

MAX8588

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



QFN THIN 6x6x0.8.EPS

PDAおよびスマートフォン用のダイナミックコア付き 高効率、低I_Q PMIC

MAX8588

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS									
PKG.	36L 6x6			40L 6x6			48L 6x6		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	-	0.05
A2	0.20 REF.			0.20 REF.			0.20 REF.		
b	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25
D	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
E	5.90	6.00	6.10	5.90	6.00	6.10	5.90	6.00	6.10
e	0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	0.35	0.45
L	0.45	0.55	0.65	0.30	0.40	0.50	0.40	0.50	0.60
L1	-	-	-	-	-	-	0.30	0.40	0.50
N	36			40			48		
ND	9			10			12		
NE	9			10			12		
JEDEC	WJJD-1			WJJD-2			-		

PKG. CODES	EXPOSED PAD VARIATIONS						DOWN BONDS ALLOWED
	D2			E2			
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T3666-1	3.60	3.70	3.80	3.60	3.70	3.80	NO
T3666-2	3.60	3.70	3.80	3.60	3.70	3.80	YES
T3666-3	3.60	3.70	3.80	3.60	3.70	3.80	NO
T4066-1	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-2	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-3	4.00	4.10	4.20	4.00	4.10	4.20	YES
T4066-4	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4066-5	4.00	4.10	4.20	4.00	4.10	4.20	NO
T4866-1	4.20	4.30	4.40	4.20	4.30	4.40	YES

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR 0.4mm LEAD PITCH PACKAGE T4866-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.

	
<small>PROPRIETARY INFORMATION</small>	
<small>TITLE: PACKAGE OUTLINE 36, 40, 48L THIN QFN, 6x6x0.8mm</small>	
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO. 21-0141</small>
<small>REV. E</small>	<small>2/2</small>

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 31

© 2005 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.