

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

## 概要

MAX8553はDDRメモリ用の完全な電源マネージメントソリューションを提供する4.5V ~ 28Vの入力電圧で動作する同期整流のステップダウンコントローラです。MAX8553はVTTとVTTR用に1/2 V<sub>REFIN</sub>の電圧を生成します。VTTとVTTRのトラッキング電圧は1/2 V<sub>REFIN</sub>の1%以内に維持されます。MAX8554は、0.6Vという低いフィードバックスレッシュホールド電圧を持ち、4.5V ~ 28Vの入力電圧で動作する、ノントラッキングのステップダウンコントローラです。MAX8553/MAX8554はマキシム独自のQuick-PWM™アーキテクチャを採用しているため、高速の過渡応答特性を持ち、選択可能な擬似固定周波数で動作します。両コントローラとも、外部からのバイアス電圧を必要とせず、動作させることができます。

本コントローラは同期整流モードで動作し、25Aまでのバランスした電流源及びシンク電流能力を持ちます。また、MAX8553/MAX8554は、最大95%の効率を持つので、サーバや分散負荷(Point-of-Load)のアプリケーションに最適です。それに加えて、シャットダウン電流が5μAと小さいので、ノートブックのアプリケーションでは、バッテリー寿命を延ばすことが可能です。ローサイドMOSFETのドレインとソース間の電圧を監視することによって、無損失の電流監視を実現します。MAX8553/MAX8554は連続した出力の過負荷及び短絡に耐えることができる調整可能なフォールドバック型の電流制限機構を持ちます。デジタル方式のソフトスタート機能が電源投入時の突入電流の制御を行います。過電圧保護機能はコンバータの電源をシャットダウンし、出力コンデンサを放電させます。MAX8553/MAX8554は省スペースの16ピンQSOPのパッケージで提供されます。

## アプリケーション

- 広入力電源
- サーバ及びストレージアプリケーション
- ASIC及びCPUコア電圧
- ノートブック及びLCD-PC電源
- DDR 及びDDR メモリ電源
- AGTLバス終端電源

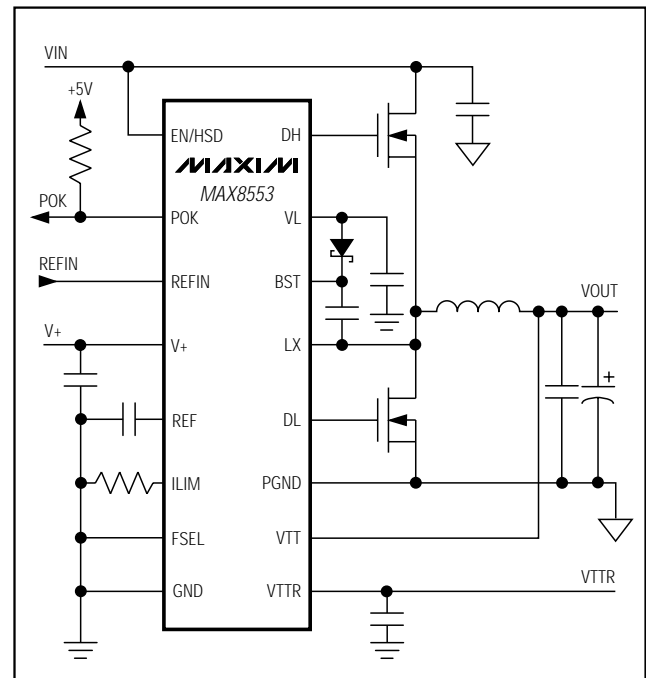
## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX8553EEE	-40°C to +85°C	16 QSOP
MAX8554EEE	-40°C to +85°C	16 QSOP

## 特長

- ◆ 出力電流能力：最大25A
- ◆ 高速ループ応答のためのQuick-PWM制御
- ◆ 効率：最大95%
- ◆ 入力電圧範囲：4.5V ~ 28V
- ◆ 外部にバイアス電源不要
- ◆ 入力REFIN電圧範囲：0V ~ 3.6V (MAX8553)
- ◆ VTTとVTTRを1/2 V<sub>REFIN</sub>の±1%以内に自動設定 (MAX8553)
- ◆ 0.6Vという低フィードバックスレッシュホールド電圧 (MAX8554)
- ◆ 200kHz/300kHz/400kHz/550kHzを選択可能なスイッチング周波数
- ◆ 調整可能なフォールドバック型電流制限
- ◆ 過電圧保護
- ◆ デジタルソフトスタート

## 標準動作回路



ピン配置はデータシートの最後に記載されています。

Quick-PWMはMaxim Integrated Products, Incの商標です。

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## ABSOLUTE MAXIMUM RATINGS

V+, EN/HSD, EN, HSD to GND .....	-0.3V to +30V	REF Short Circuit to GND .....	Continuous
PGND to GND .....	-0.3V to +0.3V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
VTT, REFIN, POK, OUT, FB, VL to GND .....	-0.3V to +6V	16-Pin QSOP (derated 8.3mW/°C above +70°C) .....	667mW
REF, VTTR, DL, ILIM, FSEL to GND .....	-0.3V to (V <sub>VL</sub> + 0.3V)	Operating Temperature Range .....	-40°C to +85°C
LX to PGND .....	-2V to +30V	Junction Temperature .....	+150°C
BST to GND .....	-0.3V to +36V	Storage Temperature Range .....	-65°C to +150°C
DH to LX .....	-0.3V to +6V	Lead Temperature (soldering, 10s) .....	+300°C
LX to BST .....	-6V to +0.3V		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>V+</sub> = V<sub>HSD</sub> = +12V, V<sub>EN/HSD</sub> = V<sub>REFIN</sub> = +2.5V, V<sub>EN</sub> = +5V, C<sub>VL</sub> = 4.7μF, C<sub>VTTR</sub> = 1μF, C<sub>REF</sub> = 0.22μF, V<sub>FSEL</sub> = 0V, ILIM = VL, PGND = LX = GND, BST = VL, T<sub>A</sub> = 0°C to +85°C. Typical values are at T<sub>A</sub> = +25°C, unless otherwise specified.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V+ Input Voltage Range	VL not connected to V+	6		28	V
V+ Input Voltage Range	VL connected to V+	4.5		5.5	V
EN/HSD Input Voltage Range	MAX8553 enabled	1.5		28.0	V
EN Input Voltage Range	MAX8554 enabled	1.5		28.0	V
EN Input Current			2	3	μA
HSD Input Voltage Range	MAX8554 enabled	1.5		28.0	V
HSD Input Current			20	40	μA
REFIN Input Voltage Range		0		3.6	V
V+ Supply Current (MAX8553)	V <sub>VTT</sub> = +1.35V		0.8	1.2	mA
V+ Supply Current (MAX8554)	V <sub>FB</sub> = 630mV		0.62	0.90	mA
REFIN Supply Current			125	250	μA
EN/HSD Supply Current			5	10	μA
VL Supply Current	V <sub>VL</sub> = V <sub>V+</sub> = 5.5V, V <sub>VTT</sub> = +1.35V		0.8	1.2	mA
V+ Shutdown Supply Current	EN/HSD = GND		3	5	μA
REFIN Shutdown Supply Current	EN/HSD = GND			1	μA
VL Shutdown Supply Current	V <sub>VL</sub> = V <sub>V+</sub> = +5.5V, V <sub>EN/HSD</sub> = 0V		5	12	μA
VL Undervoltage-Lockout Threshold	Rising edge, typical hysteresis = 40mV	4.05	4.25	4.40	V
<b>VTT</b>					
VTT Input Bias Current	V <sub>VTT</sub> = +1.25V	-0.15		0	μA
VTT Feedback Voltage Range		0		1.8	V
VTT Feedback Voltage Accuracy	V <sub>REFIN</sub> = V <sub>EN/HSD</sub> = +1.8V	49.5	50	50.5	% V <sub>REFIN</sub>
	V <sub>REFIN</sub> = V <sub>EN/HSD</sub> = +3.6V	49.5	50	50.5	
FB Input Bias Current	MAX8554, V <sub>FB</sub> = +600mV	-0.15		0	μA

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0V$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = GND$ ,  $BST = V_L$ ,  $T_A = 0^{\circ}C$  to  $+85^{\circ}C$ . Typical values are at  $T_A = +25^{\circ}C$ , unless otherwise specified.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
FB Regulation Voltage	MAX8554, $V_{OUT} = +2.5V$ , FSEL unconnected	0.598	0.607	0.616	V	
Output Adjust Range	MAX8554 (Note 1)	0.6		3.5	V	
VTT Line Regulation	$V_{EN/HSD} \pm 10\%$ , $V_{VTT} = +1.25V$ , $I_{OUT} = 0A$		$\pm 0.325$		%	
FB Line Regulation	MAX8554, $V_{HSD} \pm 10\%$ , $V_{OUT} = +2.5V$ , $I_{OUT} = 0A$ , FSEL unconnected		$\pm 0.325$		%	
VTT Load Regulation	$0 < I_{OUT} < +7A$ , $V_{VTT} = +1.25V$		0.2		%	
FB Load Regulation	MAX8554, $0 < I_{OUT} < +7A$ , $V_{OUT} = +2.5V$ , FSEL unconnected		0.2		%	
<b>REFERENCE</b>						
Reference Output Voltage	$V_{V+} = V_{VL} = +4.5$ to $+5.5V$ , $I_{REF} = 0$	1.97	2.00	2.03	V	
Reference Load Regulation	$V_{V+} = V_{VL} = +5V$ , $I_{REF} = 0$ to $50\mu A$			10	mV	
Reference UVLO	$V_{V+} = V_{VL} = +5V$ , reference rising, hysteresis = $27mV$	1.5	1.6	1.7	V	
<b>VTTR</b>						
VTTR Output Voltage Range		0		1.8	V	
VTTR Output Accuracy	$I_{VTTR} = -5mA$ to $+5mA$	49.5	50	50.5	% $V_{REFIN}$	
	$I_{VTTR} = -25mA$ to $+25mA$ , $V_{REFIN} = +1.8V$	49	50	51		
	$I_{VTTR} = -25mA$ to $+25mA$ , $V_{REFIN} = +3.6V$	49.5	50	50.5		
Thermal Shutdown	Rising temperature, typical hysteresis = $15^{\circ}C$		+160		$^{\circ}C$	
<b>SOFT-START</b>						
ILIM Ramp Period	Ramps the ILIM trip threshold from 20% to 100% in 20% increments	0.8	1.7	3.0	ms	
Output Predischarge Period	Rising edge of EN/HSD to the start of internal digital soft-start	0.8	1.7	3.0	ms	
<b>OSCILLATOR</b>						
Oscillator Frequency	FSEL = VL		200		kHz	
	FSEL = unconnected		300			
	FSEL = REF		400			
	FSEL = GND		550			
On-Time	MAX8553, $V_{VTT} = +1.25V$ (Note 2)	FSEL = VL	2.18	2.5	2.83	$\mu s$
		FSEL unconnected	1.45	1.67	1.89	
		FSEL = REF	1.09	1.25	1.41	
		FSEL = GND	0.82	0.91	1.00	
On-Time	MAX8554, $V_{OUT} = +2.5V$ (Note 2)	FSEL = VL	0.89	1.02	1.16	$\mu s$
		FSEL unconnected	0.61	0.71	0.80	
		FSEL = REF	0.43	0.49	0.56	
		FSEL = GND	0.33	0.37	0.41	
Off-Time	(Note 2)		350	400	ns	

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0V$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = GND$ ,  $BST = V_L$ ,  $T_A = 0^\circ C$  to  $+85^\circ C$ . Typical values are at  $T_A = +25^\circ C$ , unless otherwise specified.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CURRENT LIMIT</b>					
Current-Limit Threshold (Positive Direction)	LX to PGND, $I_{LIM} = V_L$	80	100	115	mV
	LX to PGND, $R_{LIM} = 100k\Omega$	35	50	65	
	LX to PGND, $R_{LIM} = 400k\Omega$	160	200	230	
Current-Limit Threshold (Negative Direction)	LX to PGND, $I_{LIM} = V_L$ , with respect to positive current-limit threshold	-130	-110	-90	%
ILIM Input Current			5		$\mu A$
<b>FAULT DETECTION</b>					
Overvoltage Threshold	MAX8553 ( $V_{REFIN} > +1V$ )	57	60	63	% $V_{REFIN}$
	MAX8553 ( $V_{REFIN} \leq +1V$ )	0.576	0.600	0.624	V
	MAX8554	0.696	0.720	0.744	
<b>VL REGULATOR</b>					
Output Voltage	$+6V < V_{V+} < +28V$ , $1mA < I_{VL} < 35mA$	4.80	5.0	5.33	V
Line Regulation	$+6V < V_{V+} < +28V$ , $I_{VL} = 10mA$		0.2		%
RMS Output Current				35	mA
Bypass Capacitor	ESR $< 100m\Omega$	2.2			$\mu F$
<b>DRIVER</b>					
DH Gate-Driver On-Resistance	$V_{BST} - V_{LX} = +5V$		1.4	2.5	$\Omega$
DL Gate-Driver On-Resistance (Source)	DL high state		1.6	3.0	$\Omega$
DL Gate-Driver On-Resistance (Sink)	DL low state		0.75	1.25	$\Omega$
Dead Time	DL rising		32		ns
	DL falling		30		
<b>FSEL LOGIC</b>					
Logic Input Current		-3		+3	$\mu A$
Logic Low (GND)				0.5	V
Logic REF Level	FSEL = REF	1.65		2.35	V
Logic Float Level	FSEL unconnected	3.15		3.85	V
Logic VL Level	FSEL = VL	$V_{VL} - 0.4$			V
<b>EN/HSD OR EN LOGIC</b>					
EN/HSD or EN Shutdown Current	Max $I_{EN/HSD}$ for $V_{EN/HSD} < +0.8V$ or $V_{EN} < +0.8V$	0.5		3.0	$\mu A$
Logic High	$V_{VL} = V_{V+} = +4.5$ to $+5.5V$ , 100mV hysteresis	1.5			V
Logic Low	$V_{VL} = V_{V+} = +4.5$ to $+5.5V$			0.8	V

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0V$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = GND$ ,  $BST = V_L$ ,  $T_A = 0^{\circ}C$  to  $+85^{\circ}C$ . Typical values are at  $T_A = +25^{\circ}C$ , unless otherwise specified.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER-OK OUTPUT</b>					
Upper VTT and VTTR Threshold	MAX8553	55	56	57	% $V_{REFIN}$
Lower VTT and VTTR Threshold	MAX8553	43	44	45	% $V_{REFIN}$
Upper Threshold	MAX8554	0.646	0.672	0.698	V
Lower Threshold	MAX8554	0.504	0.528	0.552	V
POK Output Low Level	$I_{SINK} = 2mA$			0.4	V
POK Output High Leakage	$V_{POK} = +5V$			5	$\mu A$

## ELECTRICAL CHARACTERISTICS

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = POK = GND$ ,  $BST = V_L$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise specified.) (Note 3)

PARAMETER	CONDITIONS	MIN	MAX	UNITS
V+ Input Voltage Range	$V_L$ not connected to V+	6	28	V
V+ Input Voltage Range	$V_L$ connected to V+	4.5	5.5	V
EN/HSD Input Voltage Range	MAX8553 enabled	1.5	28.0	V
EN Input Voltage Range	MAX8554 enabled	1.5	28.0	V
EN Input Current			3	$\mu A$
HSD Input Voltage Range	MAX8554 enabled	1.5	28.0	V
HSD Input Current			40	$\mu A$
REFIN Input Voltage Range		0	3.6	V
V+ Supply Current (MAX8553)	$V_{VTT} = +1.35V$		1.2	mA
V+ Supply Current (MAX8554)	$V_{FB} = 630mV$		0.90	mA
REFIN Supply Current			250	$\mu A$
EN/HSD Supply Current			10	$\mu A$
$V_L$ Supply Current	$V_{VL} = V_{V+} = 5.5V$ , $V_{VTT} = +1.35V$		1.2	mA
V+ Shutdown Supply Current	EN/HSD = GND		5	$\mu A$
REFIN Shutdown Supply Current	EN/HSD = GND		1	$\mu A$
$V_L$ Shutdown Supply Current	$V_{VL} = V_{V+} = +5.5V$ , $V_{EN/HSD} = 0V$		12	$\mu A$
$V_L$ Undervoltage-Lockout Threshold	Rising edge, typical hysteresis = 40mV	4.05	4.40	V
<b>VTT</b>				
VTT Input Bias Current	$V_{VTT} = +1.25V$	-0.2	0	$\mu A$
VTT Feedback Voltage Range		0	1.8	V
VTT Feedback Voltage Accuracy	$V_{REFIN} = V_{EN/HSD} = +1.8V$	49.5	50.5	% $V_{REFIN}$
	$V_{REFIN} = V_{EN/HSD} = +3.6V$	49.5	50.5	
FB Input Bias Current	MAX8554, $V_{FB} = +600mV$	-0.2	0	$\mu A$
FB Regulation Voltage	MAX8554, $V_{OUT} = +2.5V$ , FSEL unconnected	0.598	0.616	V
Output Adjust Range	MAX8554 (Note 1)	0.6	3.5	V

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = POK = GND$ ,  $BST = V_L$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise specified.) (Note 3)

PARAMETER	CONDITIONS	MIN	MAX	UNITS	
<b>REFERENCE</b>					
Reference Output Voltage	$V_{V+} = V_{VL} = +4.5$ to $+5.5V$ , $I_{REF} = 0$	1.97	2.03	V	
Reference Load Regulation	$V_{V+} = V_{VL} = +5V$ , $I_{REF} = 0$ to $50\mu A$		10	mV	
Reference UVLO	$V_{V+} = V_{VL} = +5V$ , reference rising, hysteresis = $27mV$	1.5	1.7	V	
<b>VTTR</b>					
VTTR Output Voltage Range		0	1.8	V	
VTTR Output Accuracy	$I_{VTTR} = -5mA$ to $+5mA$	49.5	50.5	% $V_{REFIN}$	
	$I_{VTTR} = -25mA$ to $+25mA$ , $V_{REFIN} = +1.8V$	49	51		
	$I_{VTTR} = -25mA$ to $+25mA$ , $V_{REFIN} = +3.6V$	49.5	50.5		
<b>SOFT-START</b>					
ILIM Ramp Period	Ramps the ILIM trip threshold from 20% to 100% in 20% increments	0.8	3.0	ms	
Output Predischage Period	Rising edge of EN/HSD to the start of internal digital soft-start	0.8	3.0	ms	
<b>OSCILLATOR</b>					
On-Time	MAX8553, $V_{VT} = +1.25V$ (Note 2)	FSEL = VL	2.18	2.83	$\mu s$
		FSEL unconnected	1.45	1.89	
		FSEL = REF	1.09	1.41	
		FSEL = GND	0.82	1.00	
On-Time	MAX8554, $V_{OUT} = +2.5V$ (Note 2)	FSEL = VL	0.89	1.16	$\mu s$
		FSEL unconnected	0.61	0.80	
		FSEL = REF	0.43	0.56	
		FSEL = GND	0.33	0.41	
Off-Time	(Note 2)		420	ns	
<b>CURRENT LIMIT</b>					
Current-Limit Threshold (Positive Direction)	LX to PGND, $I_{LIM} = V_L$	80	115	mV	
	LX to PGND, $R_{LIM} = 100k\Omega$	30	65		
	LX to PGND, $R_{LIM} = 400k\Omega$	150	230		
Current-Limit Threshold (Negative Direction)	LX to PGND, $I_{LIM} = V_L$ , with respect to positive current-limit threshold	-130	-90	%	
ILIM Input Current				$\mu A$	
<b>FAULT DETECTION</b>					
Overvoltage Threshold	MAX8553 ( $V_{REFIN} > +1V$ )	57	63	%	
	MAX8553 ( $V_{REFIN} \leq +1V$ )	0.576	0.624	V	
	MAX8554	0.696	0.744		
<b>VL REGULATOR</b>					
Output Voltage	$+6V < V_{V+} < +28V$ , $1mA < I_{VL} < 35mA$	4.80	5.33	V	
RMS Output Current			35	mA	
Bypass Capacitor	ESR $< 100m\Omega$	2.2		$\mu F$	

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = POK = GND$ ,  $BST = V_L$ ,  $T_A = -40^{\circ}C$  to  $+85^{\circ}C$ , unless otherwise specified.) (Note 3)

PARAMETER	CONDITIONS	MIN	MAX	UNITS
<b>DRIVER</b>				
DH Gate-Driver On-Resistance	$V_{BST} - V_{LX} = +5V$		2.5	$\Omega$
DL Gate-Driver On-Resistance (Source)	DL high state		3.0	$\Omega$
DL Gate-Driver On-Resistance (Sink)	DL low state		1.25	$\Omega$
<b>FSEL LOGIC</b>				
Logic Input Current		-3	+3	$\mu A$
Logic Low (GND)			0.5	V
Logic REF Level	FSEL = REF	1.65	2.35	V
Logic Float Level	FSEL unconnected	3.15	3.85	V
Logic VL Level	FSEL = VL	$V_{VL} - 0.4$		V
<b>EN/HSD OR EN LOGIC</b>				
EN/HSD or EN Shutdown Current	Max $I_{EN/HSD}$ for $V_{EN/HSD} < +0.8V$ or $V_{EN} < +0.8V$	0.5	3.0	$\mu A$
Logic High	$V_{VL} = V_{V+} = +4.5$ to $+5.5V$ , 100mV hysteresis	1.5		V
Logic Low	$V_{VL} = V_{V+} = +4.5$ to $+5.5V$		0.8	V
<b>POWER-OK OUTPUT</b>				
Upper VTT, and VTTR Threshold	MAX8553	55	57	% $V_{REFIN}$
Lower VTT, and VTTR Threshold	MAX8553	43	45	% $V_{REFIN}$
Upper Threshold	MAX8554	0.646	0.698	V
Lower Threshold	MAX8554	0.504	0.552	V
POK Output Low Level	$I_{SINK} = 2mA$		0.4	V
POK Output High Leakage	$V_{POK} = +5V$		5	$\mu A$

**Note 1:** Consult factory for applications that require higher than 3.5V output.

**Note 2:** On-time and off-time specifications are measured from 50% point to 50% point at the DH pin with LX forced to 0V, BST forced to 5V, and a 250pF capacitor connected from DH to LX. Actual in-circuit times may differ due to MOSFET switching speeds.

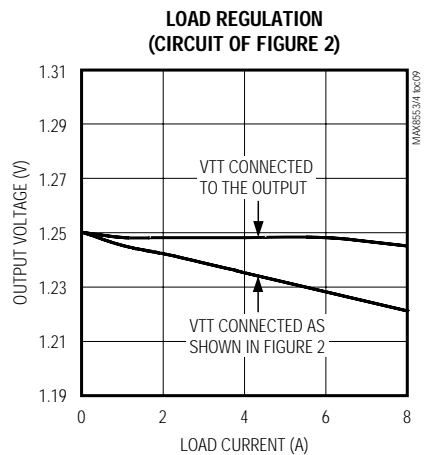
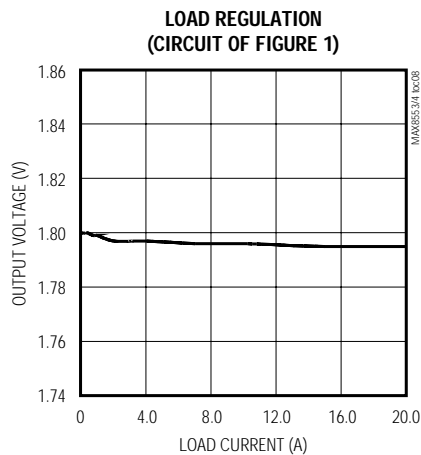
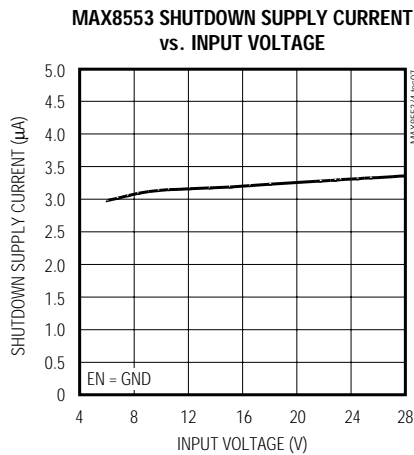
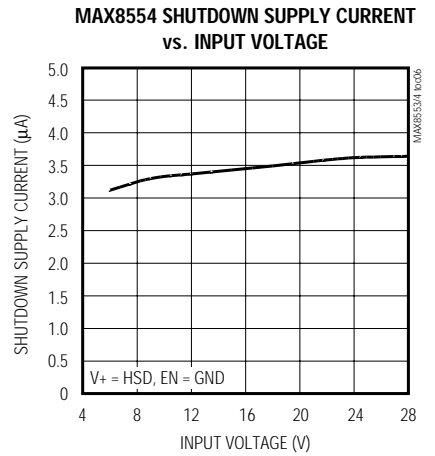
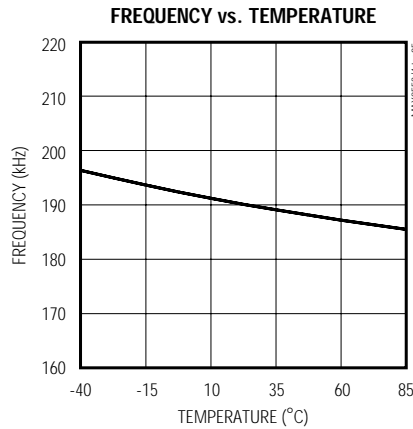
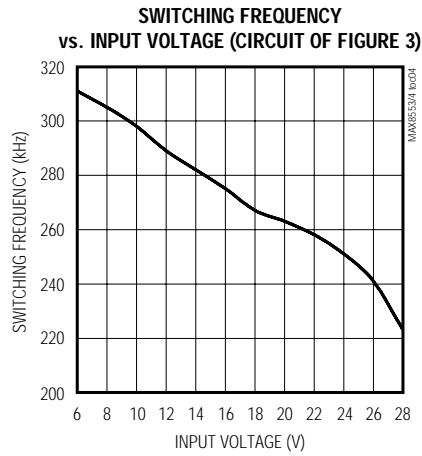
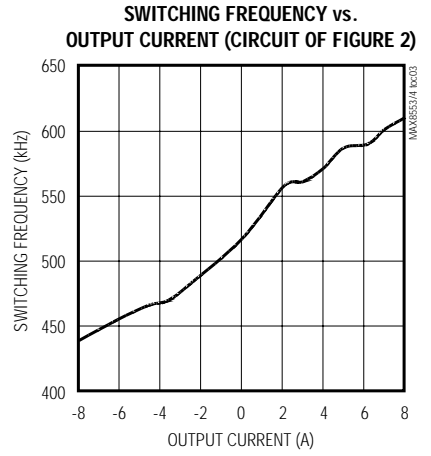
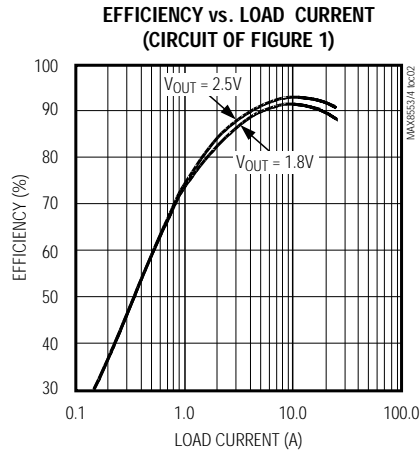
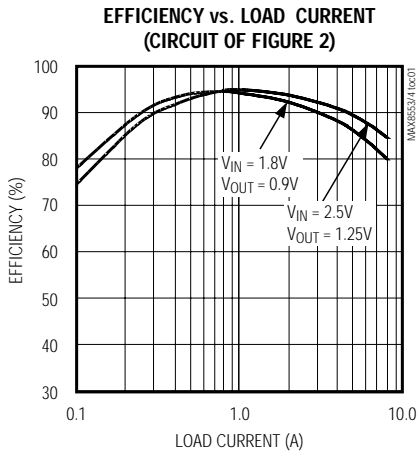
**Note 3:** Specifications to  $-40^{\circ}C$  are guaranteed by design and are not production tested.

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## 標準動作特性

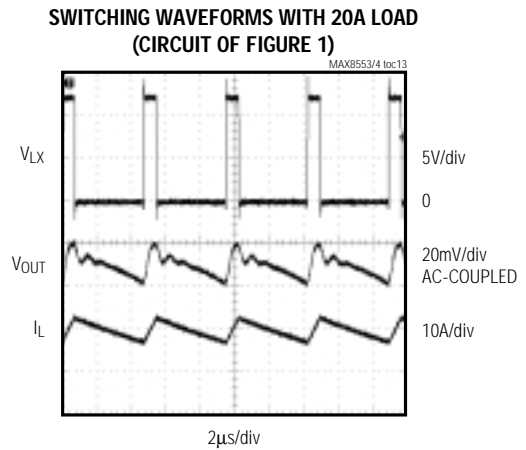
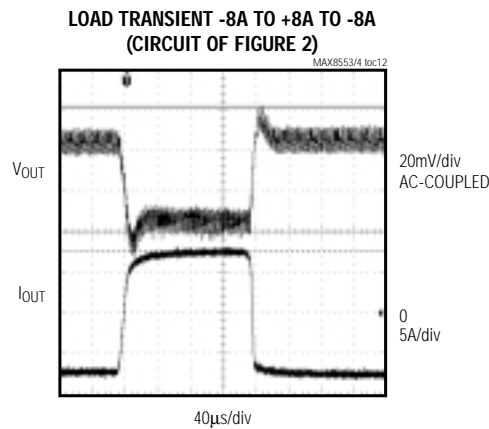
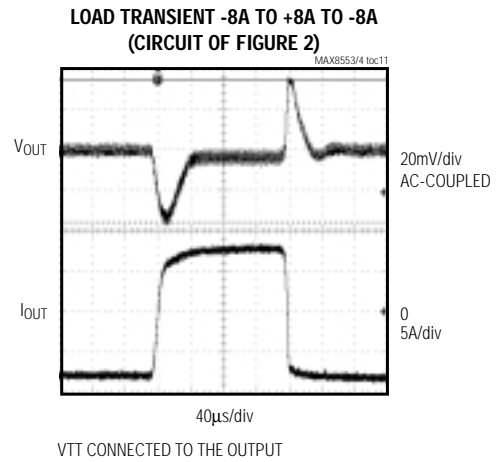
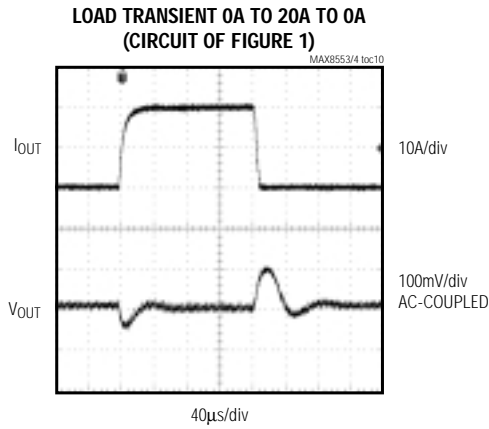
( $V_{IN} = 12V$ ,  $V_{OUT} = 1.8V$ , circuit of Figure 1,  $T_A = +25^\circ C$ , unless otherwise noted.)



# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

## 標準動作特性(続き)

( $V_{V+} = 12V$ ,  $V_{OUT} = 1.8V$ , circuit of Figure 1,  $T_A = +25^\circ C$ , unless otherwise noted.)



MAX8553/MAX8554

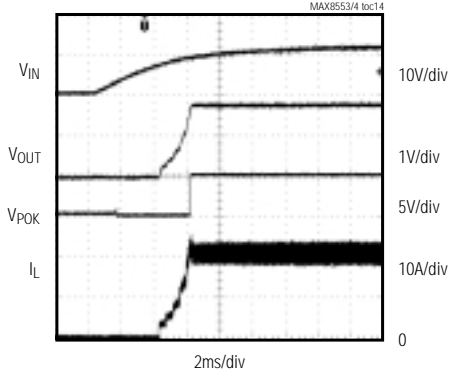
# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8553/MAX8554

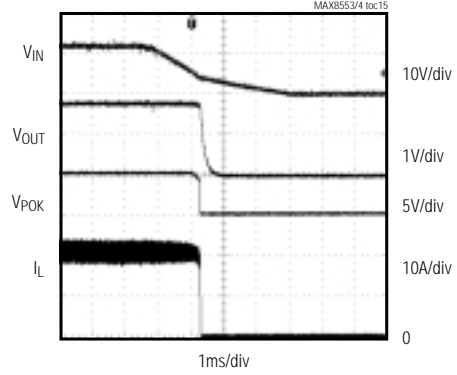
## 標準動作特性(続き)

( $V_{V+} = 12V$ ,  $V_{OUT} = 1.8V$ , circuit of Figure 1,  $T_A = +25^\circ C$ , unless otherwise noted.)

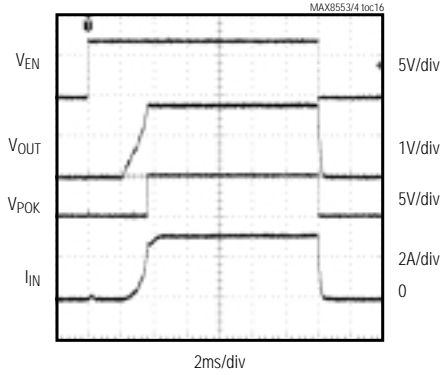
POWER-UP WAVEFORMS WITH 20A LOAD  
(CIRCUIT OF FIGURE 1)



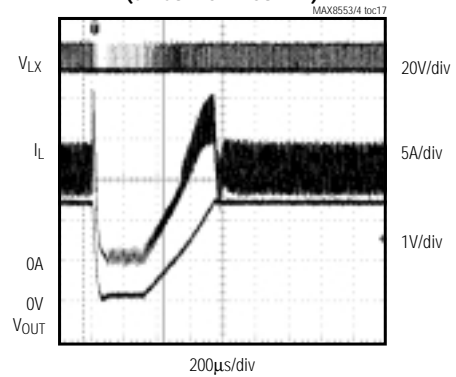
POWER-DOWN WAVEFORMS WITH 20A LOAD  
(CIRCUIT OF FIGURE 1)



STARTUP/SHUTDOWN WAVEFORMS WITH  
20A LOAD (CIRCUIT OF FIGURE 1)



SHORT CIRCUIT AND RECOVERY  
(CIRCUIT OF FIGURE 1)



# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## 端子説明

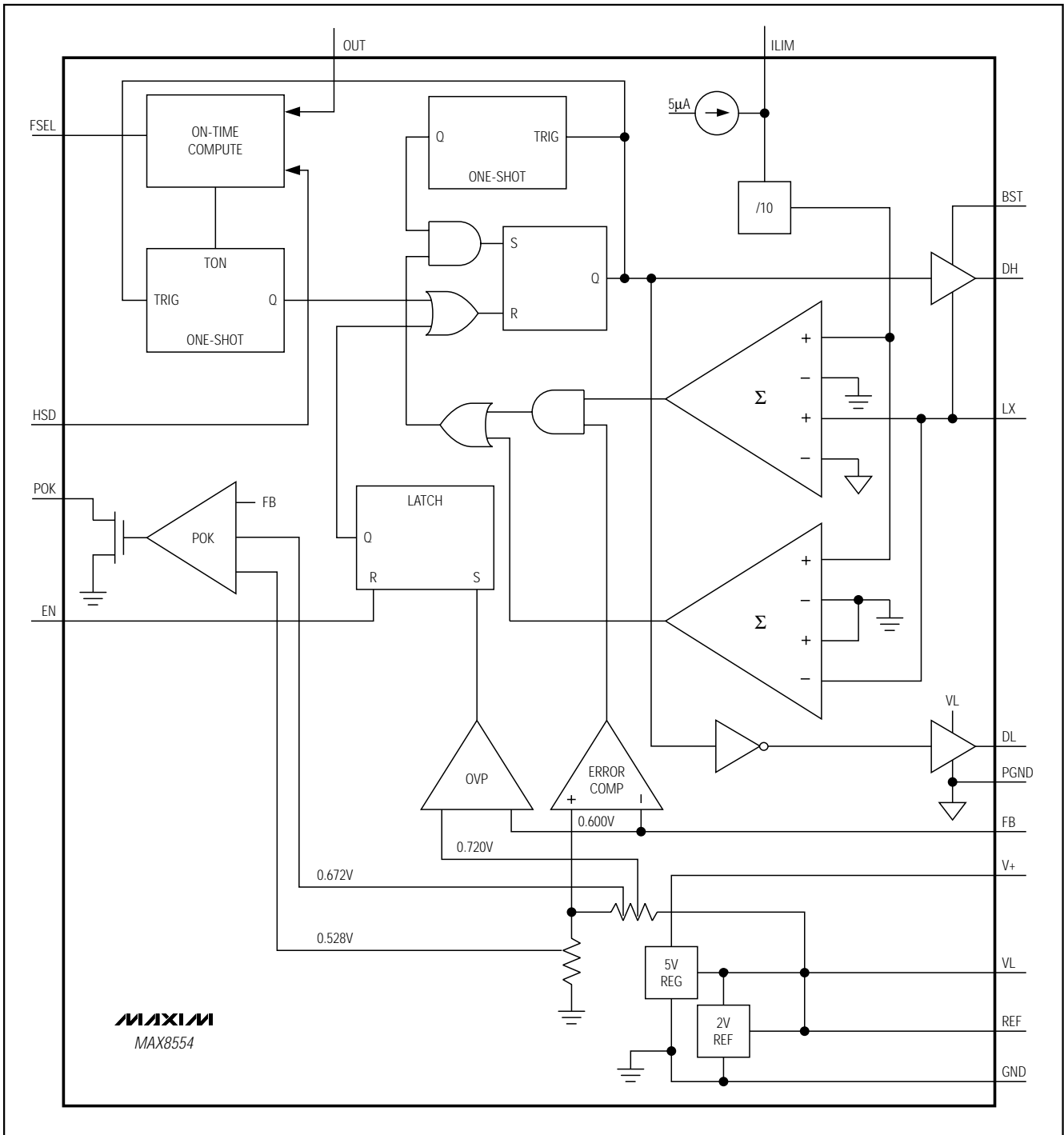
端子	MAX8553	MAX8554	機能
1	EN/HSD	—	イネーブル/ハイサイドのドレイン用端子。通常の動作を行わせるためには、この端子をハイサイドNチャンネルMOSFETのドレインに5.1k の抵抗を通して接続してください。低電力シャットダウン状態とするためには、GNDに接続してください(図2)。イネーブル機能を使わない場合は、EN/HSDを直接、ハイサイドNチャンネルのMOSFETのドレインに接続してください。
	—	HSD	ハイサイドのドレイン端子。通常動作を行わせるためには、ハイサイドNチャンネルMOSFETのドレインに接続してください。
2	REFIN	—	リファレンス入力端子。REFINに印加した電圧は $V_{VT}$ と $V_{VTTR}$ を $1/2 V_{REFIN}$ に設定します。REFINの電圧範囲は0 ~ +3.6Vまでです。
	—	EN	イネーブル入力端子。ENをハイに駆動すると、出力がイネーブルとなります。ENをローに駆動すると、ICをシャットダウンします。イネーブル機能を使わない場合はENをV+に接続してください。
3	POK	POK	Power-OK出力端子。POKはオープンドレイン型の出力であり、VTTとVTTRの両方が設定値の12%以内の場合にロジックがハイとなります。シャットダウンの場合、POKはローにプルダウンされます。
4	VTT	—	VTTのフィードバック入力端子。この端子をVTTの出力に接続してください。
	—	FB	フィードバックの出力端子。出力電圧値を設定するために、この端子を出力とグラウンド間の抵抗分圧器の midpoint に接続してください。FB端子のスレッシュホールド電圧は0.6Vです。
5	ILIM	ILIM	電流制限スレッシュホールド設定。ILIMとGND間に電流制限スレッシュホールド設定用の抵抗を接続するか、またはVLにILIMを接続すると電流制限値はデフォルト値に設定されます。「電流制限値の設定」の項を参照ください。
6	FSEL	FSEL	周波数の選択端子。この端子を使って周波数を選択します。FSELの構成については表1と2を参照してください。
7	REF	REF	リファレンス出力端子。REFとGND間に0.22 $\mu$ F以上のコンデンサを接続してください。
8	GND	GND	グラウンド端子。
9	VTTR	—	VTTRリファレンス出力端子。VTTRとGND間に1 $\mu$ F以上のコンデンサを接続してください。VTTR端子から最大25mAをソースまたはシンクすることができます。
	—	OUT	出力電圧端子。この端子に出力を直接、接続してください。OUTはハイサイドのスイッチングMOSFETがオン時間を決定するために出力電圧を検出します。
10	V+	V+	電源入力端子。この端子からVL用のレギュレータに電源が供給されます。この端子には0.22 $\mu$ F以上のバイパス用コンデンサを接続してください。
11	VL	VL	内部レギュレータの出力端子。VLとGND間に2.2 $\mu$ F以上のコンデンサを接続してください。動作範囲が+4.5V ~ +5.5Vの場合、VLはV+に接続することができます。
12	DL	DL	ローサイドのMOSFETのゲート駆動端子。ローサイドNチャンネルMOSFETのゲートに、この出力を接続してください。シャットダウンまたは低電圧ロックアウトの場合、DLはローとなります。
13	PGND	PGND	電源グラウンド。
14	BST	BST	ブートストラップの供給端子。この端子はハイサイドのNチャンネルMOSFETを駆動するのに使われます。BSTとLXの間に0.1 $\mu$ F以上のコンデンサを接続してください。
15	DH	DH	ハイサイドMOSFETのゲート駆動端子。この端子をハイサイドNチャンネルのMOSFETのゲートに接続してください。シャットダウンまたは低電圧ロックアウトの場合、DHはローとなります。
16	LX	LX	インダクタのスイッチング端子。



# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

ファンクションダイアグラム(続き)

MAX8553/MAX8554



# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## 標準動作回路

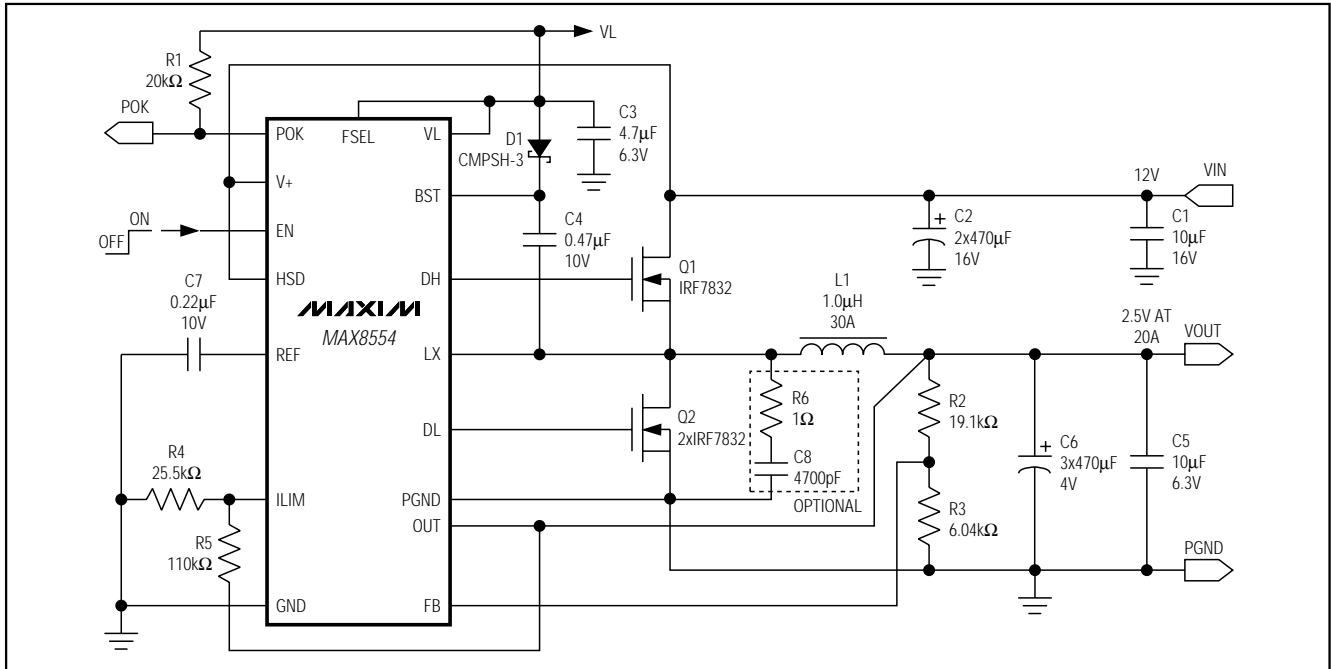


図1. 標準動作回路1：12V入力、スイッチング周波数200kHz、2.5V出力、最大20A

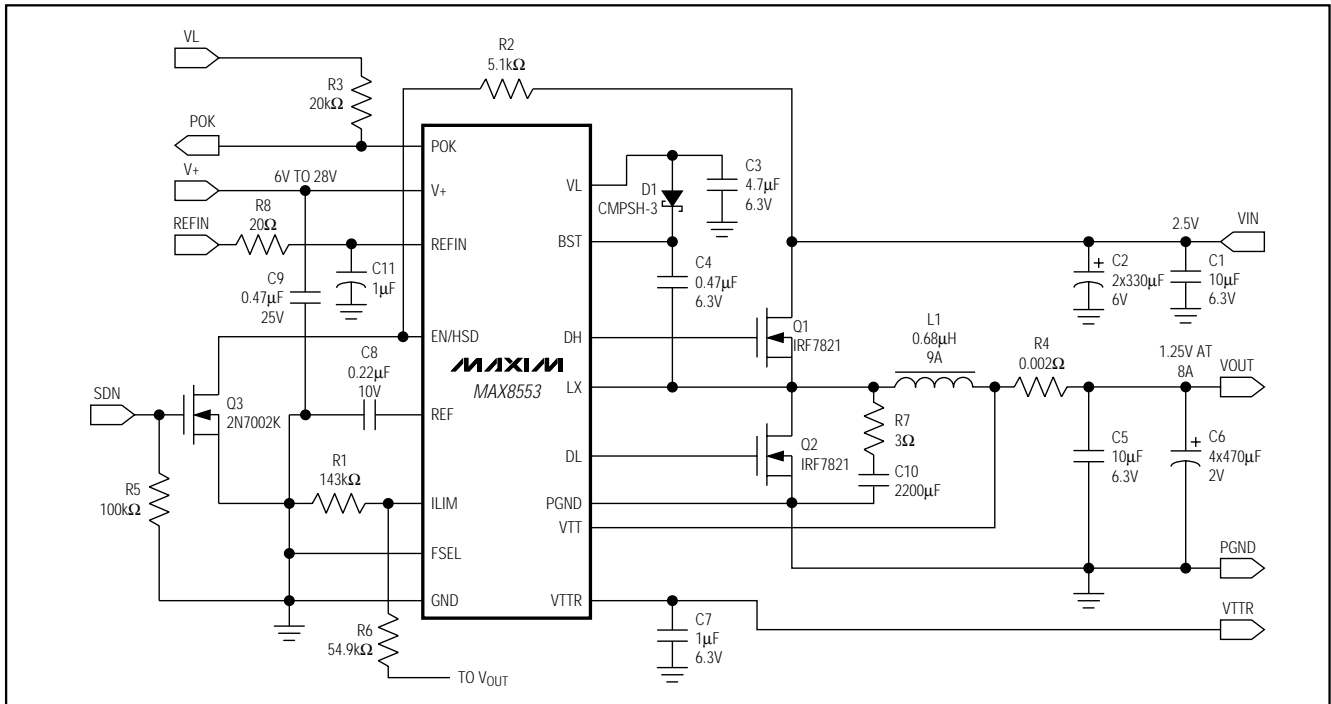


図2. 標準動作回路2：2.5V入力、スイッチング周波数550kHz、VTT用1.25V、最大8A、VTTR用1.25V、最大25mA

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

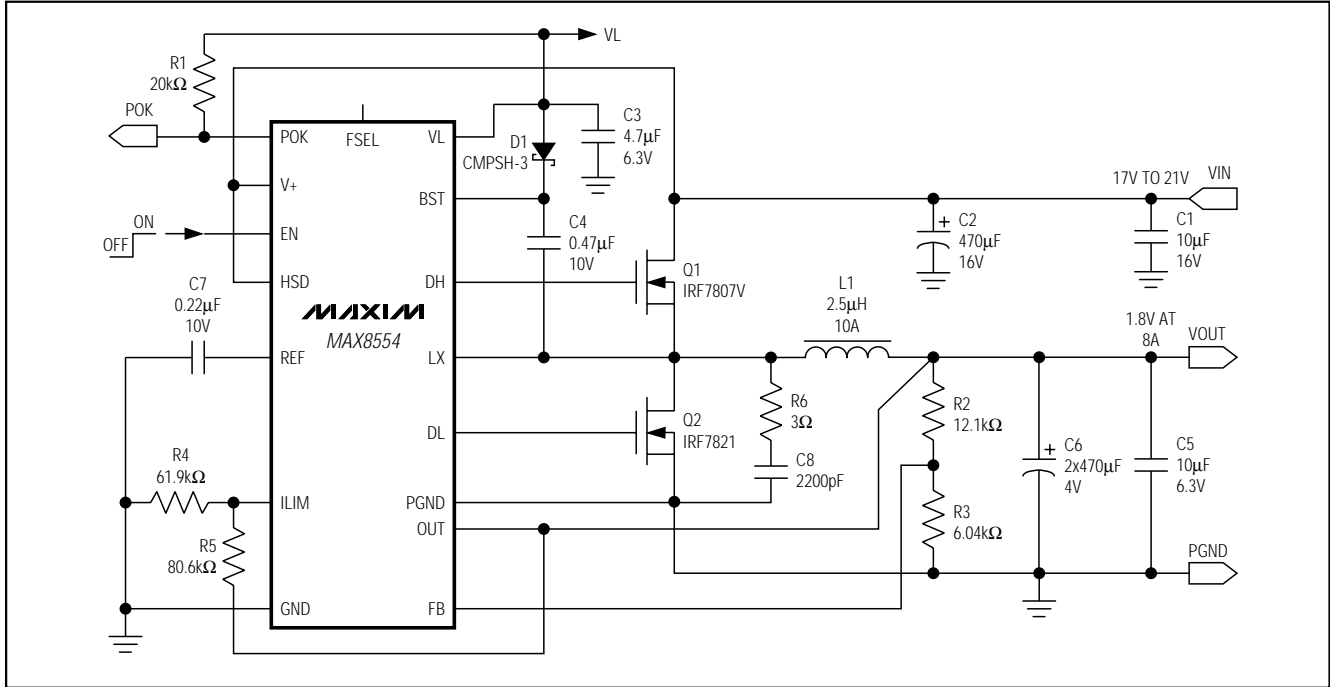


図3. 標準動作回路3：19V入力、スイッチング周波数300kHz、1.8V出力、最大8A

## 詳細

### 内部のリニアレギュレータ

内部のレギュレータが+5Vの電源(VL)を作り出し、それはPWMコントローラ、MOSFETドライバ、ロジック、リファレンス、及びIC内の他のブロックに供給されます。この+5V低ドロップアウト(LDO)のリニアレギュレータはMOSFETのゲートドライバと外部の負荷に最大35mAの電流を供給します。電源電圧が+4.5V ~ +5.5Vの場合はVLをV+に接続してください。この接続で、VLのレギュレータがバイパスされるため、効率が上がりICはより低い入力電圧で動作することができます。

### オン時間のワンショット及びスイッチング周波数

PWMの心臓部はハイサイドスイッチのオン時間を設定するワンショットです。この高速でジッタの小さい、調整可能なワンショットは、入力と出力電圧両方に応答して、そのオン時間を変化させる回路を持っています。ハイサイドスイッチのオン時間はEN/HSD入力(HSDはMAX8554用)で測定した入力電圧に反比例し、出力電圧に正比例します。このアルゴリズムは、固定周波数のクロック発生器を持たないにもかかわらず、ほとんど一定のスイッチング周波数を作り出すこととなります。スイッチング周波数は例えば455kHz IF帯域のような

ノイズに敏感な領域を避けるように設定することができます。また、スイッチング周波数が一定であると、インダクタのリプル電流の動作点が比較的一定に保たれ、設計方法の容易さと、出力電圧リップルの予測の容易さをもたらします。

MAX8553のオン時間( $t_{ON}$ )を求める一般式は次の通りです：

$$t_{ON} = K \times N \times \frac{1}{V_{EN/HSD}} \times V_{OUT}$$

ここで、 $V_{EN/HSD}$ と $V_{OUT}$ は、それぞれ、EN/HSD及び出力で測定した電圧であり、 $K = 1.7 \mu s$ です。Nの値はFSELの構成によって決まり、これは表1に示されています。

MAX8554については、オン時間( $t_{ON}$ )の一般式は次の通りです：

$$t_{ON} = K \times N \times \frac{1}{V_{HSD}} \times V_{OUT}$$

ここで、 $V_{HSD}$ と $V_{OUT}$ は、それぞれ、HSDと出力で測定した電圧であり、 $K = 1.7 \mu s$ です。

Nの値はFSELの構成によって決まり、これは表2に示されています。

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

表1. FSELの構成(MAX8553)

FSEL CONNECTED TO	N	t <sub>ON</sub> (μs)	FREQUENCY (kHz)	CONDITION
Ground	1.07	0.91	550	V <sub>OUT</sub> / V <sub>EN/HSD</sub> = 0.5
REF	1.33	1.15	400	V <sub>OUT</sub> / V <sub>EN/HSD</sub> = 0.5
Floating	2.00	1.70	300	V <sub>OUT</sub> / V <sub>EN/HSD</sub> = 0.5
VL	3.00	2.55	200	V <sub>OUT</sub> / V <sub>EN/HSD</sub> = 0.5

表2. FSELの構成(MAX8554)

FSEL CONNECTED TO	N	t <sub>ON</sub> (μs)	FREQUENCY (kHz)	CONDITION
Ground	1.07	0.37	550	V <sub>HSD</sub> = 12V, V <sub>OUT</sub> = 2.5V
REF	1.33	0.49	400	V <sub>HSD</sub> = 12V, V <sub>OUT</sub> = 2.5V
Floating	2.00	0.71	300	V <sub>HSD</sub> = 12V, V <sub>OUT</sub> = 2.5V
VL	3.00	1.02	200	V <sub>HSD</sub> = 12V, V <sub>OUT</sub> = 2.5V

このアルゴリズムは、固定の周波数発生器を持たないにもかかわらず、ほとんど一定のスイッチング周波数を持つこととなります。実際のスイッチング周波数は以下に示す式で表すことができますが、これはMOSFETのオン抵抗に生じる電圧降下と出力インダクタのDC抵抗に依存して、わずかに変化します：

$$f_s = \frac{D}{t_{ON}} \cong \frac{1}{K \times N}$$

ここで、Dはデューティサイクルです：

$$D = \frac{V_{OUT} + I_O(R_{DS(ON)L} + R_{DC})}{V_{HSD} + I_O(R_{DS(ON)L} - R_{DS(ON)H})}$$

ここで、I<sub>O</sub>は出力電流、R<sub>DS(ON)L</sub>はローサイドMOSFETのオン抵抗、R<sub>DS(ON)H</sub>はハイサイドMOSFETのオン抵抗、及びR<sub>DC</sub>は出力インダクタのDC抵抗です。V<sub>REFIN</sub> = 2.5Vの場合の理想的なスイッチング周波数はおよそ550kHzです。スイッチング周波数は正(供給)負荷電流で高くなり、負(吸収)負荷電流で低くなります。これはインダクタ電流の放電傾斜を変化させるローサイドMOSFETの電圧降下を変化させるために起こります。「ELECTRICAL CHARACTERISTICS」で仕様値を保証されたオン時間は、また、外部の電力MOSFETの負荷効果によって起こるスイッチングの遅延による影響を受けます。

スイッチング周波数はHSD端子に抵抗による電圧分割器を接続することによってプリセット値以外の値に変えることができます。「スイッチング周波数の調整」の項を参照してください。

## VTTRリファレンス(MAX8553のみ)

MAX8553のVTTR出力は最大25mAの電流をソースまたはシンクすることができます。VTTRの出力電圧は

REFINに供給した電圧の半分です。VTTRは最低1μFのセラミックコンデンサでバイパスしてください。

## 電圧リファレンス

REF端子の電圧は2.00Vの公称値を持ちます。REFとGND間に0.22μFのバイパス用セラミックコンデンサを接続してください。

## ENとHSD(MAX8554のみ)

ENはMAX8554をイネーブルとするかシャットダウンとするかを決定するロジック入力端子です。ENをハイに駆動するか、またはV+に接続すると出力をイネーブルとします。ENをローに強制するとMAX8554は低電力のシャットダウンモードとなり、入力電流を5μA(typ)以下に減らします。

HSDはハイサイドMOSFETのドレインにおいて入力電圧を検出します。これはハイサイドMOSFETのオン時間を設定するのに使われます。通常の動作を行わせるためには、HSDをハイサイドMOSFETのドレインに接続してください。

## EN/HSD機能(MAX8553のみ)

端子数を少なくし、パッケージサイズを小さくするためにMAX8553はEN/HSDという入力端子に二重の機能を持たせています。EN/HSDがグラウンドに強制されたとき、内部回路の電源はオフとなり、電流消費を5μA(typ)以下に減じます。通常の動作をイネーブルとするためには、EN/HSDを5.1kΩの抵抗を通してハイサイドMOSFETのドレインに接続してください(図2)。この構成の場合、EN/HSDはハイサイドMOSFETのドレイン電圧(コンバータの入力電圧)を監視する入力となり、その測定値をコンバータの適切なオン時間を計算するために使います。イネーブル機能が使われない場合はEN/HSDを直接ハイサイドMOSFETのドレインに接続してください。

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

## プリ放電モード

MAX8553/MAX8554はデジタルソフトスタートが始まる前に出力をGNDに放電します。EN/HSD(EN)がハイに強制された場合、MAX8553(MAX8554)は内部のカウンタをスタートさせ、 $V_{DL}$ を $V_{VL}$ に強制します。これがローサイドMOSFETを通して出力をGNDに放電させます。もし出力電圧がイネーブルの前にグラウンド以上のレベルになっているとすると、出力電圧は出力部のLCに蓄積されていたエネルギーによりわずかに負となります。もし、負荷が負電圧に耐えることができない場合は、出力とPGNDの間に(アノードをPGNDとして)電力用ショットキダイオードを接続してください。これは逆極性のクランプ回路として働きます。この放電モードの時間は1.7msです。降圧型コントローラとVTTRパuffアの両方はこの期間はオフとなっています。このプリ放電の後、降圧型コントローラとVTTRパuffアの両方はオンとなり、ソフトスタートが行われます。

## デジタルソフトスタート

デジタルソフトスタートは、スタート期間に電流制限レベルを少しずつ大きくして入りにサージ電流が流れることを防ぎます。MAX8553/MAX8554はソフトスタートの期間を5つのフェーズに分割しています。最初のフェーズでは、コントローラは電流制限を最大の電流制限のわずか20%に抑えます。もし、出力が425 $\mu$ s以内にレギュレーションに達しなければ、ソフトスタートは2番目のフェーズに入り、電流制限値をさらに20%増加させます。このプロセスは、最大の電流制限に達する(1.7ms後)まで、もしくは出力が公称レギュレーション電圧に到達するまでの、いずれかが先に起こるまで繰り返されます。外部に接続するILIM抵抗と並列にコンデンサを接続すると、連続的に調整が可能なアナログソフトスタート機能を可能とします。アプリケーション回路にフォールドバック型の電流制限機能がある場合、最大の電流制限値は同様に出力電圧とILIMに接続した抵抗の関数となります。

## パワーグッド出力(POK)

POKはMAX8553の場合はVTTとVTTRを、MAX8554の場合はFBを、連続的に監視する内部のウインドウコンパレータのオープンドレイン型の出力です。POKはシャットダウンの時はアクティローとなり、出力がそれぞれの公称調整電圧の12%以内となっていれば、ハイインピーダンスとなります。

## 過電圧保護(OVP)

降圧型の出力電圧が公称の調整電圧の120%を超えるとOVP回路が故障ラッチをセットしPWMコントローラをシャットダウンとし、即座にDHをローに、DLをハイに強制します。また、負の電流制限も同時に不能となります。これがローサイドMOSFETをオンとし、出力コンデンサを急速に放電し、出力をグラウンドレベルにクランプします。DLを即座にハイにラッチするとOVPが起こる瞬間の出力回路のLCに蓄積されていたエネルギーにより、出力電圧がわずかに負になる可能性があることに留意してください。もし負荷が負の電圧に耐えることができない場合は、出力とPGND間に(アノードをPGNDに接続して)パワーショットキダイオードを置いてください。これは逆極性のクランプとして働きます。ENを複数回動作させるか、または電源の再入力でラッチは解除されます。

## 過電流の保護

電流制限回路は独特な“谷(valley)”電流検出アルゴリズムを採用しており、これは電流検出用の素子としてローサイドのMOSFETのオン抵抗を用います。もし、この電流検出信号が電流制限のスレッシュホールドを超えた場合は、PWMは新しいサイクルを開始することができません。実際のピーク電流は電流制限スレッシュホールドよりもインダクタのリプル電流だけ大きくなります(図4)。従って、正確な電流制限特性及び最大負荷性能はMOSFETのオン抵抗、インダクタ値、及び入力電圧の関数となります。この不確定性によって、堅牢で、無損失の過電流検出ができます。また同様に、 $V_{OUT}$ が電流を負荷から吸収している場合、過剰な逆電流がインダクタに流れることを防ぐ負の電流制限機能があります。負の電流制限スレッシュホールドは正の電流制限の約110%に設定されており、従ってILIMを調整した場合は正の電流制限値と連携しています。電流制限スレッシュホールドはILIMに外部抵抗( $R_{ILIM}$ )を接続することで調整できます。ILIM端子に正確な5 $\mu$ Aのプルアップ電流源があり、この抵抗の電圧降下を設定して電流制限スレッシュホールドを約50mV ~ 200mVに設定します。調整可能モードでは電流制限スレッシュホールド電圧は正確にILIM端子の電圧の1/10になります。従って、 $R_{ILIM}$ は電流制限スレッシュホールドに対して2k /mVとなります。ILM端子をVLに接続するとスレッシュホールドはデフォルト値の100mVとなります。100mVのデフォルト値に切替わる論理スレッシュホールドはおおよそ $V_{VL} - 1V$ です。電流制限が可変であることによって、種々のMOSFETの使用が可能になります。また、フォールドバック型の電流制限はILIMと $V_{OUT}$ の間に抵抗を接続することによって実現することができます。「電流制限値の設定」の項を参照してください。

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V~28V入力、同期PWM降圧型コントローラ

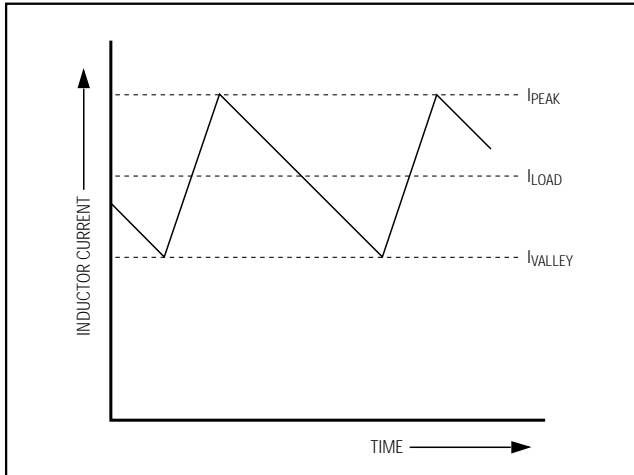


図4. インダクタ電流の波形

ノイズやDC電圧誤差がLXとPGND間に存在する電流検出信号を乱すことがないようにプリント基板のレイアウトのガイドラインを注意して守ってください。ICはローサイドMOSFETの近くに配置し、短い直接配線で、ソースとドレイン端子に対してはケルビン接続としてください。「プリント基板のレイアウト」の項を参照してください。

## 電圧ポジショニング

Quick-PWM制御方式は、ほとんど即座に過渡負荷変動にตอบสนองして従来型のPWMコントローラの制御ループが持つ遅延を排除します。従って、ステップ負荷変動中の電圧偏移の大部分は出力コンデンサのESR(等価直列抵抗)により起こります。DDR終端のアプリケーション例では、電流の供給または吸収のいずれに対しても出力負荷の過渡時の $\pm 40\text{mV}$ 以上の偏移は許されません。受動電圧ポジショニングがコンデンサの出力電圧をその負荷電流に基づいて調整することで、過渡応答を最適化し、必要とする出力コンデンサの値を最小化します。

電圧ポジショニングは図2に示すように小さい抵抗(R4)を接続することによって実現できます。

## MOSFETドライバ

DHとDLドライバは最大25Aまでの電流を流すことができるMOSFETを駆動するように最適化されています。適応型デッドタイム回路がDL出力を監視し、DLが十分にオフになるまでハイサイドMOSFETがオンになることを防ぎます。DLドライバからMOSFETのゲートまでは低い抵抗と小さいインダクタンス路となるようにして、適応型デッドタイム制御回路が正常に働くようにしなければなりません。そうでない場合は、実際にゲートに電荷がなお残っているにもかかわらず、MAX8553/MAX8554内の検出回路がMOSFETのゲートを“オフ”

とすることがあります。非常に短く、幅の広い10~20スクエアの配線としてください(MAX8553/MAX8554からMOSFETが1インチ離れていれば、50ミルから100ミル幅としてください)。この適応型デッドタイム遅延は30ns(typ)の固定遅延に加えられます。他方のエッジ(DHがオフするとき)におけるデッドタイムは固定の32ns(typ)内部遅延によって決定されます。

## 設計手法

### 出力電圧の設定

MAX8553の場合、出力電圧、 $V_{\text{OUT}}$ は常に $V_{\text{REFIN}}$ の50%となります。

MAX8554の場合、出力電圧は抵抗分圧器(図1と3におけるR2とR3)を用いて600mV~3.5Vの間で調整することができます。電圧を設定するために、R3を1k~10kの範囲で選定し、その後、次の式を用いてR2を求めてください:

$$R2 = R3 \left( \frac{V_{\text{OUT}}}{V_{\text{FB}}} - 1 \right)$$

ここで、 $V_{\text{FB}}$ は0.6Vです。

### インダクタの選択

インダクタの3つの重要なパラメータを決めなければなりません: インダクタンス値(L)、ピークのインダクタ電流( $I_{\text{PEAK}}$ )、及びDC抵抗( $R_{\text{DC}}$ )です。部品の大きさと効率の間の良い妥協はインダクタのピークトゥピークのリップル電流を最大負荷電流の30%にすることであり、従ってLIR=0.3となります。スイッチング周波数、入力電圧、出力電圧、及び選定したLIRからインダクタの値を次の式のように計算できます:

$$L = \frac{V_{\text{OUT}}(V_{\text{IN}} - V_{\text{OUT}})}{V_{\text{IN}} \times f_{\text{S}} \times I_{\text{LOAD(MAX)}} \times \text{LIR}}$$

ここで $f_{\text{S}}$ はスイッチング周波数です。正確なインダクタの値は重要ではなく、サイズ、コスト、及び効率の間の妥協の上で決定できます。インダクタの値を小さくすると、サイズとコストが小さくなり、過渡応答を改善することができますが、ピーク電流が大きくなることによって効率の低下と出力電圧リップルの増大を招きます。インダクタンスの値を大きくすると、RMS電流が減り、効率が向上します。

割り当てられた寸法に適合する最小のDC抵抗を持つ低損失のインダクタを探してください。インダクタの電流飽和定格が定義された最大負荷電流( $I_{\text{LOAD(MAX)}}$ )におけるピークインダクタ電流よりも大きくなければなりません:

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

$$I_{PEAK} = I_{LOAD(MAX)} + \left(\frac{LIR}{2}\right) \times I_{LOAD(MAX)}$$

## 出力コンデンサの選定

出力コンデンサを選定する重要なパラメータは実際のコンデンサの値、ESR、等価直列インダクタンス(ESL)、及び電圧定格仕様であり、これらは全体の安定性、出力リップル電圧、及び過渡応答に影響を及ぼします。

ワーストケースの出力リップルは3つの成分からなります：出力コンデンサに蓄積された電荷の変動、コンデンサのESRによる電圧降下、及びコンデンサの入出力電流によるESLです。これは以下の式を用いて近似的に求めることができます：

$$V_{RIPPLE} = V_{RIPPLE(ESR)} + V_{RIPPLE(C)} + V_{RIPPLE(ESL)}$$

ESRによる出力電圧リップルは次の式によります：

$$V_{RIPPLE(ESR)} = I_{p,p} \times ESR$$

出力コンデンサの値による出力電圧リップルは次の式で計算できます：

$$V_{RIPPLE(C)} = \frac{I_{p,p}}{8 \times C_{OUT} \times f_S}$$

出力コンデンサのESLによる出力電圧リップルは次の式で計算できます：

$$V_{RIPPLE(ESL)} = (V_{IN} \times ESL) / (L + ESL)$$

$I_{p,p}$ はピークトゥピークで表したインダクタ電流であり、次の式によります：

$$I_{p,p} = \frac{V_{IN} - V_{OUT}}{f_S \times L} \times \frac{V_{OUT}}{V_{IN}}$$

負荷に過渡変化があった後、出力電圧は即座に  $ESR \times \Delta I_{LOAD} + ESL \times di/dt$  だけ変化し、コントローラは100ns以内に応答して公称の出力値にレギュレートして戻そうとします。

固体ポリマまたはOSCON電解コンデンサは、スイッチング周波数において小さいESRとESLを持つため、推奨できます。大きい出力電流のアプリケーションでは多数の出力コンデンサを並列に接続して出力電圧リップルの要件に対応します。コンデンサの電圧またはリップル電流定格をオーバーしないようにしてください。

## 出力コンデンサの安定性の考察

安定性はESRにより形成されるゼロとスイッチング周波数の相対的な値によって決定されます。安定性を保証するためには、以下の条件が満たされなければなりません：

$$f_{ESR} < \frac{f_S}{\pi}$$

ここで $f_S$ はスイッチング周波数であり：

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}}$$

標準的な300kHzアプリケーションでは、ESRによるゼロ周波数は95kHzよりも十分に低い、可能であれば50kHz以下としなければなりません。安定性のことを考えないで大きい値を持つセラミックコンデンサを直接、フィードバックの検出点に配置しないでください。大きい値を持つセラミックコンデンサはESRによるゼロ周波数が高くなる可能性があり、不規則で不安定な動作を招きます。しかし、可能な限りインダクタに近い場所に設定すべきフィードバックの検出点よりも数インチ離れた下流の位置にコンデンサを配置して十分に大きい直列抵抗を加えることは容易なことです。

安定性をチェックする最も容易な方法は、非常に高速の無負荷から最大に変化する過渡負荷を印加し、注意深く出力電圧リップルの包絡線を見てオーバシュートやリングングが生じていないかを観察する方法です。また同時にACの電流プローブを用いてインダクタ電流を監視することにも役に立ちます。最初のステップ応答のアンダシュートまたはオーバシュート後のリングングが1サイクル以上にわたって続かないようにしてください。

## 入力コンデンサの選択

入力コンデンサ( $C_{IN}$ )は入力電源から引き出される電流ピークを減少させ、ノイズが注入されることを防ぎます。入力電源のソースインピーダンスが $C_{IN}$ の値の決定に大きく影響します。ソースインピーダンスが大きい場合は大きい入力コンデンサを必要とします。入力コンデンサはスイッチング電流によって生じるリップル電流( $I_{RMS}$ )の要件を満たさなければなりません。RMSで表した入力リップル電流は次の式で表すことができます：

$$I_{RMS} = I_{LOAD} \times \sqrt{\frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN}}}$$

$I_{RMS}$ の最大値は $1/2 I_{LOAD}$ であり、これは $V_{IN}$ が $V_{OUT}$ の2倍の場合に起こります。

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V~28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

最適の回路の信頼性を得るためには、ピークのリプル電流による温度上昇が10%以下のコンデンサを選択してください。

## 電流制限値の設定

一定の電流制限

電流制限値を調整できることによって、広い範囲のオン抵抗を持つMOSFETの選択が可能です。電流制限のスレッシュホールド値は $I_{LIM}$ とGND間に外部抵抗( $R_{ILIM}$ )を接続することによって調整することができます。調整範囲は50mV~200mVの範囲でローサイドのMOSFETで測定されます。 $R_{ILIM}$ の値は次に示す式を用いて計算することができます：

$$R_{ILIM} = 10 \times \frac{I_{VALLEY}}{5\mu A} \times R_{DS(ON)}$$

ここで $I_{VALLEY}$ は谷(valley)電流の限界値であり $R_{DS(ON)}$ はローサイドMOSFETのオン抵抗です。予想したよりも小さい電流で制限電流に達することを防ぐために、ジャンクション温度が高いときの $R_{DS(ON)}$ の最大値を用いてください。最大値についてはMOSFETメーカーのデータシートを参照してください。

## フォールドバック型の電流制限

フォールドバック型の電流制限は過負荷及び短絡状態における電力消費を減らすために使われます。これは、過負荷によって出力電圧が低下したとき、電流制限のスレッシュホールドを下げることによって行われます。

フォールドバック型の電流制限を使う場合は、抵抗( $R_{FOBK}$ )を $I_{LIM}$ と出力間に、抵抗( $R_{ILIM}$ )を $I_{LIM}$ とGND間に接続してください(図5)。 $R_{ILIM}$ と $R_{FOBK}$ の値は以下に示すように計算します。

最初にフォールドバックの%値、 $P_{FB}$ を決めてください。この%値は $V_{OUT}$ がゼロとなった場合の電流制限値を、 $V_{OUT}$ が正常であった場合の電流制限値で割り算した値に相当します。標準的な値は15%~30%です。抵抗値を求めるためには、次の式を使います：

$$R_{FOBK} = \frac{P_{FB} \times V_{OUT}}{5\mu A(1 - P_{FB})}$$

$$R_{ILIM} = \frac{10 \times R_{DS(ON)} \times I_{VALLEY} \times (1 - P_{FB}) \times R_{FOBK}}{V_{OUT} - (10 \times R_{DS(ON)} \times I_{VALLEY} \times (1 - P_{FB}))}$$

この計算で $R_{ILIM}$ の値が負となった場合は、より小さい $R_{DS(ON)}$ を持つ別のローサイドMOSFETを選択するか、または $P_{FB}$ を大きくするか、または両方の組み合わせを選んで、コスト、効率、及び短絡時の電力消費の抑制が最善のバランスで得られるようにしてください。

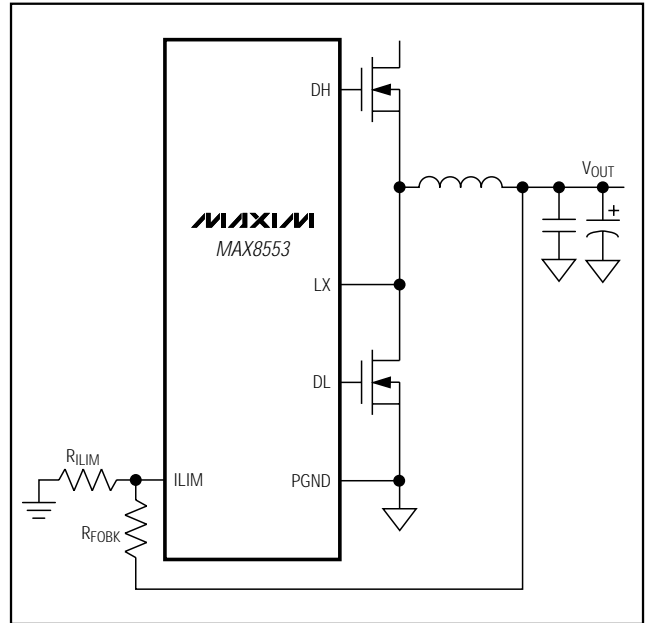


図5. 2つの抵抗、 $R_{ILIM}$ 及び $R_{FOBK}$ を使ってフォールドバック電流制限を設定する

## スイッチング周波数の調整

MAX8553/MAX8554のスイッチング周波数は、図6に示すように抵抗分圧器をEN/HSD(HSD)に追加してFSELによって設定した値から下げることができます。この分圧器はEN/HSD(HSD)の端子電圧を下げ、それをICが検出してオン時間を増加させます。抵抗分圧器を追加した場合のスイッチング周波数は以下のように計算することができます：

$$f_s \cong \frac{1}{K \times N} \times \frac{R_2}{R_1 + R_2}$$

ここで、 $K = 1.7\mu s$ であり、 $N$ は表1と2に表されている値です。周波数を設定するためには、 $R_2$ として10k~100kの値とし、次の式を使って $R_1$ を計算してください：

$$R_1 = \frac{1}{K \times N} \times \frac{R_2}{f_s} - R_2$$

抵抗分圧器を使い、最低入力電圧の場合に、EN/HSD(HSD)に表れる電圧が、1.5V以上となることを確認してください：

$$\frac{V_{IN(MIN)} \times R_2}{R_1 + R_2} > 1.5V$$



# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

$$P_{HSCC} = \frac{V_{OUT}}{V_{IN}} \times (I_{LOAD})^2 \times R_{DS(ON)}$$

$T_{J(MAX)}$ における $R_{DS(ON)}$ を使って：

$$P_{HSSW} = V_{IN} \times I_{LOAD} \times f_S \times \frac{Q_{GS} + Q_{GD}}{I_{GATE}}$$

ここで、 $I_{GATE}$ は平均のDH駆動出力電流であり、次の式を使って決定できます：

$$I_{GATE} = \frac{2.5V}{R_{DH} + R_{GATE}}$$

ここで、 $R_{DH}$ はハイサイドMOSFETドライバのオン抵抗(1.4 typ)であり、 $R_{GATE}$ はMOSFET内部のゲート抵抗です(~ 2 )：

$$P_{HSDR} = Q_G \times V_{GS} \times f_S \times \frac{R_{GATE}}{R_{GATE} + R_{DH}}$$

ここで、 $V_{GS} = V_{VL} = 5V$ です。

MAX8553が電流をシンクしているとき、ハイサイドMOSFETはゼロ電圧スイッチとして動作し、ローサイドMOSFETは非ゼロ電圧スイッチとして動作します。

上述の損失に加えて、20%程度の損失があることを見込んでください。それはMOSFETの出力容量及びMOSFETのデータシートで十分に規定されていないハイサイドMOSFET内で消費されるローサイドMOSFETのボディダイオードの逆回復電荷による損失が加わるからです。上で計算された電力消費の場合に、必要とする最大動作ジャンクション温度を維持するのに必要なプリント基板の面積を計算するための熱抵抗の仕様についてはMOSFETのデータシートを参照してください。

スイッチングノイズに起因するEMIのノイズを減らすためには、0.1 $\mu$ Fのセラミックコンデンサをハイサイドスイッチのドレインとローサイドスイッチのソースの間に接続するか、またはDH及びDLと直列に抵抗を加え、スイッチング遷移をスローダウンしてください。直列抵抗を追加すると、MOSFETの電力消費が増加するため、このことでMOSFETが過熱しないことを確認してください。

## ICの電力消費をコントロールする

MAX8553/MAX8554のIC内での電力消費は主にMOSFETを駆動するための、チップに搭載したゲートドライバ(DHとDL)によります。この電力消費は採用した外付けのMOSFETのゲート電荷に依存します。MAX8553における電力消費は、また、VTTRの負荷電流( $I_{VTTR}$ )にも依存します。電力消費を計算するためには、次の式を用いてください：

$$P_D = (V_{V+}) \times [f_S \times (Q_{GH} + Q_{GL}) + I_{VTTR}]$$

ここで、 $Q_{GH}$ と $Q_{GL}$ はそれぞれ、ハイサイド及びローサイドのMOSFETのゲート電荷の合計です。スイッチング周波数と $V_{V+}$ を適切に選択して、電力消費がパッケージの許容電力損失を超えないようにしてください。

## アプリケーション情報

### プリント基板のレイアウト

適切に設計されたプリント基板のレイアウトはスイッチングレギュレータにとって重要です。特に電力のスイッチングを行う部分は、特に注意を必要とします。できればすべての電力部品をボードの上側に配置して、それらのグランド端子が同一面となるようにしてください。プリント基板上のレイアウトを良くするために以下のガイドラインに従ってください：

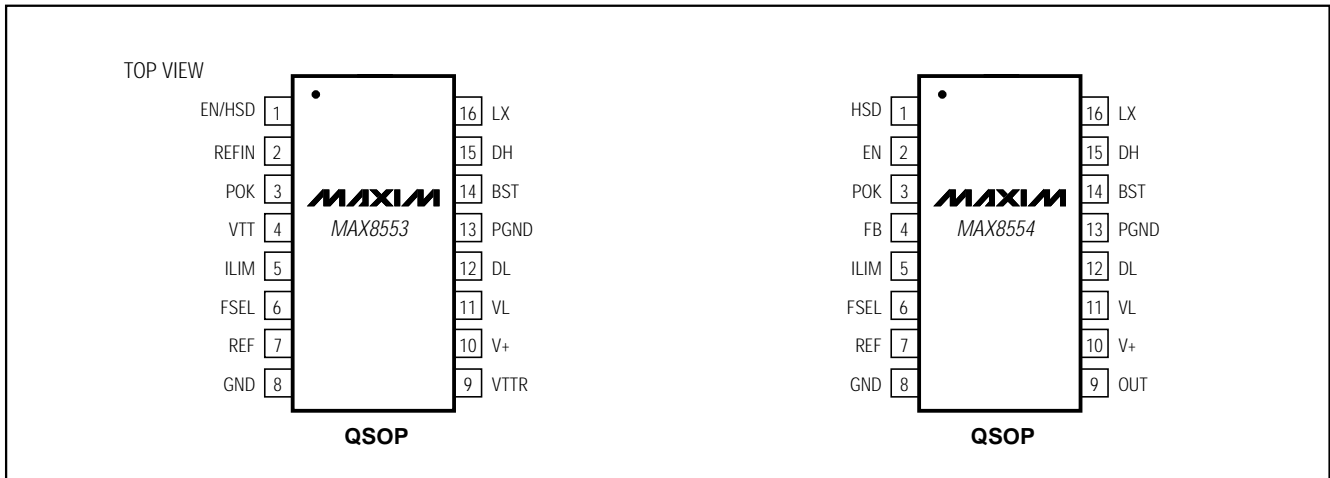
- 1) 大電流が流れる配線、特にグランド端子の部分を短くしてください。これを実施することは安定で低ジッタの動作をさせるために必須です。
- 2) GNDとPGNDは一点でのみ、接続してください。
- 3) 電源と負荷の接続を短くしてください。これは効率を高くするために必須です。プリント基板の銅配線を厚くする(1オンスでなく2オンスとする)と、最大負荷時の効率が著しく向上します。プリント基板上の配線を正しく行うことは難しいことであり、ミリ単位で短い配線とする努力をしてください。配線抵抗が数m $\Omega$  大きいだけで、効率に大きな影響が生じます。

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V ~ 28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

- 4) 電流制限を行うためのローサイドMOSFETへのLXとPGNDの接続はケルビン接続としてください。これは電流制限値を正確にするためです。8ピンSOP封止のMOSFETを使う場合、これはMOSFETへの電源配線を外側から銅の表面層を使って行い、一方、PGNDとLXの接続は8ピンSOPパッケージの内部(下側)を使って行ってください。
- 5) 複数配線間でトレードオフが必要となった場合、インダクタの放電配線よりも充電配線を長くすることを推奨します。例えば、インダクタとローサイドMOSFET、またはインダクタと出力コンデンサの間の距離よりも入力コンデンサとハイサイドMOSFET間の配線を長くする方が良いでしょう。
- 6) FBのインダクタノードと出力フィルタコンデンサの間に、ある長さの配線長(ドループ抵抗)を慎重に設けることは、安定条件( $f_{ESR} < f_S / \pi$ )を満たすために望ましいことです。
- 7) フィードバック抵抗はICにできるだけ、近づけて配置してください。
- 8) 高速のスイッチングノードを敏感なアナログノードから遠ざけて配線してください。
- 9) 端子をストラップする入力接続(ILIMなど)はチップの近くでGNDまたはVLと接続し、PGNDには接続しないでください。

## ピン配置



## チップ情報

TRANSISTOR COUNT: 2827  
PROCESS: BiCMOS

# DDR終端及びPOL(Point-of-Load)型アプリケーション用 4.5V~28V入力、同期PWM降圧型コントローラ

MAX8553/MAX8554

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、<http://japan.maxim-ic.com/packages>をご参照下さい。)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28
S	.0250	.0300	0.635	0.762	

NOTES:  
 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.  
 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.  
 3). CONTROLLING DIMENSIONS: INCHES.  
 4). MEETS JEDEC MO137.

**DALLAS SEMICONDUCTOR** **MAXIM**  
 PROPRIETARY INFORMATION  
 TITLE: PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH  
 APPROVAL: \_\_\_\_\_ DOCUMENT CONTROL NO. 21-0055 REV. E 1/1

QSOP.EPS

販売代理店

## マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

24 \_\_\_\_\_ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600