

MAXIM

全機能内蔵 μ P監視回路 $\pm 1.5\%$ リセット精度

MAX807L/M/N

概要

MAX807は、 μ Pシステムの電源及びバッテリー制御機能を監視するために必要となる部品の複雑さと部品点数を低減するマイクロプロセッサ(μ P)監視回路です。MAX807は消費電流が僅か70 μ Aのためポータブル機器に最適です。また、チップイネーブル伝播遅延が2ns、出力電流が250mA(バッテリーバックアップモードで20mA)であるため、大型の高性能機器にも適しています。MAX807は16ピンDIP及びSOPパッケージで供給され、下記の機能を提供します。

- 1) μ Pリセット。アクティブロー $\overline{\text{RESET}}$ 出力はパワーアップ、パワーダウン及び電圧低下時に発生し、 V_{CC} が1Vに下がるまで正しい状態に留まることが保証されています。
- 2) アクティブハイRESET出力。
- 3) マニュアルリセット入力。
- 4) 2段パワーフェイル警報。独立したローラインコンパレータが V_{CC} をリセットスレッシュホールドより52mV高いスレッシュホールド電圧と比較します。このローラインコンパレータは今までの μ P監視回路に備えられていたものよりも正確です。
- 5) CMOS RAM、リアルタイムクロック、 μ P又はその他のローパワーロジック用のバックアップバッテリー切換え。
- 6) CMOS又はEEPROMの書込保護。
- 7) 2.275Vスレッシュホールド検出器。パワーフェイル警報及びローバッテリー検出、あるいは+5V以外の電源の監視に使用します。
- 8) BATT OK状態フラグ。バックアップバッテリー電圧が2.275V以上であることを知らせます。
- 9) ウォッチドッグ障害出力。ウォッチドッグ入力、予め設定されたタイムアウト時間内にトグルされなかったときに発生します。

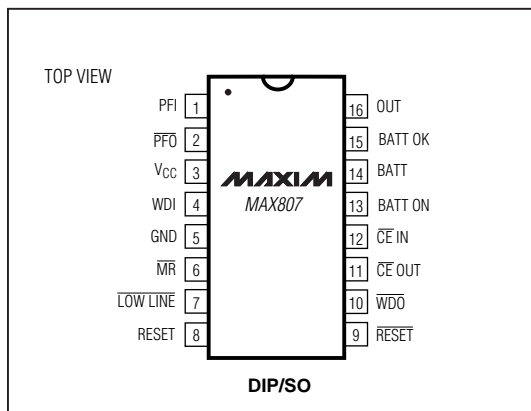
アプリケーション

コンピュータ
コントローラ
インテリジェント機器
 μ P電源監視
ポータブル機器、バッテリー駆動機器

特長

- ◆ 4.675V(MAX807L)、4.425V(MAX807M)又は4.575V(MAX807N)の高精度電圧監視
- ◆ パワーOK/リセットのタイムディレイ：200ms
- ◆ $\overline{\text{RESET}}$ 及びRESET出力
- ◆ 独立したウォッチドッグタイマ
- ◆ スタンバイ電流：1 μ A
- ◆ パワースイッチング：
250mA(V_{CC} モード)
20mA(バッテリーバックアップモード)
- ◆ チップイネーブル信号のゲートを内蔵
CEゲートの伝播遅延：2ns
- ◆ MaxCap™及びSuperCap™とコンパチブル
- ◆ パワーフェイル用電圧モニタ
- ◆ バックアップバッテリーモニタ
- ◆ $V_{CC} = 1V$ までの $\overline{\text{RESET}}$ 保証。
- ◆ リセットスレッシュホールドの52mV上に精度 $\pm 1.5\%$ のローラインスレッシュホールド

ピン配置



Ordering Information and Typical Operating Circuit appear at end of data sheet.

SuperCapはBaknor Industries社の商標です。MaxCapはThe Carborundum Corp.社の商標です。

全機能内蔵 μ P監視回路 $\pm 1.5\%$ リセット精度

MAX807L/M/N

ABSOLUTE MAXIMUM RATINGS

Input Voltages (with respect to GND)

V _{CC}	-0.3V to 6V
V _{BATT}	-0.3V to 6V
All Other Inputs	-0.3V to (V _{OUT} + 0.3V)
Input Current	
V _{CC} Peak	1.0A
V _{CC} Continuous	500mA
I _{BATT} Peak	250mA
I _{BATT} Continuous	50mA
GND	50mA
All Other Inputs	50mA

Continuous Power Dissipation (T_A = +70°C)

Plastic DIP (derate 10.53mW/°C above +70°C)	842mW
Wide SO (derate 9.52mW/°C above +70°C)	762mW
CERDIP (derate 10.00mW/°C above +70°C)	800mW
Operating Temperature Ranges	
MAX807_C_E	0°C to +70°C
MAX807_E_E	-40°C to +85°C
MAX807_MJE	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = 4.60V to 5.5V for the MAX807L, V_{CC} = 4.50V to 5.5V for the MAX807N, V_{CC} = 4.35V to 5.5V for the MAX807M, V_{BATT} = 2.8V, V_{PFI} = 0V, T_A = T_{MIN} to T_{MAX}. Typical values are tested with V_{CC} = 5V and T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Voltage Range V _{BATT} , V _{CC} (Note 1)			0		5.5	V
V _{OUT} in Normal Operating Mode		V _{CC} = 4.5V	I _{OUT} = 25mA	V _{CC} - 0.02		V
			I _{OUT} = 250mA, MAX807C/E	V _{CC} - 0.35	V _{CC} - 0.22	
			I _{OUT} = 250mA, MAX807M	V _{CC} - 0.45		
		V _{CC} = 3V, V _{BATT} = 2.8V, I _{OUT} = 100mA	V _{CC} - 0.25	V _{CC} - 0.12		
V _{CC} to OUT On-Resistance		V _{CC} = 4.5V, I _{OUT} = 250mA	MAX807C/E	1.0	1.4	Ω
			MAX807M		1.8	
		V _{CC} = 3V, I _{OUT} = 100mA	1.2	2.5		
V _{OUT} in Battery-Backup Mode		V _{BATT} = 4.5V, I _{OUT} = 20mA, V _{CC} = 0V	V _{BATT} - 0.17		V	
		V _{BATT} = 2.8V, I _{OUT} = 10mA, V _{CC} = 0V	V _{BATT} - 0.25	V _{BATT} - 0.12		
		V _{BATT} = 2.0V, I _{OUT} = 5mA, V _{CC} = 0V	V _{BATT} - 0.20	V _{BATT} - 0.08		
BATT to OUT On-Resistance		V _{BATT} = 4.5V, I _{OUT} = 20mA	8.5		Ω	
		V _{BATT} = 2.8V, I _{OUT} = 10mA	12	25		
		V _{BATT} = 2.0V, I _{OUT} = 5mA	16	40		
Supply Current in Normal Operating Mode (excludes I _{OUT})				70	110	μ A
Supply Current in Battery-Backup Mode (excludes I _{OUT}) (Note 2)	V _{CC} = 0V, V _{BATT} = 2.8V	T _A = +25°C	0.4		1	μ A
		MAX807C/E			5	
		MAX807M			50	
BATT Standby Current (Note 3)	V _{BATT} + 0.2V \leq V _{CC}	T _A = +25°C	-0.1	0.1		μ A
		T _A = T _{MIN} to T _{MAX}	-1.0	1.0		
Battery-Switchover Threshold	V _{BATT} = 2.8V	Power up	V _{BATT} + 0.05		V	
		Power down	V _{BATT}			
Battery-Switchover Hysteresis			50		mV	
BATT ON Output, Low Voltage		V _{RST} (max), I _{SINK} = 3.2mA	0.1		0.4	V
BATT ON Output, High Voltage		V _{CC} = 0V, I _{SOURCE} = 0.1mA, V _{BATT} = 2.8V	2	2.7		V

全機能内蔵 μ P監視回路 ±1.5%リセット精度

MAX807L/M/N

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = 4.60V$ to $5.5V$ for the MAX807L, $V_{CC} = 4.50V$ to $5.5V$ for the MAX807N, $V_{CC} = 4.35V$ to $5.5V$ for the MAX807M, $V_{BATT} = 2.8V$, $V_{PFI} = 0V$, $T_A = T_{MIN}$ to T_{MAX} . Typical values are tested with $V_{CC} = 5V$ and $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
BATT ON Output Short-Circuit Current		Sink current			70		mA
		Source current, $V_{CC} = 0V$, $V_{BATT} = 2.8V$			5		
RESET, LOW LINE, AND WATCHDOG TIMER							
Reset Threshold	V_{RST}	V_{CC} rising and falling	MAX807L	4.600	4.675	4.750	V
			MAX807N	4.500	4.575	4.650	
			MAX807M	4.350	4.425	4.500	
Reset Threshold Hysteresis				13			mV
$\overline{LOW\ LINE}$ to \overline{RESET} Threshold Voltage	V_{LR}	V_{CC} falling		30	52	70	mV
$\overline{LOW\ LINE}$ Threshold, V_{CC} Rising	V_{LL}	MAX807L			4.73	4.81	V
		MAX807N			4.63	4.71	
		MAX807M			4.48	4.56	
V_{CC} to \overline{RESET} Delay		V_{CC} falling at 1mV/ μ s			26		μ s
V_{CC} to $\overline{LOW\ LINE}$ Delay		V_{CC} falling at 1mV/ μ s			24		μ s
\overline{RESET} Active Timeout Period	t_{RP}	V_{CC} rising		140	200	280	ms
Watchdog Timeout Period	t_{WD}			1.12	1.6	2.24	sec
Minimum Watchdog Input Pulse Width		$V_{IL} = 0.8V$, $V_{IH} = 0.75 \times V_{CC}$		100			ns
\overline{RESET} Output Voltage		$I_{SINK} = 50\mu A$, $V_{BATT} = 0V$, V_{CC} falling	$V_{CC} = 1V$, MAX807_C			0.3	V
			$V_{CC} = 1.2V$, MAX807_E/M			0.3	
		$I_{SINK} = 3.2mA$, $V_{CC} = 4.25V$			0.1	0.4	
		$I_{SOURCE} = 0.1mA$	$V_{CC} - 1.5$	$V_{CC} - 0.1$			
\overline{RESET} Output Short-Circuit Current	I_{SC}	Output sink current, $V_{CC} = 4.25V$			60		mA
		Output source current			1.6		
\overline{RESET} Output Voltage		$I_{SINK} = 3.2mA$				0.4	V
		$I_{SOURCE} = 5mA$	$V_{CC} - 1.5$				
\overline{RESET} Output Short-Circuit Current	I_{SC}	Output sink current			60		mA
		Output source current, $V_{CC} = 4.25V$			15		
$\overline{LOW\ LINE}$ Output Voltage		$I_{SINK} = 3.2mA$, $V_{CC} = 4.25V$				0.4	V
		$I_{SOURCE} = 5mA$	$V_{CC} - 1.5$				
$\overline{LOW\ LINE}$ Output Short-Circuit Current	I_{SC}	Output sink current, $V_{CC} = 4.25V$			28		mA
		Output source current			20		
\overline{WDO} Output Voltage		$I_{SINK} = 3.2mA$				0.4	V
		$I_{SOURCE} = 5mA$	$V_{CC} - 1.5$				
\overline{WDO} Output Short-Circuit Current	I_{SC}	Output sink current			35		mA
		Output source current			20		
\overline{WDI} Threshold Voltage (Note 4)	V_{IH}			$0.75 \times V_{CC}$			V
	V_{IL}					0.8	
\overline{WDI} Input Current		Reset deasserted, $\overline{WDI} = 0V$		-50	-10		μA
		Reset deasserted, $\overline{WDI} = V_{CC}$			16	50	

全機能内蔵 μ P監視回路 ±1.5%リセット精度

MAX807L/M/N

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = 4.60V$ to $5.5V$ for the MAX807L, $V_{CC} = 4.50V$ to $5.5V$ for the MAX807N, $V_{CC} = 4.35V$ to $5.5V$ for the MAX807M, $V_{BATT} = 2.8V$, $V_{PFI} = 0V$, $T_A = T_{MIN}$ to T_{MAX} . Typical values are tested with $V_{CC} = 5V$ and $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PFI Input Threshold	V _{PFI}	V _{PFI} falling	2.20	2.265	2.33	V
		V _{PFI} rising	2.22	2.285	2.35	
PFI Hysteresis				20		mV
PFI Leakage Current				±0.005	±40	nA
PFI to PFO Delay (Note 5)		V _{OD} = 30mV, V _{PFI} falling		14		μs
CHIP-ENABLE GATING						
\overline{CE} IN Leakage Current		Disabled mode, $\overline{MR} = 0V$		±0.00002	±1	μA
\overline{CE} IN to \overline{CE} OUT Resistance (Note 6)		Enabled mode, $V_{CC} = V_{RST}$ (max)		75	150	Ω
\overline{CE} OUT Short-Circuit Current (RESET active)		$V_{CC} = 5V$, disabled mode, \overline{CE} OUT = 0V, $\overline{MR} = 0V$		17		mA
\overline{CE} IN to \overline{CE} OUT Propagation Delay (Note 7)		$V_{CC} = 5V$, C _{LOAD} = 50pF, 50Ω source impedance driver		2	8	ns
\overline{CE} OUT Output Voltage High (RESET active)		Disabled mode, $\overline{MR} = 0V$	$V_{CC} = 5V$, I _{OUT} = 2mA	3.5		V
			$V_{CC} = 0V$, I _{OUT} = 10μA	V _{BATT} - 0.1	V _{BATT}	
RESET to \overline{CE} OUT Delay		V_{CC} falling		28		μs
MANUAL RESET INPUT						
MR Minimum Pulse Input			1			μs
\overline{MR} -to-RESET Propagation Delay				170		ns
\overline{MR} Threshold	V _{IH}		2.4			V
	V _{IL}				0.8	
\overline{MR} Pull-Up Current		$\overline{MR} = 0V$	50	100	200	μA
BATT OK COMPARATOR						
BATT OK Threshold	V _{BOK}		2.200	2.265	2.350	V
BATT OK Hysteresis				20		mV
LOGIC OUTPUTS						
Output Voltage (PFO, BATT OK)	V _{OL}	I _{SINK} = 3.2mA			0.4	V
	V _{OH}	I _{SOURCE} = 5mA	V _{CC} - 1.5			
Output Short-Circuit Current	I _{SC}	Output sink current		35		mA
		Output source current		20		

Note 1: Either V_{CC} or V_{BATT} can go to 0V, if the other is greater than 2.0V.

Note 2: The supply current drawn by the MAX807 from the battery (excluding I_{OUT}) typically goes to 15μA when ($V_{BATT} - 0.1V$) < V_{CC} < V_{BATT} . In most applications, this is a brief period as V_{CC} falls through this region (see *Typical Operating Characteristics*).

Note 3: "+" = battery discharging current, "-" = battery charging current.

Note 4: WDI is internally connected to a voltage divider between V_{CC} and GND. If unconnected, WDI is driven to 1.8V (typical), disabling the watchdog function.

Note 5: Overdrive (V_{OD}) is measured from center of hysteresis band.

Note 6: The chip-enable resistance is tested with $V_{\overline{CE} IN} = V_{CC}/2$, and I_{CE IN} = 1mA.

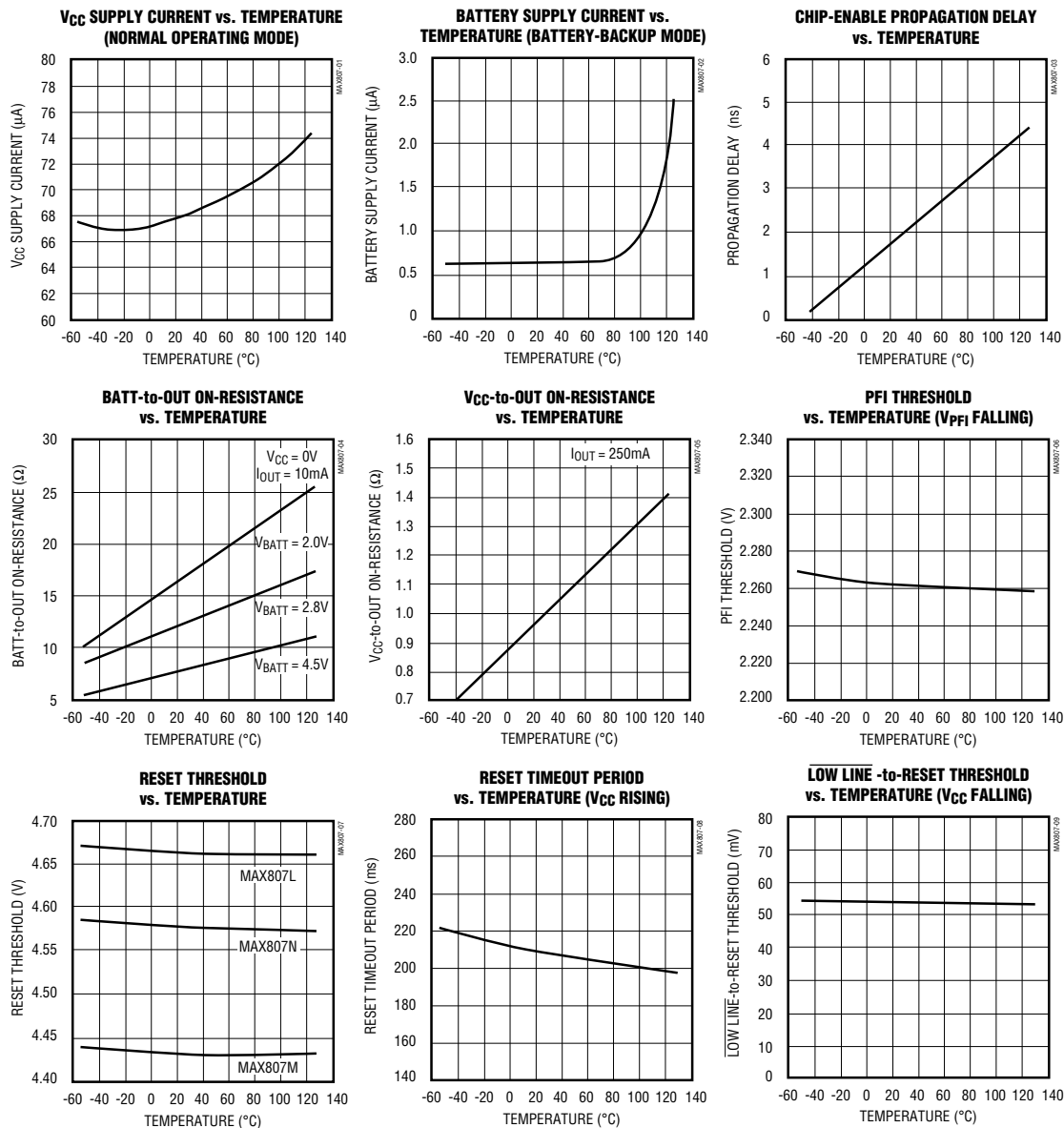
Note 7: The chip-enable propagation delay is measured from the 50% point at \overline{CE} IN to the 50% point at \overline{CE} OUT.

全機能内蔵 μ P監視回路 $\pm 1.5\%$ リセット精度

MAX807L/M/N

標準動作特性

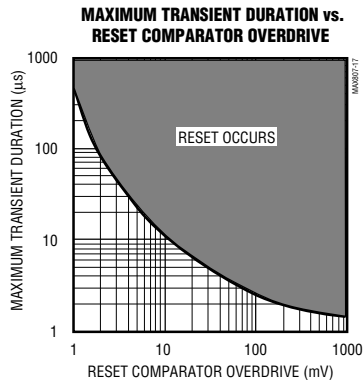
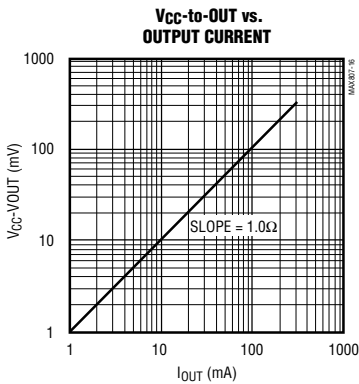
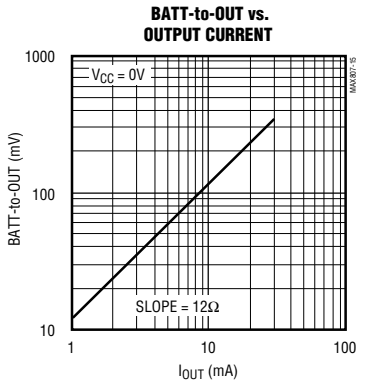
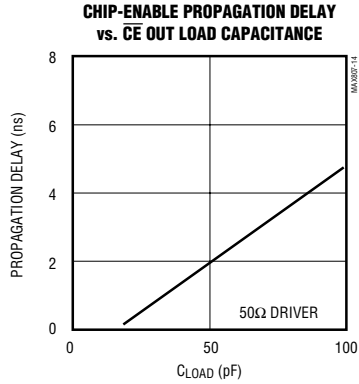
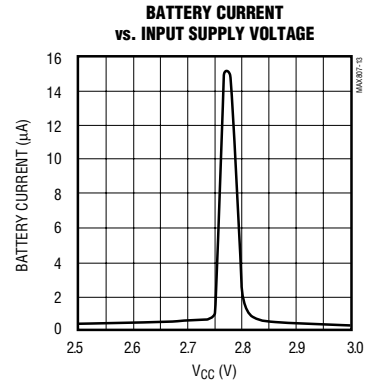
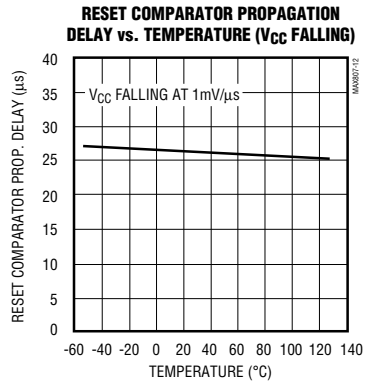
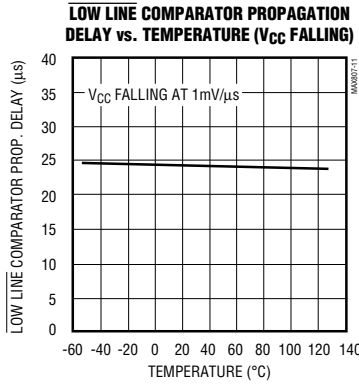
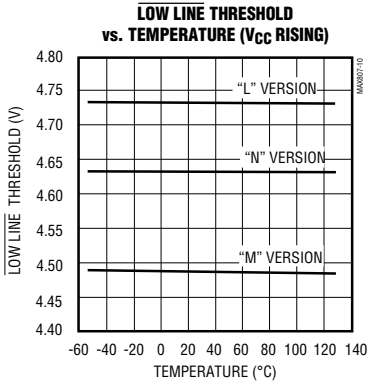
($V_{CC} = 5V$, $V_{BATT} = 2.8V$, $PFI = 0V$, no load, $T_A = +25^\circ C$, unless otherwise noted.)



全機能内蔵 μ P監視回路 ±1.5%リセット精度

標準動作特性(続き)

($V_{CC} = 5V$, $V_{BATT} = 2.8V$, $PFI = 0V$, no load, $T_A = +25^\circ C$, unless otherwise noted.)



全機能内蔵 μ P監視回路 ±1.5%リセット精度

MAX807L/M/N

端子説明

端子	名称	機能
1	PFI	パワーフェイル入力。PFIが $V_{PFI}(2.265V)$ 以下のとき \overline{PFI} はローになります。使用しない場合はグラウンドに接続してください。
2	\overline{PFI}	パワーフェイル出力。このCMOSロジック出力はPFIが $V_{PFI}(2.265V)$ 以下のときにローになります。 V_{CC} 4Vのとき有効です。 \overline{PFI} は V_{CC} とGNDの間でスイングします。
3	V_{CC}	入力電源電圧(公称+5V)。0.1 μ FのコンデンサでGNDにバイパスしてください。
4	WDI	ウォッチドッグ入力。WDIがウォッチドッグタイムアウト時間(1.6秒)よりも長くハイ又はローに留まると、 \overline{WDO} がローになります。ウォッチドッグ機能をディセーブルしたい場合は未接続のままにしてください。
5	GND	グラウンド
6	\overline{MR}	マニュアルリセット入力。 \overline{MR} がロジックローになるとリセットが発生します。リセット状態は \overline{MR} がローに留まる限り保持され、 \overline{MR} がハイに戻った後も200ms間リセット状態は保持されます。 \overline{MR} はアクティブロー入力で、 V_{CC} への内部プルアップを備えています。TTL又はCMOSロジックで駆動することもできますし、あるいはスイッチでグラウンドに短絡することもできます。 V_{CC} に接続するか、あるいは使用しない場合は未接続のままにしてください。
7	$\overline{LOW LINE}$	ローラインコンパレータ出力。このCMOSロジック出力は、 V_{CC} がリセットスレッシュホールドより52mV高い電圧まで降下したときにローになります。この出力は、 V_{CC} が降下しているときにNMIを発生させ、秩序正しいシャットダウンルーチンを実行するために使用します。 $\overline{LOW LINE}$ は V_{CC} とGNDの間でスイングします。
8	RESET	アクティブハイのリセット出力。RESETは \overline{RESET} の反転出力で、電流のシンク及びソースとなるCMOS出力です。RESETは V_{CC} とGNDの間でスイングします。
9	\overline{RESET}	アクティブローのリセット出力。 V_{CC} がリセットスレッシュホールド以下のとき、あるいは \overline{MR} がローのときにRESETはトリガされ、ローを維持します。さらに、 V_{CC} がリセットスレッシュホールド以下になってから、あるいは \overline{MR} がハイに戻ってから200ms間ローを維持します。RESETは強いプルアップを備えています。プルダウンは比較的弱く、ロジックゲートにワイヤORすることができます。 V_{CC} 1Vで有効です。RESETは V_{CC} とGNDの間をスイングします。
10	\overline{WDO}	ウォッチドッグ出力。このCMOSロジック出力はWDIがウォッチドッグタイムアウト時間(t_{WD})よりも長い時間ハイ又はローの状態を維持した場合にローになり、WDIの次の遷移までローに留まります。WDIに何も接続されていない場合は \overline{WDO} はハイです。リセット時にも \overline{WDO} はハイです。 \overline{WDO} は V_{CC} とGNDの間をスイングします。ウォッチドッグ障害時にリセットを発生したい場合は、 \overline{WDO} を \overline{MR} に接続してください。
11	\overline{CE} OUT	チップイネーブル出力。チップイネーブルゲート回路への出力です。チップイネーブルゲートがディセーブルされると、 \overline{CE} OUTは V_{CC} または V_{BATT} の高い方の電圧になります。
12	\overline{CE} IN	チップイネーブル入力。
13	BATT ON	バッテリーオン出力。CMOSロジック出力/外部バイパススイッチドライバ。OUTがBATTに接続されているとハイ、OUTが V_{CC} に接続されているとローになります。 I_{OUT} が250mA以上の場合、PNPトランジスタのベース又はPMOSトランジスタのゲートをBATTONに接続してください。BATT ONは V_{CC} または V_{BATT} の高い方の電圧とGNDの間でスイングします。
14	BATT	バックアップバッテリー入力。 V_{CC} がリセットスレッシュホールド及び V_{BATT} 以下になると、OUTは V_{CC} からBATTに切り替わります。 V_{BATT} が V_{CC} より高くてもかまいません。BATTが0.1 μ FのコンデンサでGNDにバイパスされていれば、MAX807が通電中でもバッテリーを取り外すことができます。バッテリーを使用しない場合は、BATTをグラウンドに接続し、 V_{CC} をOUTに接続してください。
15	BATT OK	バッテリーOK信号出力。通常動作モードで V_{BATT} が $V_{BOK}(2.265V)$ 以上のときにハイになります。 V_{CC} 4Vのとき有効です。
16	OUT	CMOS RAMへの出力電源電圧。 V_{CC} がリセットスレッシュホールド以上の場合、あるいは $V_{CC} > V_{BATT}$ の場合、OUTは V_{CC} に接続されます。 V_{CC} がリセットスレッシュホールド及び V_{BATT} 以下になると、OUTはBATTに接続されます。OUTは0.1 μ FコンデンサでGNDにバイパスしてください。

全機能内蔵 μ P監視回路 $\pm 1.5\%$ リセット精度

詳細

MAX807は、 μ Pシステムの電源監視、バックアップバッテリ切換え及びプログラム実行ウォッチドッグ機能を提供するマイクロプロセッサ(μ P)監視回路です(図1)。BiCMOS技術を用いることで、消費電流を70 μ A以下(typ)に抑えつつリセットスレッシュホールド精度を1.5%まで改善しています。MAX807は高精度のリセットスレッシュホールドを必要とするバッテリー駆動アプリケーション用に設計されており、広い電源電圧範囲を保ちつつ、仕様電圧範囲より低い電圧でシステムが動作するのを防ぎます。

RESET及びRESET出力

MAX807のRESET出力は μ Pが既知の状態でパワーアップすることを保証し、パワーダウン及び低電圧時におけるコード実行エラーを防ぎます。これは V_{CC} がリセットスレッシュホールド以下に低下したときあるいはMRがローになったときに、 μ Pをリセットし、プログラムの実行を中止することで達成されます。RESETは、発生する度に200msのリセットタイムアウト時間だけローに維持されます。タイムアウト時間は内部タイマによって設定されており、 μ Pが初期状態に戻るのに十分な時間を与えます。リセットタイムアウト時間が終わる前に V_{CC} がリセットスレッシュホールド以下になる度に、内部タイマがスタートします。WDOをMRに接続することで、ウォッチドッグタイマによってリセットを発生させることもできます。「ウォッチドッグ入力」の項を参照してください。

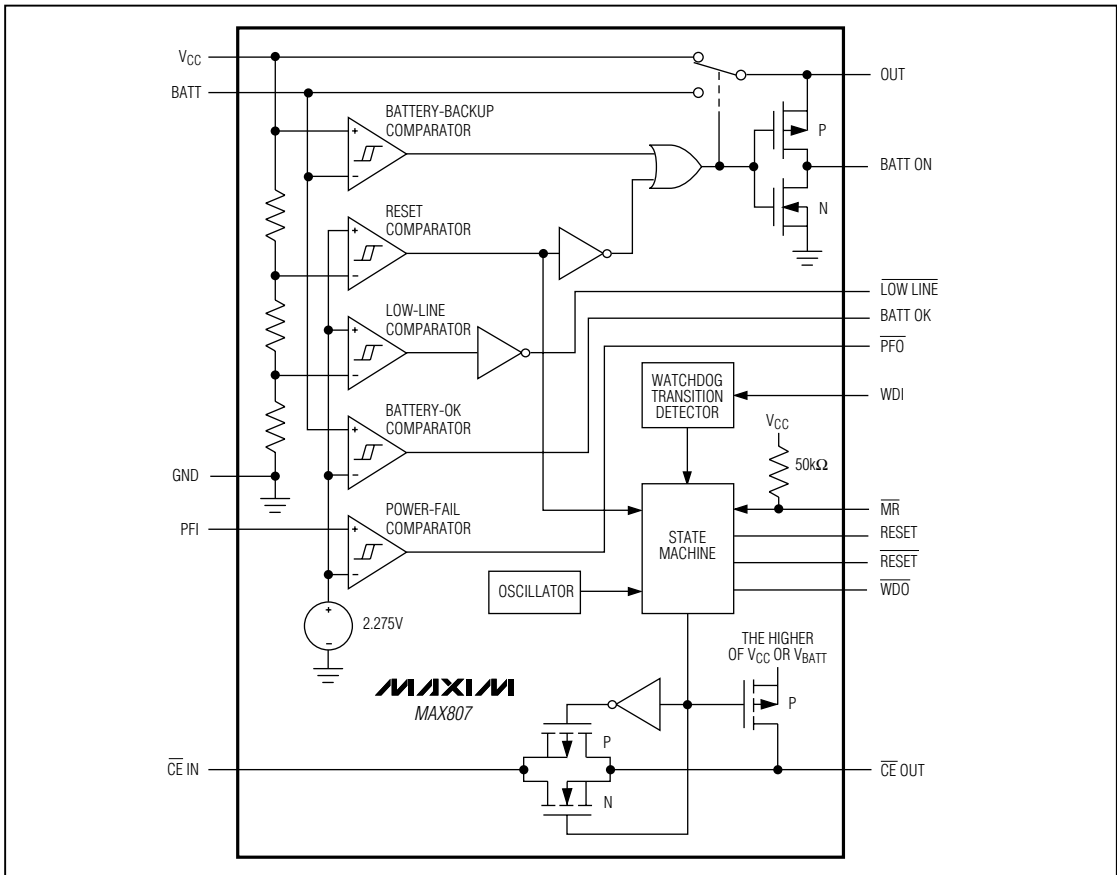


図1. ブロック図

全機能内蔵 μ P監視回路 $\pm 1.5\%$ リセット精度

MAX807L/M/N

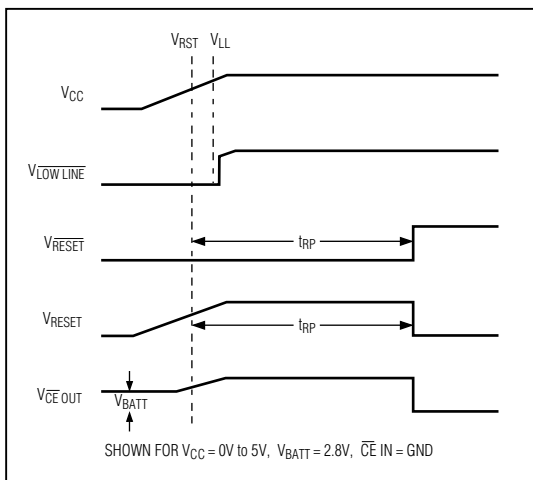


図2a. タイミング図(V_{CC} の立上がり)

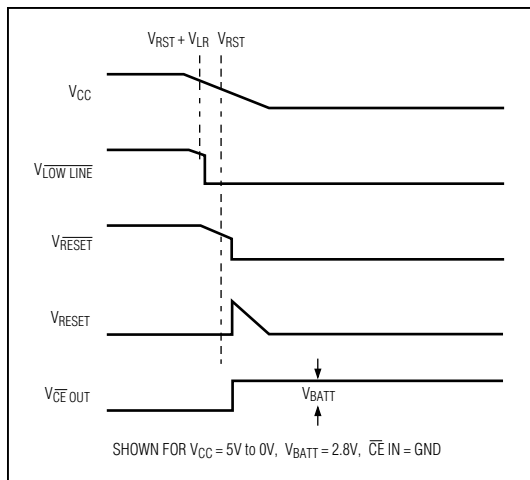


図2b. タイミング図(V_{CC} の立下がり)

RESET出力はアクティブローで、強いプルダウン/比較的弱いプルアップという構成になっています。 V_{BATT} が2V以上の条件で、この出力は $0V < V_{CC} < V_{RST}$ の範囲でロジックローであることが保証されています。バックアップ 배터리がない場合、 \overline{RESET} は V_{CC} 1で有効であることが保証されています。アクティブ状態では0.1Vの飽和電圧で3.2mA(typ)をシンクします。

RESET出力は \overline{RESET} の反転出力です。電流のソース及びシンク両方が可能で、ワイヤOR接続はできません。

マニュアルリセット入力

μ Pを使用する多くの製品は、マニュアルリセット機能が必要とします。マニュアルリセット機能があれば、オペレータ又はテストエンジニアがリセットを発生させることができます。スイッチ操作、 \overline{WDO} 又は外部回路からのロジックローに対して、マニュアルリセット(\overline{MR})はリセットの実行を許容します。リセット状態は \overline{MR} がローの間維持され、ハイに戻った後も200ms間だけ維持されます。

\overline{MR} は50 μ A ~ 200 μ Aの内部プルアップ電流を持っているため、使用しない場合はオープンのままかまいません。この入力はTTL又はCMOSロジックレベル、あるいはオープンドレイン/コレクタ出力で駆動することができます。マニュアルリセット機能を実現するためには、 \overline{MR} とGNDの間にノーマリオープンのもーメンタリスイッチを接続します。この際、外部デバウンス回路は必要ありません。 \overline{MR} を長いケーブルで駆動する場合やノイズの多い環境で使用する場合は、 \overline{MR} とグランドの間に0.1 μ Fのコンデンサを取り付け、ノイズ耐性を強化してください。図3に示すように、ダイオードOR接続を用いることで、複数のソースからマニュアルリセットを発生させることができます。図4にリセットのタイミングを示します。

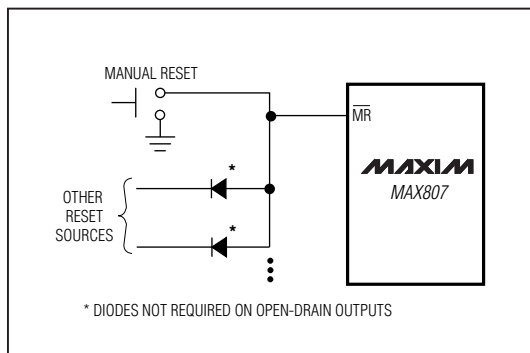


図3. ダイオードOR接続を用いた場合、 \overline{MR} に複数のリセットソースを接続することができます。

ウォッチドッグタイマ

ウォッチドッグ入力

ウォッチドッグ回路は μ Pの動作を監視します。 μ Pが1.6秒以内にウォッチドッグ入力(WDI)をトグルしない場合、 \overline{WDO} がローになります。リセットが発生するか、あるいは \overline{RESET} がハイのときにWDIが(ローからハイ又はハイからローに)遷移すると、1.6秒の内部タイマがクリアされ、 \overline{WDO} はハイになります。リセット状態が維持されている限り、タイマは作動しません。リセットがリリースされると直ちにタイマが作動し始めます(図5)。WDIが有効なロジックレベルにあるときは、消費電流が10 μ A(typ)だけ低減されます。

全機能内蔵 μ P監視回路 $\pm 1.5\%$ リセット精度

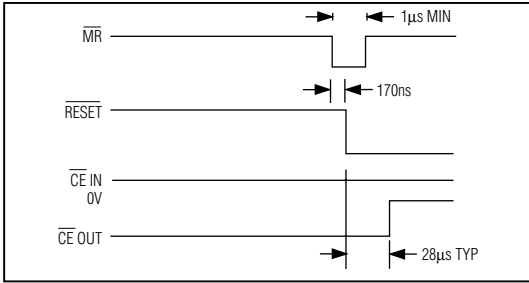


図4. マニュアルリセットのタイミング図

ウォッチドッグ出力

ウォッチドッグタイムアウト時間中にWDIに遷移又はパルスが発生した場合、 \overline{WDO} はハイに維持されます。ウォッチドッグタイムアウト時間中にWDIが遷移しない場合は、 \overline{WDO} はローになります。 V_{CC} がリセットスレッシュホールド以下の場合、あるいはWDIがオープン回路の場合は、ウォッチドッグ機能はディセーブルされ、 \overline{WDO} はロジックハイになります。ウォッチドッグ障害が発生する度にシステムをリセットしたい場合は、 \overline{WDO} をMRにダイオードOR接続してください(図6)。このモードでウォッチドッグ障害が発生すると、まず \overline{WDO} がローになり、これがMRをローに引き下げ、これによってリセットパルスが発生します。リセットが発生すると直ちにウォッチドッグタイムがクリアされ、 \overline{WDO} はハイに戻ります。 \overline{WDO} がMRに接続されている場合、WDIがハイかローのまま不変だと、1.6秒おきに200msのリセットパルスが発生します。

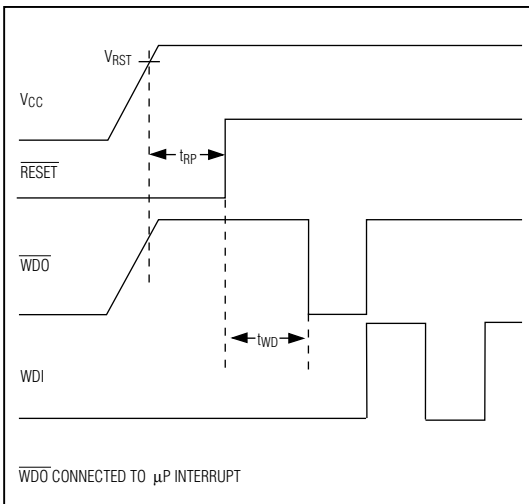


図5. ウォッチドッグのタイミング関係

チップイネーブル信号ゲート

MAX807はチップイネーブル(CE)信号を内部でゲートすることで、電圧低下時にCMOS RAMが誤データで損なわれるのを防ぎます。CEゲートは通常動作中はイネーブル状態で、全てのCE遷移を通します。リセットが発生するとこの経路がディセーブルされ、CMOS RAMが誤データで損なわれるのを防ぎます。MAX807はチップイネーブル入力($\overline{CE IN}$)とチップイネーブル出力($\overline{CE OUT}$)の間に直列伝送ゲートを設けています(図1)。

$\overline{CE IN}$ から $\overline{CE OUT}$ の最大チップイネーブル伝番時間は8nsのため、殆どのマイクロプロセッサに適しています。

チップイネーブル入力

RESETが発生している間中 $\overline{CE IN}$ はハイインピーダンス(ディセーブルモード)です。パワーダウンシーケンス中に V_{CC} がリセットスレッシュホールドを通過すると、CE伝送ゲートはディセーブルされ、リセットが発生してから28 μ s後に $\overline{CE IN}$ はハイインピーダンスになります(図7)。パワーアップシーケンス中は、リセットタイムアウト時間が終了してリセット状態が消失するまで、 $\overline{CE IN}$ は($\overline{CE IN}$ のアクティビティに関係なく)ハイインピーダンスを維持します。

ハイインピーダンスモード中、この入力へのリーク電流は全温度範囲で $\pm 1\mu A$ (max)です。低インピーダンスモードでは、 $\overline{CE IN}$ のインピーダンスは $\overline{CE OUT}$ の負荷と直列に接続された75 Ω の抵抗として見えます。

CE伝送ゲートでの伝播遅延は $\overline{CE IN}$ の駆動側のソースインピーダンス及び $\overline{CE OUT}$ の容量性負荷の両方に依存します(「標準動作特性」のチップイネーブル伝播遅延対 $\overline{CE OUT}$ 負荷容量のグラフを参照)。

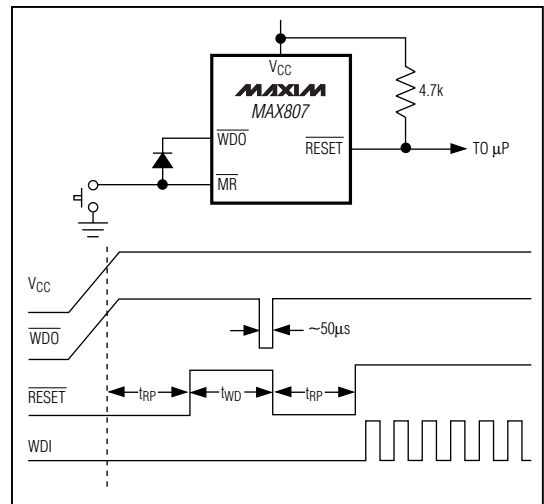


図6. ウォッチドッグ障害の度にリセットを発生

全機能内蔵μP監視回路 ±1.5%リセット精度

MAX807L/M/N

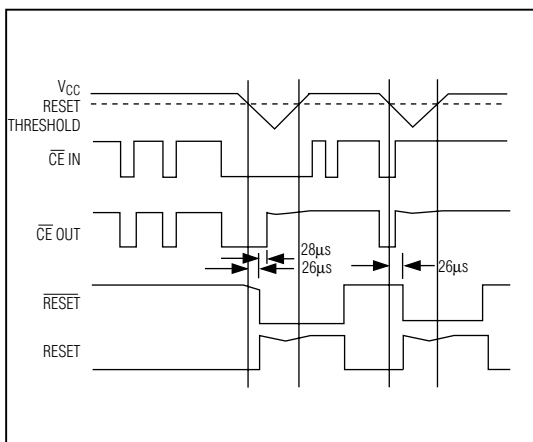


図7. リセット及びチップイネーブルタイミング

CE伝播遅延は \overline{CE} INの50%ポイントから \overline{CE} OUTの50%ポイントまで出荷テストされており、このテストは50のドライバと50pFの負荷容量を用いて実施されています(図8)。伝播遅延を小さくするためには、 \overline{CE} OUTでの容量性負荷を小さくし、低出力インピーダンスのドライバを用いてください。

チップイネーブル出力

イネーブルモードでは、 \overline{CE} OUTのインピーダンスは、 \overline{CE} INを駆動するソースと直列に接続した75Ωと等価になります。ディセーブルモードでは75Ω伝送ゲートはオフになり、 \overline{CE} OUTは V_{CC} と V_{BATT} の高い方の電圧にプルアップされます。このソースは伝送ゲートがイネーブルされるとオフになります。

ローラインコンパレータ

ローラインコンパレータはリセットスレッシュホールドよりも52mV(typ)高いスレッシュホールド電圧(ヒステリシス13mV)で V_{CC} を監視します。 $\overline{LOWLINE}$ を用いることで、電源が低下しかけたときにμPに割込(NMI)をかけ、秩序正しいシャットダウンルーチンを実行することができます。

殆どのバッテリー駆動のポータブル機器では、ローライン警報が出てからリセットが発生するまでの間に、シャットダウンルーチンを実行するだけの余裕が電池に残っています。メインバッテリーが切り離されたり、DC-DCコンバータがシャットダウンしたり、通常動作中にハイサイドスイッチが開放された場合等、 V_{CC} の立下がりが多い場合は、 V_{CC} ライン上に容量を追加することで、シャットダウンルーチンを実行する時間を稼い

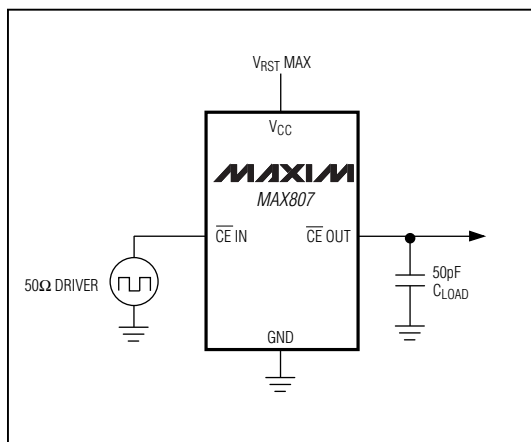


図8. CE伝播遅延の試験回路

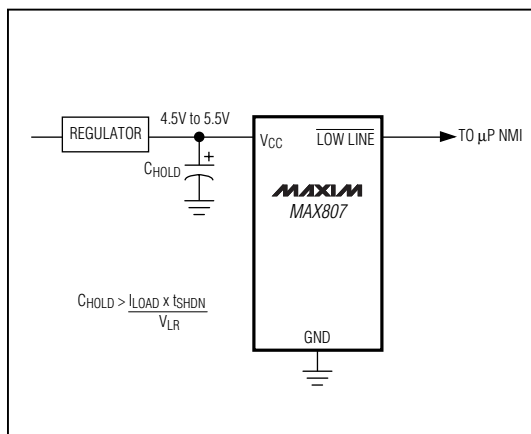


図9. $\overline{LOWLINE}$ を用いてμPにパワーフェイル警報を出す

てください(図9)。まず、システムがシャットダウンルーチンを行うのに要する時間のワーストケースの値を計算します。次に、ワーストケースのシャットダウン時間、ワーストケースの負荷電流及びローラインとリセットスレッシュホールドの差の最小値($V_{LR(min)}$)を用い、リセットが発生する前にシャットダウンルーチンを完了させるために必要な容量を計算します。

$$C_{HOLD} = (I_{LOAD} \times t_{SHDN}) / V_{LR(min)}$$

ここで、 t_{SHDN} はシステムがシャットダウンルーチンを完了するのに要する時間(V_{CC} からローラインへの伝播遅延を含む)、そして I_{LOAD} はコンデンサから流出する電流、 V_{LR} はローラインとリセットスレッシュホールドの差です。

全機能内蔵μP監視回路 ±1.5%リセット精度

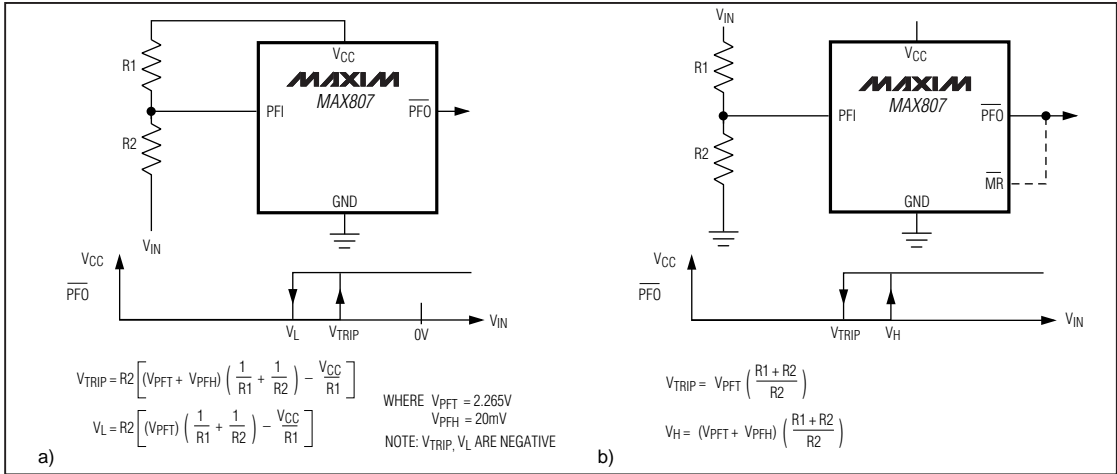


図10. パワーフェイルコンパレータを用いて別の電源を監視する場合。a) V_{IN} は負電圧、b) V_{IN} は正電圧

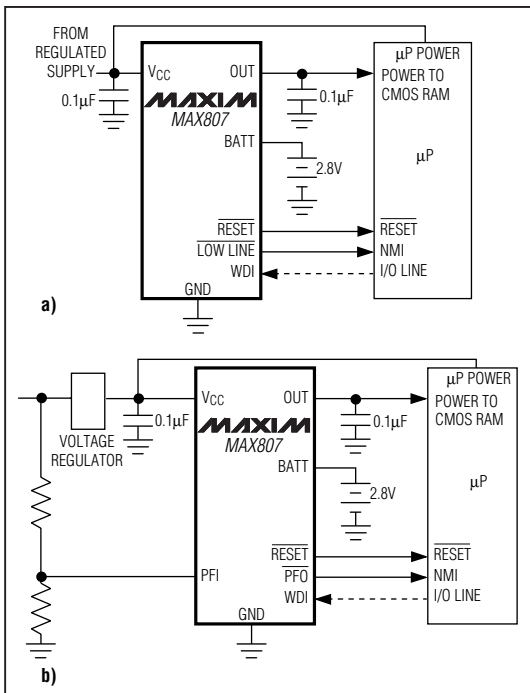


図11. a) 安定化前の電源に接続できない場合は、 $\overline{LOW LINE}$ がμPへのNMIを発生します。b) 安定化前の電源に接続できる場合はPFOを用いてμPへのNMIを発生させてください。

パワーフェイルコンパレータ

PFIは分離独立したコンパレータへの非反転入力です。PFIが $V_{PFT}(2.265V)$ 以下の場合PFOがローになります。パワーフェイルコンパレータの役目は、電源の安定化前の入力を監視して早期警報を提供し、ソフトウェアが秩序正しいシャットダウンを行えるようにすることです。これは5V以外の電源を監視するために用いることもできます。パワーフェイルスレッシュホールドは、図10に示すように抵抗分圧器を用いて設定してください。

パワーフェイル入力

PFIはパワーフェイルコンパレータへの入力です。コンパレータ遅延(typ)は V_{IL} から V_{OL} (電源低下)が14μsで、 V_{IH} から V_{OH} (電源回復)が32μsです。使用しない場合はグラウンドに接続してください。

パワーフェイル出力

パワーフェイル出力(PFO)はPFIが V_{PFT} 以下になるとローになります。この出力は0.1Vの飽和電圧で3.2mA(typ)をシンクします。PFIが V_{PFT} 以上の場合PFOは V_{CC} にアクティブプルアップされます。分圧器を通してPFIを安定化前の電源に接続すると、安定化前の電源が低下しかけたときにPFOはNMIを発生することができます(図11b)。安定化前の電源に接続できない場合は、 $\overline{LOW LINE}$ でNMIを発生させてください(図11a)。LOW LINEスレッシュホールドはリセットスレッシュホールドよりも52mV(typ)高くなっています(「ローラインコンパレータ」の項を参照してください)。

全機能内蔵 μ P監視回路 $\pm 1.5\%$ リセット精度

MAX807L/M/N

表1. バッテリバックアップモードでの入出力状態

端子	名称	機能
1	PFI	バッテリバックアップモードで V_{CC} 4Vのとき、パワーフェイルコンパレータはアクティブ状態を維持します。
2	PFO	バッテリバックアップモードで V_{CC} 4Vのとき、パワーフェイルコンパレータはアクティブ状態を維持します。4V以下の場合、PFOは強制的にローになります。
3	V_{CC}	バッテリ切換えコンパレータはアクティブ切換えを行うために V_{CC} を監視します。
4	WDI	WDIは無視され、ハイインピーダンスになります。
5	GND	グラウンド。全信号の0V基準。
6	MR	MRは無視されます。
7	LOW LINE	ロジックロー
8	RESET	ロジックハイ。オープン回路の出力電圧は V_{CC} に等しくなります。
9	RESET	ロジックロー
10	WDO	ロジックハイ。オープン回路の出力電圧は V_{CC} に等しくなります。
11	CE OUT	ロジックハイ。オープン回路の出力電圧は V_{BATT} に等しくなります。
12	CE IN	ハイインピーダンス
13	BATT ON	ロジックハイ。オープン回路の出力電圧は V_{BATT} に等しくなります。
14	BATT	V_{BATT} 2.8Vであれば、消費電流は1 μ A(max)です。
15	BATT OK	V_{BATT} が2.285V以上のときはロジックハイ。 V_{CC} 4Vで有効。4V以下のときは、BATT OKは強制的にローになります。
16	OUT	OUTは2つの直列の内部PMOSスイッチを通じてBATTに接続されています。

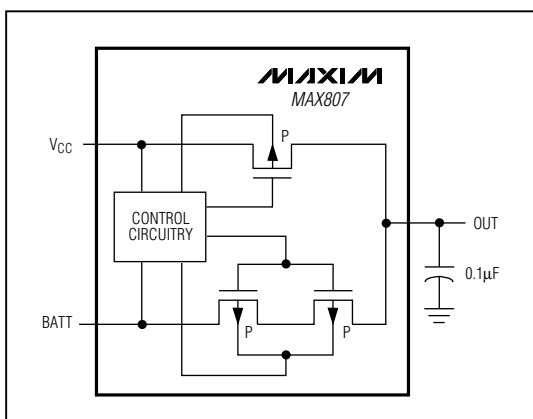


図12. V_{CC} 及びBATTとOUTの間のスイッチ

バッテリバックアップモード

バッテリバックアップは低電圧時あるいは電源異常時にRAMの内容を保存します。バックアップバッテリがBATTに接続されていれば、 V_{CC} が低下するとMAX807は自動的にRAMをバックアップ電源に切換えます。バッテリバックアップモードへの切換えが起こるには2つの条件が満たされる必要があります。すなわち、1) V_{CC} がリセットスレシヨルド以下でなければならず、また2) V_{CC} が V_{BATT} 以下でなければなりません。表1にバッテリバックアップモード中の入出力状態を示します。

バックアップバッテリ入力

BATT入力は V_{CC} に似ていますが、PMOSスイッチが大幅に小さいところが異なっています。この入力はバッテリバックアップ中にOUTに最大20mAを流すように設計されています。PMOSスイッチのオン抵抗は約13 Ω です。図12に、BATT入力とOUTの間に取り付けられた2つの直列バス素子が示されていますが、これらを取付けることでUL認定が受けやすくなります。通常動作中に V_{BATT} が V_{CC} を超えてもリセットを発生させることはありません。

出力電源電圧

出力電源(OUT)は V_{CC} 又はBATTから μ P、RAM及びその他の外部回路に電源を供給します。ソース電流が最大値の250mAのとき、 V_{OUT} は V_{CC} よりも260mV(typ)低くなります。この端子は0.1 μ Fのコンデンサでデカップリングしてください。

BATT ON出力

バッテリオン(BATT ON)出力は内部バッテリ切換えコンパレータの状態を表示します。このコンパレータは内部 V_{CC} 及びBATTスイッチを制御しています。 V_{CC} が V_{BATT} よりも高い場合(小さなヒステリシス効果を無視して)、BATT ONは0.4Vで3.2mA(typ)をシンクします。バッテリバックアップモードではこの出力は約5mAのソースになります。BATT ONはバッテリ切換え状態を表示するために用いるか、あるいは高電流アプリケーションの場合は、外部パストランジスタのゲート又はベースドライブを提供するために使用します(「標準動作回路」を参照)。

全機能内蔵 μ P監視回路 $\pm 1.5\%$ リセット精度

BATT OK出力

BATT OKコンパレータはバックアップバッテリー電圧を2.265Vリファレンスと比較しながら監視します(V_{CC} 4V)。バックアップバッテリー電圧が2.265V以上で維持される限りBATT OKはハイに維持され、これはバックアップバッテリーがスタティックRAMのメモリを保持するだけの十分な電圧を持っていることを意味します。バッテリー電圧が2.265V以下に低下するとBATT OK出力はローになり、これはバックアップバッテリーの交換が必要であることを意味します。

アプリケーション情報

MAX807は短絡保護が施されていません。OUTをグランドに短絡した場合、デカップリングコンデンサの充電等のパワーアップトランジェントを除き、デバイスが破壊されます。ICの入力に長いリード線が接続されている場合は、ICの保護ダイオードを順方向にバイアスする、リングング等の条件が生じないように注意してください。

2つの異なる動作モードがあります。

- 1) 通常動作モード(全回路に通電)。 V_{CC} からの消費電流は70 μ A(typ)で、バッテリーから流れるのはリーク電流のみです。
- 2) バッテリーバックアップモード(V_{CC} が V_{BATT} 及び V_{RST} 以下)。 V_{CC} からの消費電流は1 μ A以下(typ)。

MAX807をスーパーキャップと使用

BATTは V_{CC} と同じ動作電圧範囲を持っており、バッテリー切換えのスレッシュホールド電圧は V_{CC} の下降中は V_{BATT} で、 V_{CC} の上昇中は $V_{BATT} + 0.06V$ です。このヒステリシスがあるために、バックアップソースにはスーパーキャップ(例えば0.47F程度)とシンプルな充電回路を用いること

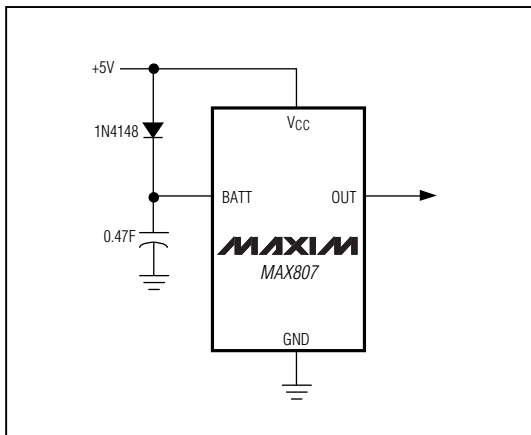


図13. スーパーキャップをBATTに使用

ができます(図13)。 V_{CC} がリセットスレッシュホールド電圧以上の場合は、 V_{BATT} が V_{CC} 以上であってもかまわないため、これらの μ P監視回路でスーパーキャップを用いるときの特別な注意は必要ありません。

チップイネーブルゲートの代替案

\overline{CE} 及びCE入力を備えたメモリデバイスを用いている場合は、MAX807のCEループをバイパスすることができません。そのためにはまず、 \overline{CE} INをグランドに接続し、 \overline{CE} OUTをOUTにプルアップし、 \overline{CE} OUTを各メモリデバイスのCE入りに接続します(図14)。これらのCE入りが今度はチップセレクトロジックに直接接続することになります。これはMAX807でバイパスする必要はありません。

パワーフェイルコンパレータへのヒステリシスの追加

パワーフェイルコンパレータの入力ヒステリシスは20mV(typ)です。これは外部分圧器を通して電源ラインを監視する殆どのアプリケーションに十分な値です(図10)。

パワーフェイルコンパレータにヒステリシスを追加する方法を図15に示します。R1とR2の比は、 V_{IN} が所望の検出点(V_{TRIP})まで低下した時にPFIの電圧が2.265Vになるように設定してください。ヒステリシスは抵抗R3によって追加されますが、標準的な値はR1又はR2の10倍前後です。検出点が25nA(max)のPFI入力によってずれないようにするためには、R1とR2の電流は最低1 μ Aである必要があります。R3はPFIピンの負荷が重くなりすぎないように10k以上にしてください。コンデンサC1はノイズリジエクションを強化します。

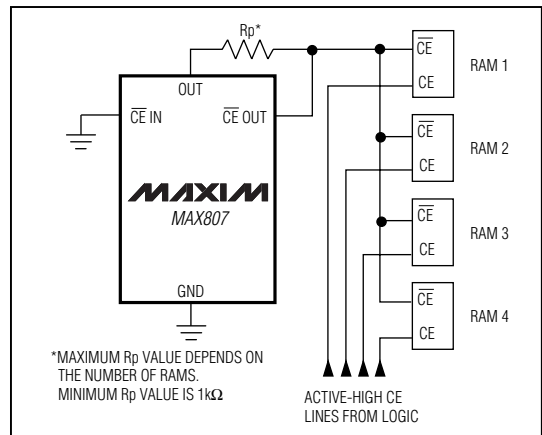


図14. CEゲートの代替案

全機能内蔵μP監視回路 ±1.5%リセット精度

MAX807L/M/N

バックアップバッテリーの交換

BATTが0.1μFのコンデンサでグラウンドにバイパスされていて、V_{CC}がリセットスレッシュホールドより高い状態であれば、バックアップバッテリーを切り離すことができます。誤ったりリセットパルスが出る心配はありません。

V_{CC}の負方向への過渡的变化

これらの監視回路はパワーアップ、パワーダウン及び低電圧状態時にμPにリセット信号を送りますが、V_{CC}の負方向への瞬時的な変化(グリッチ)に対しては比較的耐性があります。通常、V_{CC}へのグリッチが僅かな場合は、μPをリセットすることは推奨されません。

「標準動作回路」にリセットパルスが発生しない最大過渡的变化持続時間対リセットコンパレータのオーバドライブのグラフを示します。このグラフは、5Vで始まり、リセットスレッシュホールドよりも示された値(リセットコンパレータのオーバドライブ)だけ低い電圧で終わる、負方向へのV_{CC}パルスを用いて作成されています。このグラフは、リセットパルスが発生させない範囲での負方向へのV_{CC}の変化で標準的な最大パルス幅を示しています。変化の大きさが增加するに従い(リセットスレッシュホールドよりさらに低下)、最大許容パルス幅は低下します。

標準的には、V_{CC}の変化がリセットスレッシュホールドよりも40mV低下し、3μs以下のパルス幅の場合には、リセットは発生しません。

V_{CC}ピンの近くに0.1μFのバイパスコンデンサを取り付けることで、さらに変化に対する耐性を改善することができます。

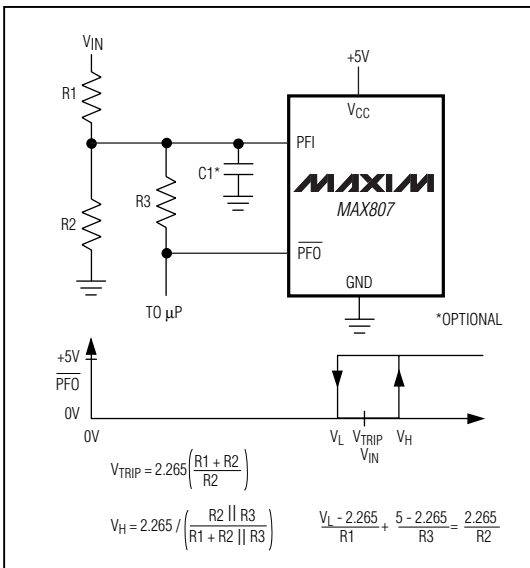


図15. パワーフェイルコンパレータへのヒステリシスを追加

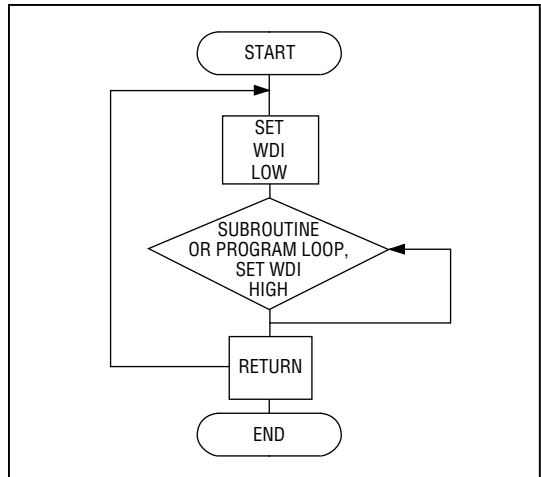


図16. ウォッチドッグのフローダイアグラム

ウォッチドッグ機能のためのソフトウェア上の考慮

ウォッチドッグタイマがソフトウェアの実行をより精密に監視できる方法があります。これは、ウォッチドッグ入力に「ハイ・ロー・ハイ」や「ロー・ハイ・ロー」のパルスを送るのではなく、プログラム中の異なる点でウォッチドッグ入力をセット、リセットする方法です。この方法を用いることで、ループの中でウォッチドッグタイマがリセットし続け、ウォッチドッグタイマがタイムアウトしなくなるスタックループを避けることができます。

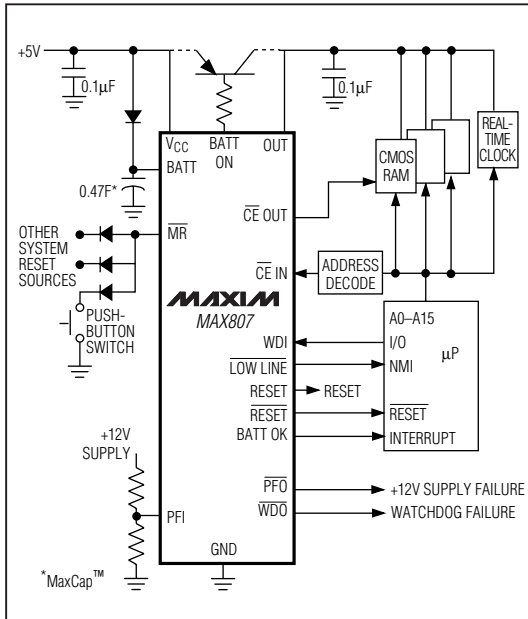
図16に例示するフロー図では、ウォッチドッグ入力を駆動するI/Oはプログラムの最初でハイに設定され、各サブルーチン又はループの最初でローに設定されます。そしてプログラムが始めに戻ると再びハイに設定されます。プログラムがどこかのサブルーチンでハングした場合、I/Oがローに設定され続けるため、ウォッチドッグタイマがタイムアウトしてリセット又は割込みが発生することができます。

V_{CC}の最大降下時間

V_{CC}の降下時間はバッテリー切換えコンパレータの伝播遅延で制限されており、0.03V/μsを超えないようにしてください。殆どのレギュレータのフィルタ容量の標準値は、電流1A当たり100μF程度です。電源がオフ、あるいはメインバッテリーが切り離された場合の初期V_{CC}降下率はその逆数、すなわち1A/100μF = 0.01V/μsとなります。V_{CC}は指数関数的に降下するため、V_{CC}降下率は次第に低下します。従って、最大降下時間の必要条件は十分に満たされます。

全機能内蔵 μ P監視回路 ±1.5%リセット精度

標準動作回路



型番

PART†	TEMP. RANGE	PIN-PACKAGE
MAX807_CPE	0°C to +70°C	16 Plastic DIP
MAX807_CWE	0°C to +70°C	16 Wide SO
MAX807_EPE	-40°C to +85°C	16 Plastic DIP
MAX807_EWE	-40°C to +85°C	16 Wide SO
MAX807_MJE	-55°C to +125°C	16 CERDIP

† This part offers a choice of reset threshold voltage. From the table below, select the suffix corresponding to the desired threshold and insert it into the blank to complete the part number.

SUFFIX	RESET THRESHOLD (V)		
	MIN	TYP	MAX
L	4.60	4.675	4.75
N	4.50	4.575	4.65
M	4.35	4.425	4.50

チップ情報

TRANSISTOR COUNT: 984

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 1995 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.