

12個のプッシュプル出力および4個の オープンドレインI/O付き、I²Cポートエキスパンダ

概要

2線式シリアルインタフェースペリフェラルのMAX7327は、12個のプッシュプル出力と、選択可能な内部プルアップと遷移検出を備える構成可能な4個のオープンドレインI/Oポートを備えています。各ポートは、電源電圧に関係なく、+6Vまで過電圧保護されています。

入力として構成された4個のI/Oポートは、状態変化を常に監視されます(遷移検出)。状態変化は、+6V耐圧のオープンドレインのINT出力によって示されます。割込みはラッチされるため、過渡的な変化を検出することができます。その後シリアルインタフェースを通じてMAX7327にアクセスすると、発行されている割込みがすべてクリアされます。12個のプッシュプル出力と4個のオープンドレイン出力は、シンク電流定格が20mAで、LEDを駆動可能です。RST入力によってシリアルインタフェースがクリアされ、MAX7327との間のすべてのI²C通信が終了します。

MAX7327では4レベルのロジックの2個のアドレス入力によって、16通りのI²Cスレーブアドレスが可能です。また、スレーブアドレスによって、I/Oポートの電源投入時の論理状態が決定され、40kΩの内部プルアップが2ポート単位でイネーブルまたはディセーブルされます。

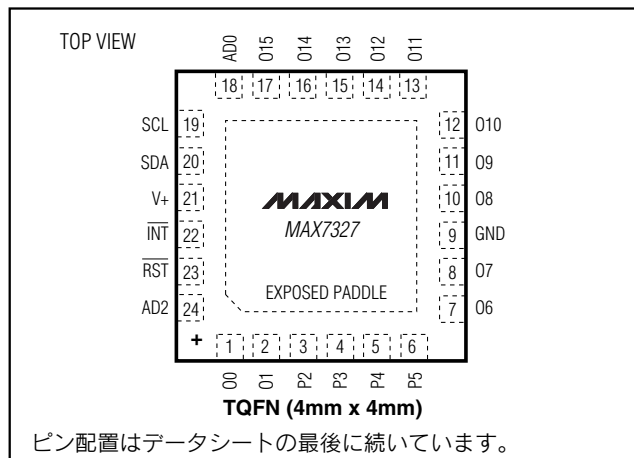
MAX7327は、入力ポート、オープンドレインI/Oポート、およびプッシュプル出力ポートを選択可能なピン互換のポートエキスパンダファミリの1デバイスです(表1参照)。

MAX7327は24ピンQSOPおよびTQFNパッケージで提供され、-40°C~+125°Cの車載用温度範囲での動作が保証されています。

アプリケーション

携帯電話	ノートブック
SAN/NAS	衛星ラジオ
サーバ	車載用

ピン配置



特長

- ◆ 400kHzのI²Cシリアルインタフェース
- ◆ 動作電圧：+1.71V~+5.5V
- ◆ 20mAのシンク電流定格の12個のプッシュプル出力ポート
- ◆ 20mAのシンク電流定格の4個のオープンドレインI/Oポート
- ◆ I/Oポートは最大+6Vの過電圧保護付き
- ◆ I/Oポートの電源投入時のデフォルト論理状態を選択可能
- ◆ 過渡的な変化がラッチされるため、読取り操作の間の検出可能
- ◆ 入力の変化をINT出力によって通知
- ◆ AD0およびAD2入力によって16通りのスレーブアドレスを選択可能
- ◆ 低スタンバイ電流：0.6μA (typ)
- ◆ 動作温度範囲：-40°C~+125°C

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX7327AEG+	-40°C to +125°C	24 QSOP	E24-1
MAX7327ATG+	-40°C to +125°C	24 TQFN-EP** (4mm x 4mm)	T2444-3
MAX7327AATG+	-40°C to +125°C	24 TQFN-EP** (3.5mm x 3.5mm)	T243A3-1

+は鉛フリーパッケージを示します。

**EP = エクスポートパッド。

選択ガイド

PART	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS
MAX7324	8	Yes	—	8
MAX7325	Up to 8	—	Up to 8	8
MAX7326	4	Yes	—	12
MAX7327	Up to 4	—	Up to 4	12

標準動作回路およびファンクションダイアグラムはデータシートの最後に記載されています。

12個のプッシュプル出力および4個の オープンドレインI/O付き、I²Cポートエキスパンダ

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)

Supply Voltage V ₊	-0.3V to +6V
SCL, SDA, AD0, AD2, $\overline{\text{RST}}$, $\overline{\text{INT}}$, P2-P5	-0.3V to +6V
O0, O1, O6-O15	-0.3V to V ₊ + 0.3V
O0, O1, O6-O15 Output Current	±25mA
P2-P5 Sink Current	25mA
SDA Sink Current	10mA
$\overline{\text{INT}}$ Sink Current	10mA
Total V ₊ Current	50mA

Total GND Current	100mA
Continuous Power Dissipation (T _A = +70°C)	
24-Pin QSOP (derate 9.5mW/°C over +70°C).....	761.9mW
24-Pin TQFN (derate 20.8mW/°C over +70°C)	1666.7mW
Operating Temperature Range	-40°C to +125°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V ₊	T _A = -40°C to +125°C	1.71		5.50	V
Power-On Reset Voltage	V _{POR}	V ₊ falling			1.6	V
Standby Current (Interface Idle)	I _{STB}	SCL and SDA and other digital inputs at V ₊ T _A = -40°C to +125°C		0.6	1.9	μA
Supply Current (Interface Running)	I ₊	f _{SCL} = 400kHz; other digital inputs at V ₊ T _A = -40°C to +125°C		23	55	μA
Input High-Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5	V _{IH}	V ₊ < 1.8V V ₊ ≥ 1.8V	0.8 x V ₊ 0.7 x V ₊			V
Input Low-Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5	V _{IL}	V ₊ < 1.8V V ₊ ≥ 1.8V		0.2 x V ₊ 0.3 x V ₊		V
Input Leakage Current SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5	I _{IH} , I _{IL}	SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P0-P7 at V ₊ or GND, internal pullup disabled	-0.2		+0.2	μA
Input Capacitance SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, P2-P5				10		pF
Output Low Voltage O8-O15, P0, P7	V _{OL}	V ₊ = 1.71V, I _{SINK} = 5mA (QSOP)		90	180	mV
		V ₊ = 1.71V, I _{SINK} = 5mA (TQFN)		90	230	
		V ₊ = 2.5V, I _{SINK} = 10mA (QSOP)		110	210	
		V ₊ = 2.5V, I _{SINK} = 10mA (TQFN)		110	260	
		V ₊ = 3.3V, I _{SINK} = 15mA (QSOP)		130	230	
		V ₊ = 3.3V, I _{SINK} = 15mA (TQFN)		130	280	
		V ₊ = 5V, I _{SINK} = 20mA (QSOP)		140	250	
		V ₊ = 5V, I _{SINK} = 20mA (TQFN)		140	300	
Output High Voltage O0, O1, O6-O15, P2-P5	V _{OH}	V ₊ = +1.71V, I _{SOURCE} = 2mA	V ₊ - 250	V ₊ - 30		mV
		V ₊ = +2.5V, I _{SOURCE} = 5mA	V ₊ - 360	V ₊ - 70		
		V ₊ = +3.3V, I _{SOURCE} = 5mA	V ₊ - 260	V ₊ - 100		
		V ₊ = +5V, I _{SOURCE} = 10mA	V ₊ - 360	V ₊ - 120		
Output Low-Voltage SDA	V _{OLSDA}	I _{SINK} = 6mA			250	mV
Output Low-Voltage $\overline{\text{INT}}$	V _{OLINT}	I _{SINK} = 5mA		130	250	mV
Port Input Pullup Resistor	R _{PU}		25	40	55	kΩ

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

MAX7327

PORT AND INTERRUPT $\overline{\text{INT}}$ TIMING CHARACTERISTICS

(V+ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Port Output Data Valid	t _{PPV}	C _L ≤ 100pF			4	μs
Port Input Setup Time	t _{PSU}	C _L ≤ 100pF	0			μs
Port Input Hold Time	t _{PH}	C _L ≤ 100pF	4			μs
$\overline{\text{INT}}$ Input Data Valid Time	t _{IV}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from STOP	t _{IP}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from Acknowledge	t _{IR}	C _L ≤ 100pF			4	μs

TIMING CHARACTERISTICS

(V+ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial-Clock Frequency	f _{SCL}				400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD, STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU, STA}		0.6			μs
STOP Condition Setup Time	t _{SU, STO}		0.6			μs
Data Hold Time	t _{HD, DAT}	(Note 2)			0.9	μs
Data Setup Time	t _{SU, DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.7			μs
Rise Time of Both SDA and SCL Signals, Receiving	t _R	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _F	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of SDA Transmitting	t _{F, TX}	(Notes 3, 4)		20 + 0.1C _b	250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Note 5)		50		ns
Capacitive Load for Each Bus Line	C _b	(Note 3)			400	pF
$\overline{\text{RST}}$ Pulse Width	t _W		500			ns
$\overline{\text{RST}}$ Rising to START Condition Setup Time	t _{RST}		1			μs

Note 1: All parameters tested at T_A = +25°C. Specifications over temperature are guaranteed by design.

Note 2: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) in order to bridge the undefined region of SCL's falling edge.

Note 3: Guaranteed by design.

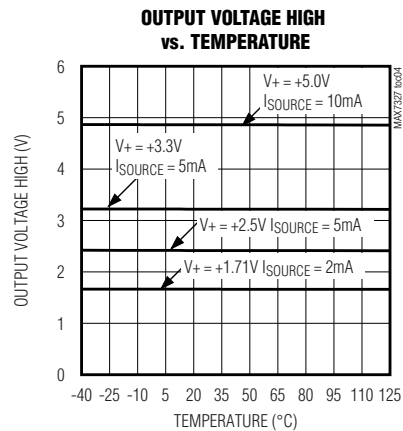
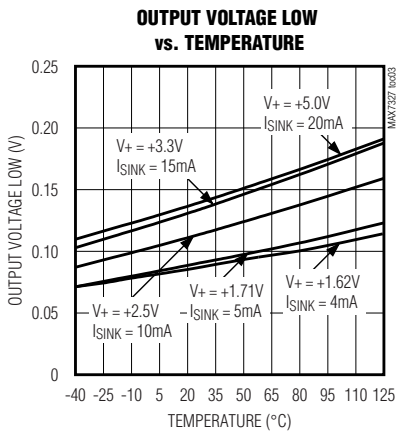
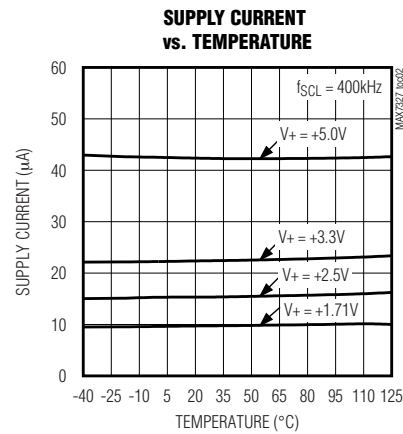
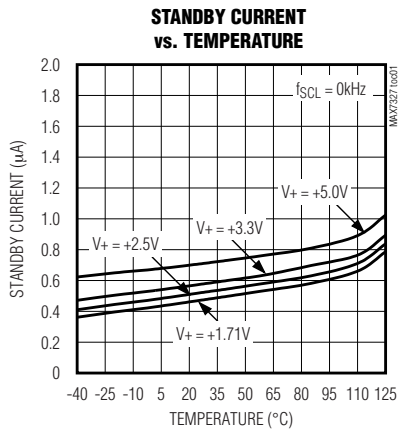
Note 4: C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3 x V+ and 0.7 x V+ with I_{SINK} ≤ 6mA.

Note 5: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

標準動作特性

(T_A = +25°C, unless otherwise noted.)



端子説明

端子		名称	機能
QSOP	TQFN		
1	22	\overline{INT}	アクティブロー割込み出力。 \overline{INT} はオープンドレイン出力です。
2	23	RST	アクティブローリセット入力。RSTをローに駆動すると2線式インタフェースがクリアされます。
3, 21	24, 18	AD2, AD0	アドレス入力。AD0とAD2でデバイスのスレーブアドレスを選択します。AD0およびAD2を、GND、V+、SCL、またはSDAのいずれかに接続することで、4個のロジックの組み合わせが実現します(表2および3参照)。
4, 5, 10, 11, 13-20	1, 2, 7, 8, 10-17	O0, O1, O6-O15	出力ポート。O0、O1、O6~O15は定格20mAのプッシュプル出力です。
6-9	3-6	P2-P5	P2~P5オープンドレインI/O
12	9	GND	グラウンド
22	19	SCL	I ² C互換シリアルクロック入力
23	20	SDA	I ² C互換シリアルデータI/O
24	21	V+	正の電源電圧。0.047µFのセラミックコンデンサでV+をGNDにバイパスしてください。
—	EP	EP	エクスポーズドパッド。エクスポーズドパッドをGNDに接続してください。

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

詳細

MAX7319~MAX7329のファミリ内比較

MAX7324~MAX7327のファミリは、MAX7320の機能に加えて、MAX7319、MAX7321、MAX7322、またはMAX7323のいずれか1つの機能を統合した、ピン互換の4種類の16ポートエキスパンダで構成されています。

機能概説

MAX7327は、+1.71V~+5.5Vの電源で動作し、20mAのシンクおよび10mAのソース駆動能力の12個のプッシュプル出力ポートと、20mAのシンク能力の4個のオープンドレインI/Oポートを備えた、汎用のポートエキスパンダです。4個のオープンドレイン出力は、+6Vまでの過電圧保護を備えています。

MAX7327は、アドレス入力AD2およびAD0を使用して32通りのI²Cスレーブアドレス(表2および3参照)の内の

2つに設定され、I²Cシリアルインタフェースによって最大400kHzでアクセスされます。8個のプッシュプル出力は、他の4個のプッシュプル出力およびオープンドレインI/Oとは異なるスレーブアドレスを使用します。8個のプッシュプル出力O8~O15が101xxxxというアドレスを使用するのに対し、4個の出力O0、O1、O6、およびO7とオープンドレインI/OのP2~P5は、110xxxxというアドレスを使用します。RST入力はバスがロックアップした場合にシリアルインタフェースをクリアし、MAX7327とのすべてのシリアルトランザクションを終了させます。

4個のオープンドレインポートは、いずれもポートの出力を論理ハイに設定することによって、論理入力として構成することができます(オープンドレイン出力の論理ハイは、ハイインピーダンスです)。シリアルインタフェースを通してMAX7327の読取りを行うと、ポートの実際の論理レベルが読み取られます。

表1. MAX7319~MAX7329のファミリ内比較

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
16-PORT EXPANDERS						
MAX7324	101xxxx and 110xxxx	8	Yes	—	8	8 inputs and 8 push-pull outputs version: 8 input ports with programmable latching transition detection interrupt and selectable pullups. 8 push-pull outputs with selectable default logic levels. Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even if only for a transient) since the ports were last read.
MAX7325		Up to 8	—	Up to 8	8	8 I/O and 8 push-pull outputs version: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 8 push-pull outputs with selectable default logic levels. Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V+ using external pullup resistors, but pullups draw current when output is low. Any open-drain port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which open-drain port inputs have changed (even if only for a transient) since the ports were last read.

12個のプッシュプル出力および4個の オープンドレインI/O付き、I²Cポートエキスパンダ

MAX7327

表1. MAX7319~MAX7329のファミリ内比較(続き)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
MAX7326		4	Yes	—	12	<p>4 input-only, 12 push-pull output versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups.</p> <p>12 push-pull outputs with selectable default logic levels.</p> <p>Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even if only for a transient) since the ports were last read.</p>
MAX7327	101xxxx and 110xxxx	Up to 4	—	Up to 4	12	<p>4 I/O, 12 push-pull output versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups.</p> <p>12 push-pull outputs with selectable default logic levels.</p> <p>Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V₊ using external pullup resistors, but pullups draw current when output is low. Any open-drain port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which open-drain port inputs have changed (even if only for a transient) since the ports were last read.</p>
8-PORT EXPANDERS						
MAX7319	110xxxx	8	Yes	—	—	<p>Input-only versions: 8 input ports with programmable latching transition detection interrupt and selectable pullups.</p>
MAX7320	101xxxx	—	—	—	8	<p>Output-only versions: 8 push-pull outputs with selectable power-up default levels.</p>
MAX7321	110xxxx	Up to 8	—	Up to 8	—	<p>I/O versions: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups.</p>
MAX7322	110xxxx	4	Yes	—	4	<p>4 input-only, 4 output-only versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.</p>

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

表1. MAX7319~MAX7329のファミリ内比較(続き)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	CONFIGURATION
MAX7323	110xxxx	Up to 4	—	Up to 4	4	4 I/O, 4 output-only versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.
MAX7328 MAX7329	0100xxx 0111xxx	Up to 8	—	Up to 8	—	PCF8574-, PCF8574A-compatible versions: 8 open-drain I/O ports with nonlatching transition detection interrupt and pullups on all ports.

4個のオープンドレインポートを入力として使用すると、ラッチ付きの遷移検出機能が提供されます。すべての入力ポートが常に変化を監視されます。1つの入力に変化すると、4個のフラグビットの1つがセットされ、変化のあったポートを示します。MAX7327に対するその後の読取りまたは書込みトランザクションによって、すべてのフラグがクリアされます。

ラッチ付きの割込み出力INTが、割込みマスクレジスタを通して、入力として使用している任意のI/Oポートのデータ変化を自動的に示します。いずれかの入力ポートでデータが変化すると、INTが論理ローになります。次にMAX7327がシリアルインタフェース経由でアクセスされたとき、割込み出力INTのアサートが解除されます。

V+に接続する内部プルアップ抵抗が、アドレス選択入力AD0およびAD2によって選択されます。プルアップは入力ポート2個単位でイネーブルされます(表2参照)。入力として使用するI/Oポートが起動時に論理ハイになることを保証するためには、スレーブアドレス選択を使用してください。内部プルアップをイネーブルされたI/Oポートは、デフォルトで論理ハイの出力状態になります。内部プルアップをディセーブルされたI/Oポートは、デフォルトで論理ローの出力状態になります。

出力ポートの起動時の論理レベルは、アドレス選択入力AD0およびAD2によって選択されます。各ポートは2個単位で起動時のデフォルトが論理ハイまたは論理ローになります(表2および3参照)。

初期起動

起動時には、12個のプッシュプル出力ポートと4個のオープンドレインI/Oポートのデフォルト状態が、I²Cスレーブアドレス選択入力AD0およびAD2に従って設定されます(表2および3)。入力として使用するI/Oポートは、デフォルトの状態が論理ハイ、すなわち、I/Oポートがハイインピーダンス状態で起動するようにしてください。プルアップをイネーブルするように設定したI/Oポートも、

すべて論理ハイがデフォルト状態になります。起動時には、遷移検出口ジックがリセットされ、INTのアサートが解除されます。遷移フラグがクリアされ、データに変化がないことを示します。

起動時リセット(POR)

MAX7327は、起動時にすべてのレジスタが既知の状態にリセットされることを保証するPOR回路を内蔵しています。V+がV_{POR}(1.6V max)を上回ると、POR回路がレジスタと2線式インタフェースを解放して通常動作可能にします。V+がV_{POR}未満まで低下すると、MAX7327はすべてのレジスタの内容をPORデフォルト値にリセットします(表2および3)。

RST入力

アクティブローのRST入力は、MAX7327が関与しているすべてのI²Cトランザクションを取消し、MAX7327をI²Cのストップ状態に強制するハードウェアリセットとして動作します。リセットは、割込み出力(INT)には影響を与えません。

スタンバイモード

シリアルインタフェースがアイドル状態のとき、MAX7327は自動的にスタンバイモードに入り、最少の電源電流となります。

スレーブアドレス、起動時デフォルトの論理レベル、および入力プルアップの選択

アドレス入力AD0およびAD2によってMAX7327のスレーブアドレスが決まり、いずれの入力がプルアップ抵抗を備えるかが選択されます。プルアップは、入力ポート2個単位でイネーブルされます(表2参照)。

MAX7327のスレーブアドレスは、I²Cの伝送ごとに決定されます(その伝送が実際にMAX7327をアドレス指定するものかどうかは関係ありません)。この伝送中に、

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

MAX7327はアドレス入力AD0とAD2が固定の論理レベルV+またはGNDではなく、SDAまたはSCLに接続されているかどうかを識別します。MAX7327のスレーブアドレスは、デバイスの電源をオンオフすることなく、アプリケーション内で動的に設定することが可能です。

初めて起動したとき、最初のI²C伝送が行われるまでは、MAX7327はアドレス入力AD0およびAD2を完全にデコードすることができません。AD0とAD2は、最初はV+またはGNDに接続されているように見えます。アドレス選択を使用して、起動時の出力ポートのデフォルト状態、I/Oポートの初期論理状態、およびプルアップをイネーブルするかどうかが決定的なため、この点が重要になります。起動時にはI²CのSDAおよびSCLバスインタフェースラインは、MAX7327を含めて、バスに接続されているすべてのデバイス(マスタまたはスレーブ)のI/O端子でハイインピーダンスになります。このことはI²C仕様の一部として保証されています。したがって、起動時にアドレス入力AD0およびAD2がSDAまたはSCLに接続されている場合、それらはV+に接続されているように見えます。プルアップの選択ロジックは、AD0を使ってポートP2とP3のプルアップをイネーブルするかどうかを選択し、AD2を使ってポートP4とP5のプルアップをイネーブルするかどうかを選択します。ルールとしては、論理ハイ、SDA、またはSCLと接続

されていればプルアップを選択し、論理状態をハイにします。論理ローなら、プルアップを切断し、デフォルトの論理状態をローにします。標準的なI²Cの構成、すなわちSDAまたはSCLが外部のI²Cプルアップ抵抗によってV+にプルアップされている場合は、起動時に正しいポート構成になります。

場合によっては、起動時にSDA = SCL = V+になるという想定が通用しないこともあります。たとえば、起動時に規定されたバス活動が行われるアプリケーションなどです。もしSDAとSCLがMAX7327の電源電圧とは別の電源電圧にプルアップ抵抗で終端されていてそのプルアップ電源の立上りがMAX7327の電源より遅い場合、起動時にSDAまたはSCLがGNDに接続されているように見える可能性があります。そのようなアプリケーションでは、アドレス入力AD0とAD2をV+またはGNDに接続することによって選択される4通りのアドレスの組み合わせを使用してください(表2および3の太字箇所)。これらの選択肢は、SDAおよびSCLの挙動とは関係なく、起動時に正しくなることが保証されています。他の12通りのアドレスの組み合わせのいずれかを使用した場合、最初のI²C伝送(必ずしもMAX7327ではなく、任意のデバイスに対するもので構いません)がバス上に出されるまでは、予想外のプルアップの組み合わせがアサートされる可能性があります。

表2. MAX7327の出力O0、O1、O6、O7、およびポートP2~P5のアドレスマップ

PIN CONNECTION		DEVICE ADDRESS								PORTS POWER-UP DEFAULT								40kΩ INPUT PULLUPS ENABLED							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	O7	O6	P5	P4	P3	P2	O1	O0	O7	O6	P5	P4	P3	P2	O1	O0	
SCL	GND	1	1	0	0	0	0	0	1	1	1	1	0	0	0	0			Y	Y	—	—			
SCL	V+	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1			Y	Y	Y	Y			
SCL	SCL	1	1	0	0	0	1	0	1	1	1	1	1	1	1	1			Y	Y	Y	Y			
SCL	SDA	1	1	0	0	0	1	1	1	1	1	1	1	1	1	1			Y	Y	Y	Y			
SDA	GND	1	1	0	0	1	0	0	1	1	1	1	0	0	0	0			Y	Y	—	—			
SDA	V+	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1			Y	Y	Y	Y			
SDA	SCL	1	1	0	0	1	1	0	1	1	1	1	1	1	1	1			Y	Y	Y	Y			
SDA	SDA	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1			Y	Y	Y	Y			
GND	GND	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0			—	—	—	—			
GND	V+	1	1	0	1	0	0	1	0	0	0	0	1	1	1	1			—	—	Y	Y			
GND	SCL	1	1	0	1	0	1	0	0	0	0	0	1	1	1	1			—	—	Y	Y			
GND	SDA	1	1	0	1	0	1	1	0	0	0	0	1	1	1	1			—	—	Y	Y			
V+	GND	1	1	0	1	1	0	0	1	1	1	1	0	0	0	0			Y	Y	—	—			
V+	V+	1	1	0	1	1	0	1	1	1	1	1	1	1	1	1			Y	Y	Y	Y			
V+	SCL	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1			Y	Y	Y	Y			
V+	SDA	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1			Y	Y	Y	Y			

Pullups are not enabled for push-pull outputs

Pullups are not enabled for push-pull outputs

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

表3. MAX7327の出力O8~O15のアドレスマップ

PIN CONNECTION		DEVICE ADDRESS							OUTPUTS POWER-UP DEFAULT							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	O15	O14	O13	O12	O11	O10	O9	O8
SCL	GND	1	0	1	0	0	0	0	1	1	1	1	0	0	0	0
SCL	V+	1	0	1	0	0	0	1	1	1	1	1	1	1	1	1
SCL	SCL	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1
SCL	SDA	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1
SDA	GND	1	0	1	0	1	0	0	1	1	1	1	0	0	0	0
SDA	V+	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1
SDA	SCL	1	0	1	0	1	1	0	1	1	1	1	1	1	1	1
SDA	SDA	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1
GND	GND	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0
GND	V+	1	0	1	1	0	0	1	0	0	0	0	1	1	1	1
GND	SCL	1	0	1	1	0	1	0	0	0	0	0	1	1	1	1
GND	SDA	1	0	1	1	0	1	1	0	0	0	0	1	1	1	1
V+	GND	1	0	1	1	1	0	0	1	1	1	1	0	0	0	0
V+	V+	1	0	1	1	1	0	1	1	1	1	1	1	1	1	1
V+	SCL	1	0	1	1	1	1	0	1	1	1	1	1	1	1	1
V+	SDA	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1

I/Oポート入力

I/Oポート入力は、このエキスパンダの電源電圧によって決定されるCMOSロジックレベルでスイッチし、デバイスの電源電圧とは無関係に+6Vまでの過電圧耐性があります。

I/Oポート入力の遷移検出

入力として構成されているすべてのI/Oは、シリアルインタフェース経由でこのエキスパンダがアクセスされた後の変化が監視されます。ポートの状態は内部の「スナップショット」レジスタに格納され、遷移の監視に使用されます。スナップショットは、実際の入力の状態と常に比較され、いずれかのポート入力について変化が検出されると、INTがアサートされて状態の変化を知らせます。MAX7327の読み書きアクセスごとに、I²Cのアクノリッジ中に入力ポートがサンプリングされ(内部でスナップショットレジスタにラッチされ)、元の遷移フラグがクリアされます。それまでのポート遷移フラグは、2バイトの読み取りシーケンスの第2バイトとしてシリアルインタフェース経由で読み取られます。

(2バイトを超える)長い読み取りシーケンスを使用すれば、スレーブアドレスを再送するオーバーヘッドなしに、常にこのエキスパンダのポーリングを行うことができます。このエキスパンダから2バイトを超える読み取りが行われる場合、エキスパンダは入力ポートのデータ2バイトと遷移フラグとを繰り返して返します。入力は繰り返しサンプリングし直され、読み取ったバイトのペアごとに遷移フラグが繰り返し設定し直されます。長い読み取りシーケンスの期間中に発生したすべての変化が検出され報告されます。

割込みサービスルーチンへの再入が繰り返されるのを防ぐため、読み取りシーケンス中はINT出力が再度アサートされることはありません。代わりに、通常であればINT出力がセットされる原因になるデータの変化が生じた場合、ストップ状態までINTのアサートが遅延されます。変化した入力データがストップ発生前に読み取られた場合は、ストップ状態になってもINTは再アサートされません。INTのロジックが、不必要な割込みは発生させず、しかもデータの変化はいつ生じても必ず検出され報告されることを保証します。

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

シリアルインタフェース

シリアルアドレス指定

MAX7327はI²Cインタフェース経由でデータの送受信を行い、スレーブとして動作します。このインタフェースは、シリアルデータライン(SDA)とシリアルクロックライン(SCL)を使用して、マスタ(複数可)とスレーブ(複数可)の間での双方向通信を実現します。マスタはMAX7327との間のすべてのデータ転送を開始し、データ転送の同期を取るためのSCLクロックを生成します(図1)。

SDAは、入力およびオープンドレイン出力の両方として動作します。SDAにはプルアップ抵抗(通常は4.7kΩ)が必要です。SCLは入力としてのみ動作します。2線式インタフェース上に複数のマスタが存在する場合、またはシングルマスタシステムのマスタがオープンドレインのSCL出力を備えている場合には、SCLにもプルアップ抵抗(通常は4.7kΩ)が必要です。

個々の伝送は、マスタが送信するスタート状態、それに続くMAX7327の7ビットのスレーブアドレスとR/Wビット、1つ以上のデータバイト、そして最後にストップ状態という組み合わせで構成されます(図2)。

スタートおよびストップ状態

インタフェースがビジーでないときは、SCLとSDAの両方ともハイの状態に保たれています。マスタは、SCLがハイの間にSDAをハイからローに遷移させることによってスタート(S)状態を発行し、転送の開始を伝えます。スレーブとの通信を終えたマスタは、SCLがハイの間にSDAをローからハイに遷移させることによってストップ(P)状態を発行します。これでバスが解放され、次の転送が可能になります(図2)。

ビット転送

各クロックパルスの中に、1つのデータビットが転送されます。SDA上のデータは、SCLがハイの間は安定している必要があります(図3)。

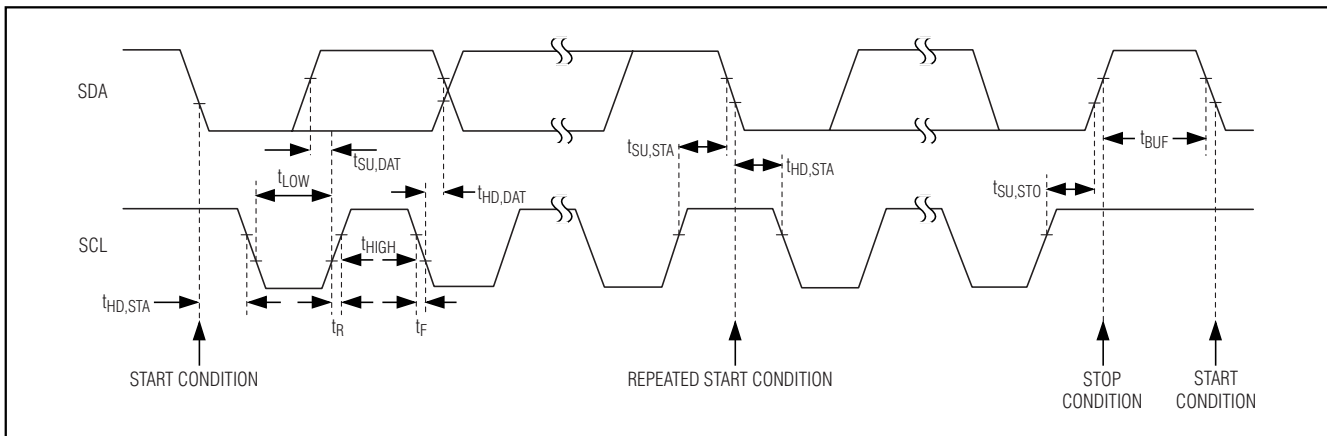


図1. 2線式シリアルインタフェースのタイミング詳細

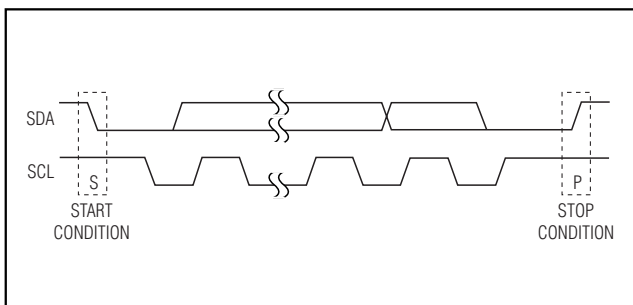


図2. スタートおよびストップ状態

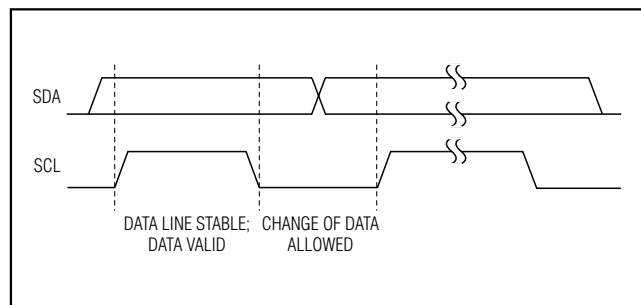


図3. ビット転送

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

アクリッジ

アクリッジビットは、データの各バイトの受領を通知するために受信側が使用する、9番目のクロックによるビットです(図4)。転送される各バイトは実際に9ビットを必要とすることになります。マスタが9番目のクロックパルスを生成し、受信側はアクリッジのクロックパルスの間SDAをプルダウンして、クロックパルスのハイの期間SDAラインが安定するようにします。マスタからMAX7327への送信中はMAX7327が受信側になるため、MAX7327がアクリッジビットを生成します。MAX7327からマスタへの送信中はマスタが受信側になるため、マスタがアクリッジビットを生成します。マスタは、ストップ状態を発行する前にはアクリッジを生成しません。

スレーブアドレス

MAX7327は、2つの異なる7ビット長のスレーブアドレスを備えています(図5)。アドレスは、8個のプッシュプル出力O8~O15と通信を行うか、他の8個のI/Oと通信を行うかで異なります。7ビットのスレーブアドレスに続く8番目のビットはR/Wビットです。書き込みコマンド時はロー、読取りコマンド時はハイになります。

MAX7327のスレーブアドレスの先頭(A6)、2番目(A5)、および3番目(A4)のビットは、常に1、1、0(O0、O1、P2~P5、O6、O7)または1、0、1(O8~O15)になります。AD0とAD2を、GND、V+、SDA、またはSCLに接続して、スレーブアドレスのビットA3、A2、A1、およびA0を選択します。すなわちMAX7327は16通りのスレーブアドレスを選択可能であり(表2および3)、1つのI²Cバス上に最大16個のMAX7327デバイスが存在可能になります。

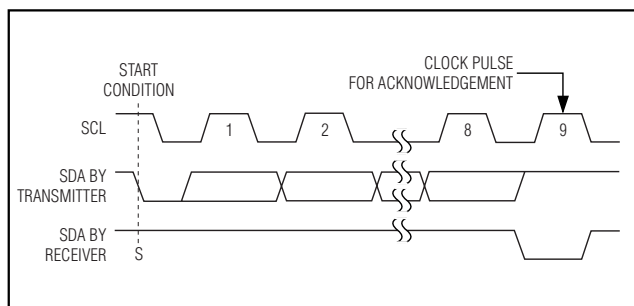


図4. アクリッジ

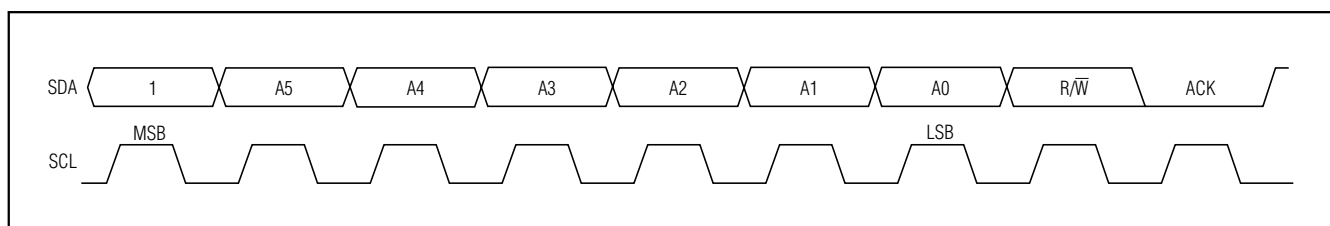


図5. スレーブアドレス

MAX7327のアクセス

MAX7327は、MAX7320とMAX7323を組み合わせたものです。MAX7323のポート群に相当するグループAの8個のポート(O0、O1、P2~P5、O6、およびO7)と、MAX7320のポート群に相当するグループBの8個のポート(O8~O15)は、それぞれ表2と3に示すように、固有のアドレスを通して独立して読み書きが行われます。

MAX7327のグループAのポートからの単一バイト読取りでは、4個のI/Oポートと4個の出力ポートの状態が返され(入力として読み取られ)、マスタがスレーブアドレスバイトのアクリッジを行う際に、内部の遷移フラグとINT出力の両方がクリアされます。

MAX7327のグループAのポートからの2バイト読取りでは、4個のI/Oポートと4個の出力ポートの状態が(単一バイト読取りと同様に)返され、その後4個のI/Oポートに対する4個の遷移フラグが続きます。内部の遷移フラグとINT出力は、マスタがスレーブアドレスバイトのアクリッジを行う際に、自動的にクリアされます(しかし、それまでの遷移フラグのデータが2番目のバイトとして送られます)。

MAX7327のグループAのポートからのマルチバイト読取り(I²Cのストップビットまでに3バイト以上)では、ポートデータと遷移フラグが交互に繰り返して返送されます。転送ごとにポートのデータが再サンプリングされ、遷移フラグが毎回リセットされるため、マルチバイト読取りでは最新のデータが連続的に返され、あらゆるI/Oポートの変化を識別することができます。

読取りシーケンス中にポート入力データの変化が発生すると、I²Cのストップビット中にINTが再びアサートされます。MAX7327は、単一バイトまたはマルチバイトのMAX7327読取りルーチン内で新たな割込みを生成することはありません。入力ポートデータは、先行するI²Cアクリッジビット(単一バイトまたは2バイト読取りの場合、I²Cスレーブアドレスのアクリッジビット)の間にサンプリングされます。

12個のプッシュプル出力および4個の オープンドレインI/O付き、I²Cポートエキスパンダ

MAX7327のグループBポートからの単一バイト読取りでは、8個の出力ポートの状態が返されます(入力として読み取られます)。

MAX7327のグループBポートからの2バイト読取りでは、8個の出力ポートの状態が繰り返して返送されます(入力として読み取られます)。

MAX7327のグループBポートからのマルチバイト読取り(I²Cのストップビットまでに3バイト以上)では、8個の出力ポートの状態が繰り返して返送されます(入力として読み取られます)。

MAX7327のグループAまたはグループBポートへの単一バイトの書込みでは、8個すべてのポートの論理状態が設定されます。

MAX7327のグループAまたはグループBポートへのマルチバイト書込みでは、8個すべてのポートの論理状態が繰り返し設定されます。

MAX7327からの読取り

MAX7327のグループAポートからの読取りは、マスタがR/Wビットをハイにしたポートグループのスレーブアドレスを送信することで始まります。MAX7327はスレーブアドレスをアクノリッジし、アクノリッジビットの間にポート状態のサンプリングを行います。スレーブアドレスのアクノリッジの間に、 $\overline{\text{INT}}$ はハイになります。その後マスタは、アクノリッジの後でストップ状態を発行することができます。マスタが非アクノリッジでシリアルトランスミッションを終了した場合は、スナップショットが取られ、 $\overline{\text{INT}}$ の状態は変化しません。

マスタがMAX7327のグループAポートから1バイトを読み取り、それに続いてストップ状態を発行する場合は(図6)、MAX7327は現在のポートデータを送信し、変化フラグをクリアし、遷移検出をリセットします。 $\overline{\text{INT}}$ はスレーブのアクノリッジ中にアサート解除されます。新しいスナップショットデータは、マスタに送信される

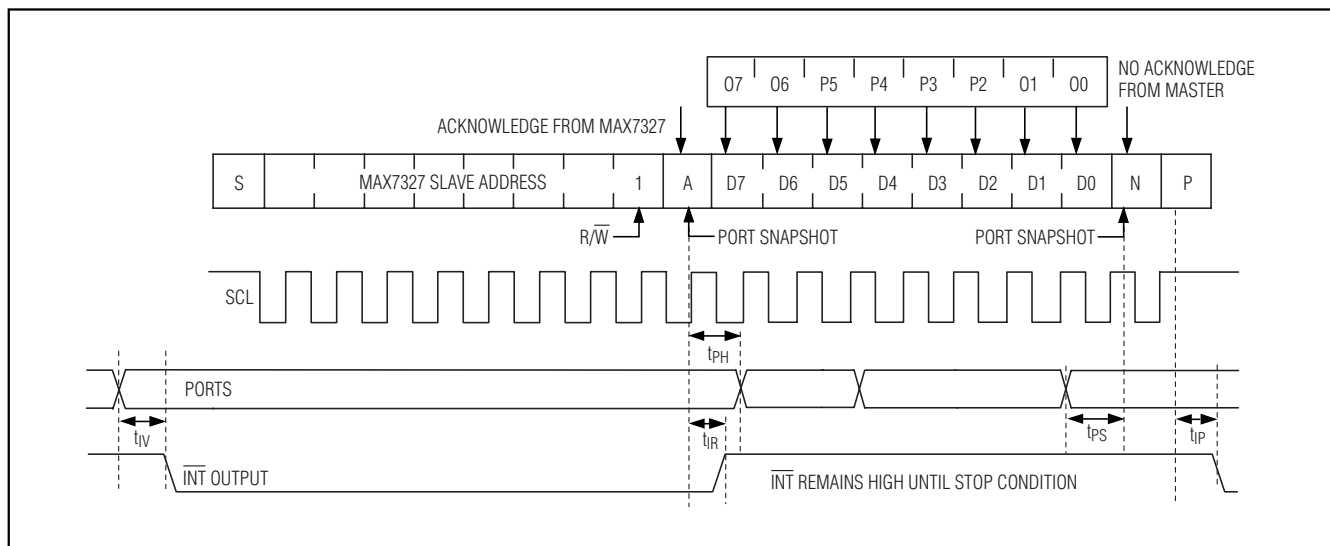


図6. MAX7327のグループAポートからの読取り(1バイトのデータ)

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

現在のポートデータになるため、転送中に発生するポートの変化はすべて検出されます。 $\overline{\text{INT}}$ はストップ状態までハイのままになります。

マスタがMAX7327のグループAポートから2バイトを読み取り、その後ストップ状態を発行する場合は(図7)、MAX7327は現在のポートデータを送信し、その後に変化フラグを送信します。そして変化フラグがクリアされ、遷移検出がリセットされます。 $\overline{\text{INT}}$ はスレーブのアクノリッジ中にハイ(外付けプルアップ抵抗が取り付けられていない場合はハイインピーダンス)になります。新しいスナップショットデータは、マスタに送信される現在のポートデータになるため、転送中にポートの変化が発生すれば検出されます。 $\overline{\text{INT}}$ はストップ状態までハイのままになります。

MAX7327のグループBポートからの読み取りは、マスタがR/Wビットをハイにしたグループのスレーブアドレスを送信することで始まります。MAX7327はスレーブ

アドレスをアクノリッジし、アクノリッジビットの間に出力ポートの論理状態をサンプリングします。マスタはMAX7327のグループBポートから1バイト以上を読み取り、ストップ状態を発行することができます(図8)。MAX7327は、アクノリッジ中に(ポートの出カラッチではなく)実際のポート出力から読み取った、現在のポートデータを送信します。ポートが本来プログラムされたもの以外の論理状態を強制されている場合、読み取り結果にそれが反映されます。容量性負荷を駆動する場合、読み取ったポートレベルの検証アルゴリズムでは、RCの立上り/立下り時間を考慮に入れる必要があります。通常、マスタはMAX7327のグループBポートから1バイトを読み取り、ストップ状態を発行します(図8)。しかし、マスタはMAX7327のグループBポートから2バイト以上を読み取って、ストップ状態を発行することもできます。この場合、MAX7327は各アクノリッジの間にポート出力の再サンプリングを行い、毎回新しいデータを送信します。

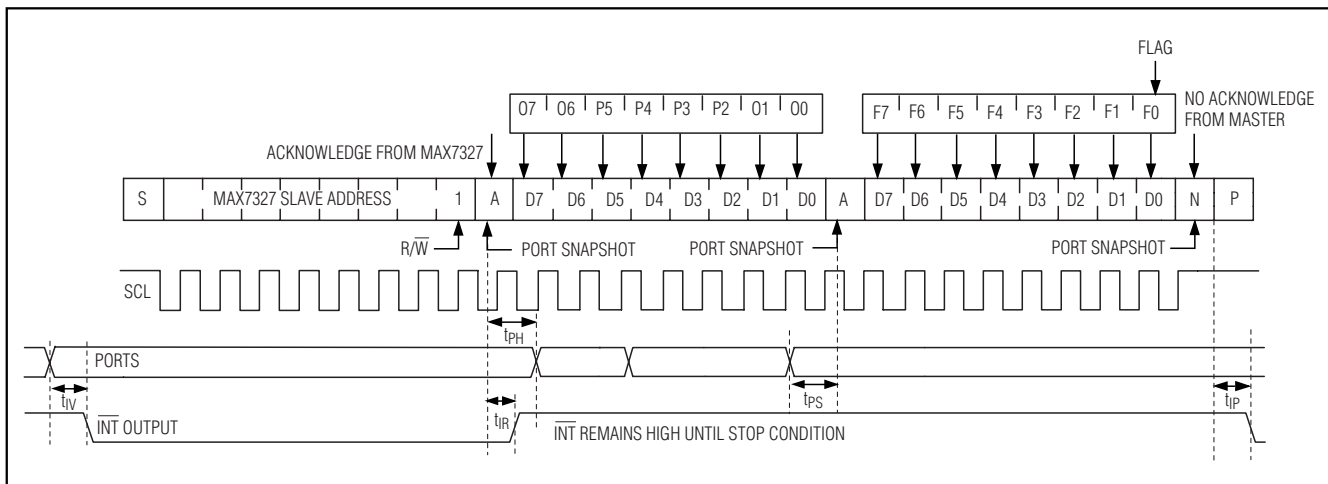


図7. MAX7327のグループAポートからの読み取り(2バイトのデータ)

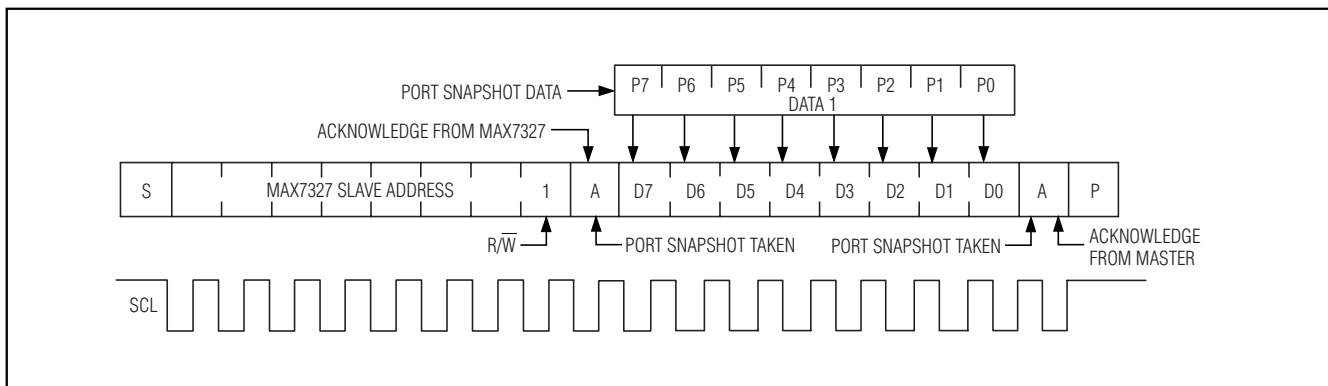


図8. MAX7327のグループBポートからの読み取り

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

MAX7327への書込み

MAX7327のグループAまたはBポートへの書込みは、マスタがR/Wビットをローにしたグループのスレーブアドレスを送信することで始まります。MAX7327はスレーブアドレスをアクノリッジし、アクノリッジビットの間にポートのサンプリングを行います。グループAポートへの書込み時のみ、INTはスレーブアクノリッジの間ハイ(外付けプルアップ抵抗が取り付けられていない場合はハイインピーダンス)になります。これでマスタは、1バイト以上のデータ送信を行うことができます。MAX7327はこれら後続のデータバイトのアクノリッジを行い、マスタがストップ状態を発行するまで、新しいバイトごとに該当するグループのポートを更新します(図9)。

アプリケーション情報

より高いまたは低い論理電圧のポート入力とI²Cインタフェースとのレベル変換

MAX7327のSDA、SCL、AD0、AD2、RST、INT、および4個のI/OポートP2~P5は、V+に関係なく+6Vまで過電圧保護されています。このためMAX7327は、I²Cインタフェースや4個のI/Oポートの中により高い論理レベル(たとえば+5V)で駆動されているものがあるときに、より低い電源電圧(たとえば+3.3V)で動作することが可能になっています。

MAX7327は、I²Cインタフェースや4個のI/OポートP2~P5の中により低い論理レベル(たとえば+2.5V)で駆動されているものがあるときに、より高い電源電圧(たとえば+3V)で動作することが可能です。V+ < 1.8Vの場合、いずれの入力についても論理ハイをアサートするには最小電圧0.8 × V+を印加してください。V+ ≥

1.8Vの場合、論理ハイをアサートするには0.7 × V+を印加してください。たとえば、MAX7327が+5V電源で動作している場合、公称+3.3Vの論理ハイは認識されない可能性があります。入力レベル変換のための1つの方法は、MAX7327の入力をオープンドレインの出力から駆動することです。V+以上の電源へのプルアップ抵抗を使用して、ハイの論理電圧が確実に0.7 × V+より大きくなるようにしてください。

ポート出力信号レベル変換

オープンドレイン出力アーキテクチャによって、MAX7327の電源よりも高い電圧や低い電圧へのレベル変換が可能になっています。任意の出力に外付けのプルアップ抵抗を使用して、ハイインピーダンスの論理ハイ状態を正の電圧レベルに変換してください。この抵抗は最大+6Vまでの任意の電圧に接続することができ、論理ロー状態においてシンク電流が20mAを越えないことを保証するように抵抗値を選択します。CMOS入力とのインタフェースの場合、最初はプルアップ抵抗値220kΩから始めるのが適切です。消費電力が最重要ではないアプリケーションや、所定の容量性負荷に対するより高速な立上り時間が要求されるアプリケーションでは、より小さな抵抗を使用してノイズ耐性を向上させてください。

12個のプッシュプル出力ポートは、いずれもV+とGNDへの保護ダイオードを備えています。ポート出力がV+より高い電圧またはGNDより低い電圧に駆動されると、適切な保護ダイオードが出力をダイオード降下分だけV+より上またはGNDより下にクランプします。MAX7327の電源がオフになると(V+ = 0V)、各出力ポートのV+とGNDへの保護ダイオードは、各出力からGNDへのダイオードクランプのように見えます(図10)。

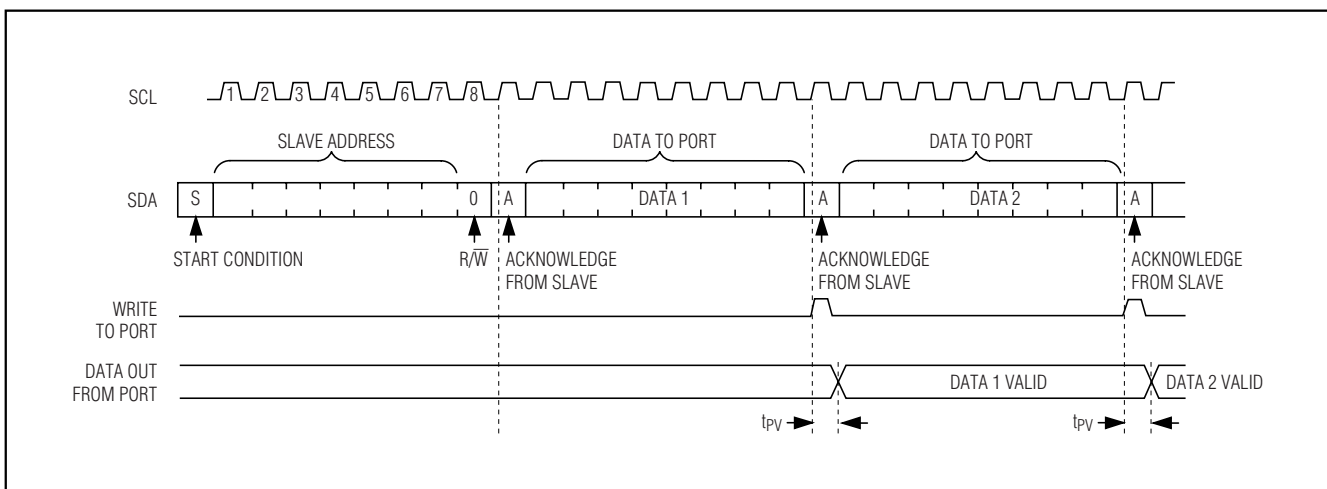


図9. MAX7327への書込み

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

4個のI/OポートP2~P5は、いずれもGNDへの保護ダイオードを備えています(図11)。ポート出力がGNDより低い電圧に駆動されると、保護ダイオードがGNDよりダイオード降下分だけ下に出力をクランプします。

4個のI/OポートP2~P5は、イネーブルまたはディセーブルが可能な40kΩ (typ)のプルアップ抵抗も備えています。ポートがV+より高い電圧に駆動されると、プルアップイネーブルスイッチのボディダイオードが導通し、40kΩのプルアップ抵抗がイネーブルされます。MAX7327が電源オフされると(V+ = 0V)、各I/Oポートは0Vに接続されたダイオードと直列な40kΩの抵抗のように見えます。入力ポートはこれらすべての状況下において+6Vまで保護されます(図11)。

LED負荷の駆動

12個のプッシュプル出力のいずれかでLEDを駆動する場合、LEDと直列に抵抗を接続して、LEDの電流が20mAを超えないように制限する必要があります。LEDのカソードをMAX7327のポートに接続し、LEDのアノードを直列の電流制限抵抗R_{LED}を通してV+に接続してください。LEDを点灯するには、ポートの出力をローにします。次の式に従って抵抗値を選択してください。

$$R_{LED} = (V_{SUPPLY} - V_{LED} - V_{OL}) / I_{LED}$$

ただし、

R_{LED}はLEDと直列の抵抗の抵抗値(Ω)。

V_{SUPPLY}はLEDの駆動に使用する電源電圧(V)。

V_{LED}はLEDの順方向電圧(V)。

V_{OL}はI_{LED}シンク時におけるMAX7327の出力ロー電圧(V)。

I_{LED}は所望のLEDの動作電流(A)。

たとえば、2.2Vの赤色LEDを+5V電源から10mAで動作させる場合、

$$R_{LED} = (5 - 2.2 - 0.1) / 0.01 = 270\Omega$$

20mAを超える負荷電流の駆動

MAX7327は、出力の並列化によってリレーのような20mAを超える電流の負荷の駆動に使用することができます。負荷電流20mA当り少なくとも1つの出力を使用してください。たとえば、5V 330mWのリレーには66mAが流れるため、4個の出力を並列にする必要があります。MAX7327に書き込むことによって、ポートの任意の組み合わせを同時にセットまたはクリアすることができるため、出力の任意の組み合わせを負荷分散設計の一部として使用することができます。デバイス全体でのシンク電流の合計が100mAを超えないようにしてください。

MAX7327は、誘導性負荷(リレーなど)の両端間に逆バイアスダイオードを接続することによって、誘導性負荷をスイッチオフする際に生成される負の電圧トランジェントから保護する必要があります。誘導性負荷の動作電流よりも大きいダイオードのピーク電流を選択してください。

電源について

MAX7327は、+1.71V~+5.5Vの電源電圧で動作します。できる限りデバイスに近い位置で、少なくとも0.047μFのセラミックコンデンサを使って電源をGNDにバイパスしてください。TQFN版の場合、さらにエクスポーズドパッドをGNDに接続してください。

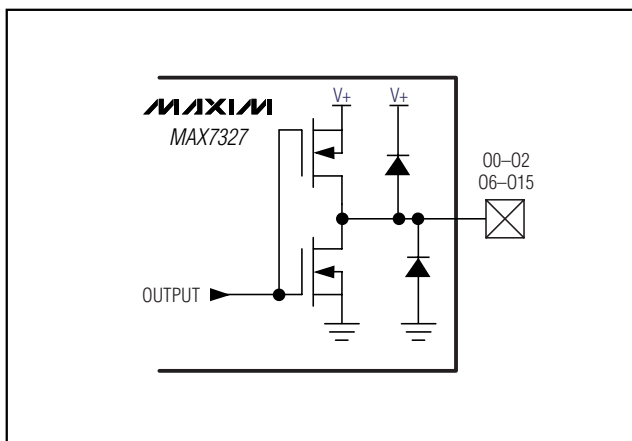


図10. MAX7327のプッシュプル出力ポート構造

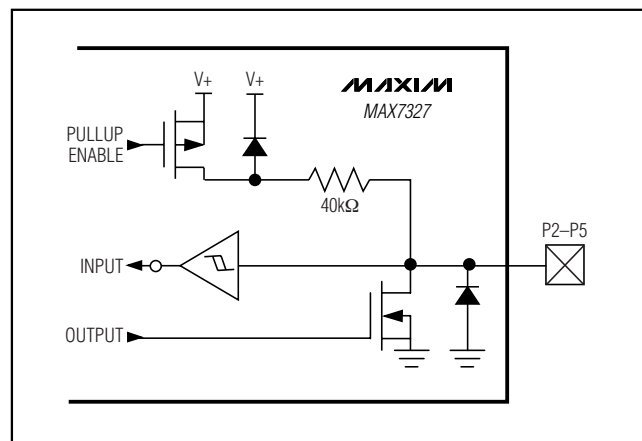
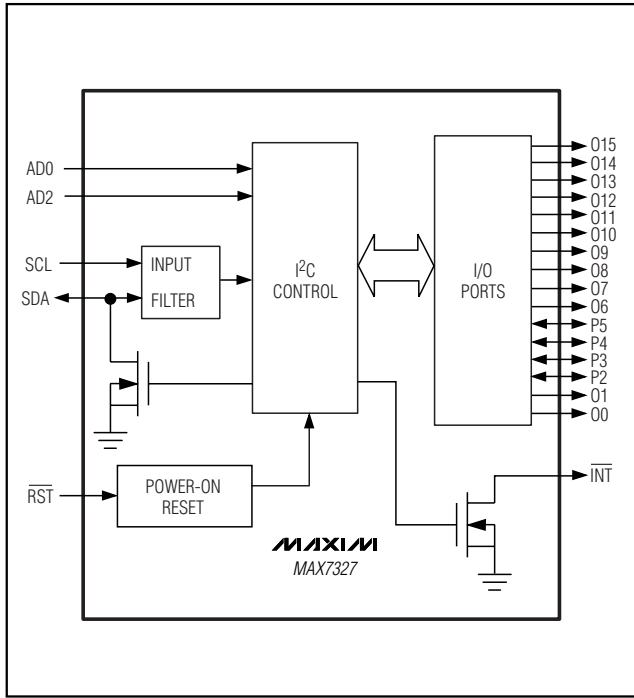


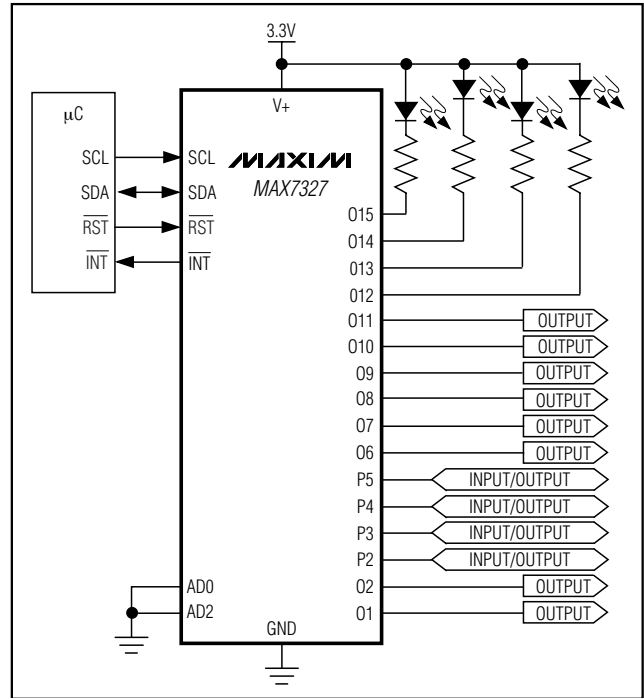
図11. MAX7327のオープンドレインI/Oポート構造

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

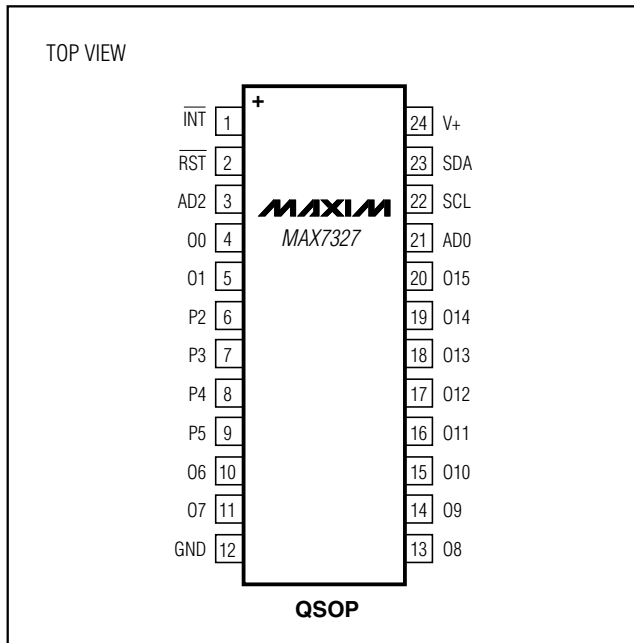
ファンクションダイアグラム



標準動作回路



ピン配置(続き)



チップ情報

PROCESS: BiCMOS

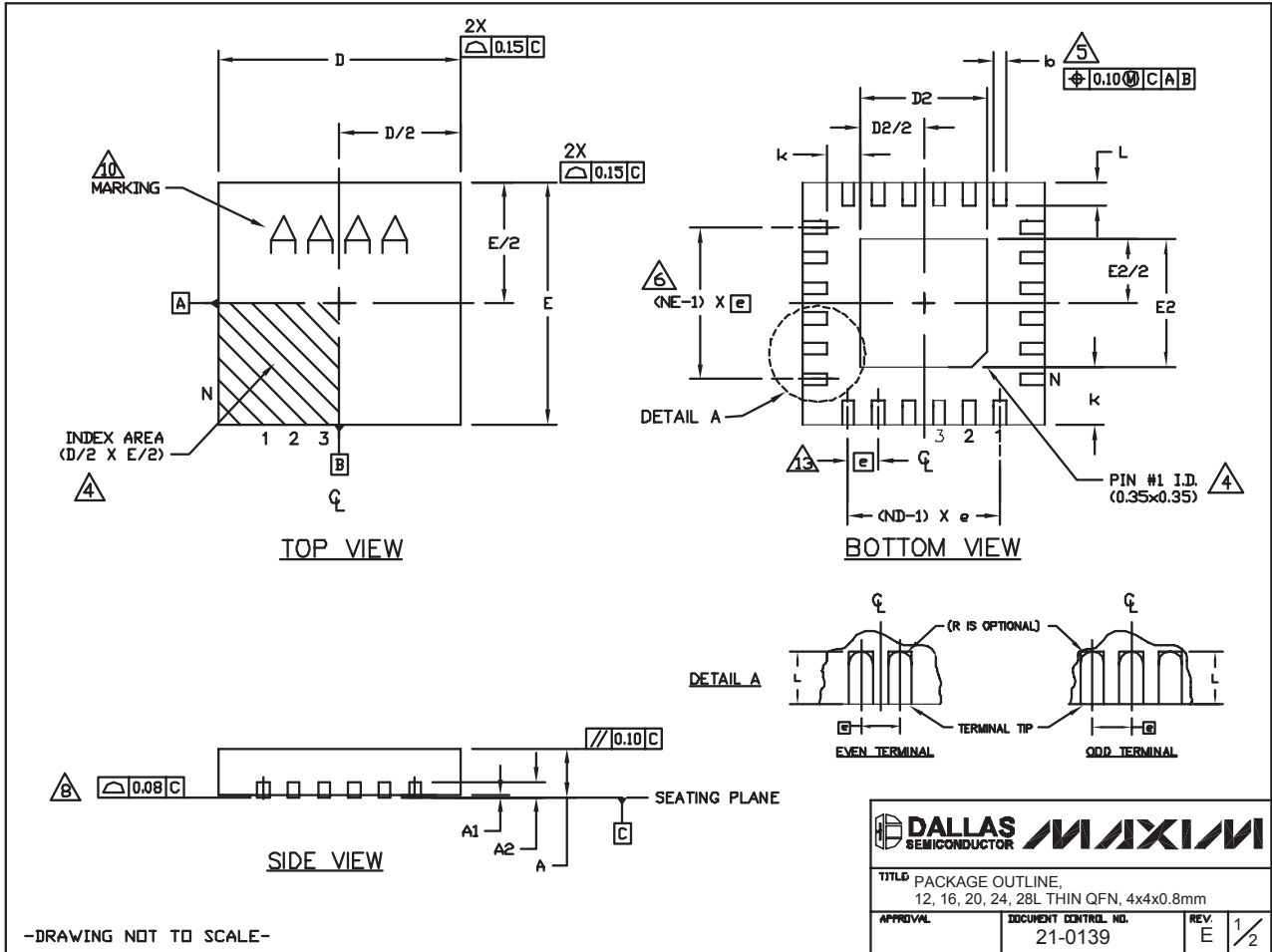
12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

MAX7327

24L QFN THIN.EPS



12個のプッシュプル出力および4個の オープンドレインI/O付き、I²Cポートエキスパンダ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

COMMON DIMENSIONS															
PKG	12L 4x4			16L 4x4			20L 4x4			24L 4x4			28L 4x4		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF			0.20 REF		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50
N	12			16			20			24			28		
ND	3			4			5			6			7		
NE	3			4			5			6			7		
JEDEC Var.	VGG3			VGGC			WGGD-1			WGGD-2			WGGE		

EXPOSED PAD VARIATIONS							
PKG CODES	D2			E2			DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	
T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES
T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO
T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO
T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES
T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES
T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO
T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	NO

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-3, T2444-4 AND T2844-1.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- COPLANARITY SHALL NOT EXCEED 0.08mm
- WARPAGE SHALL NOT EXCEED 0.10mm
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

			
TITLE PACKAGE OUTLINE, 12, 16, 20, 24, 28L THIN QFN, 4x4x0.8mm			
APPROVAL	DOCUMENT CONTROL NO.	REV.	2/2
	21-0139	E	

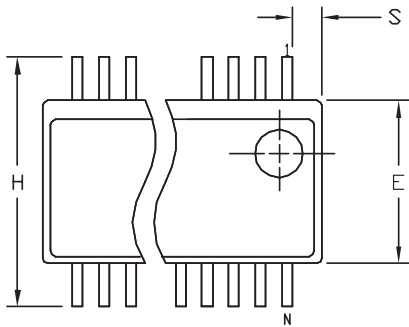
12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

パッケージ(続き)

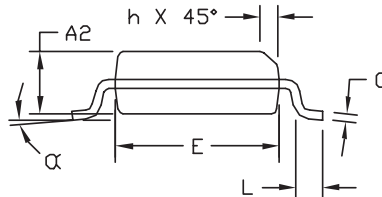
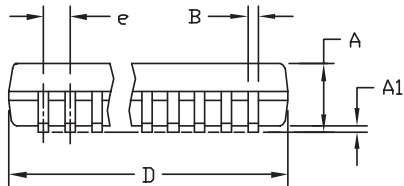
(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

MAX7327

QSOP EPSS



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.053	.069	1.35	1.75
A1	.004	.010	.102	.254
A2	.049	.065	1.245	1.651
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°



VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

NOTES:

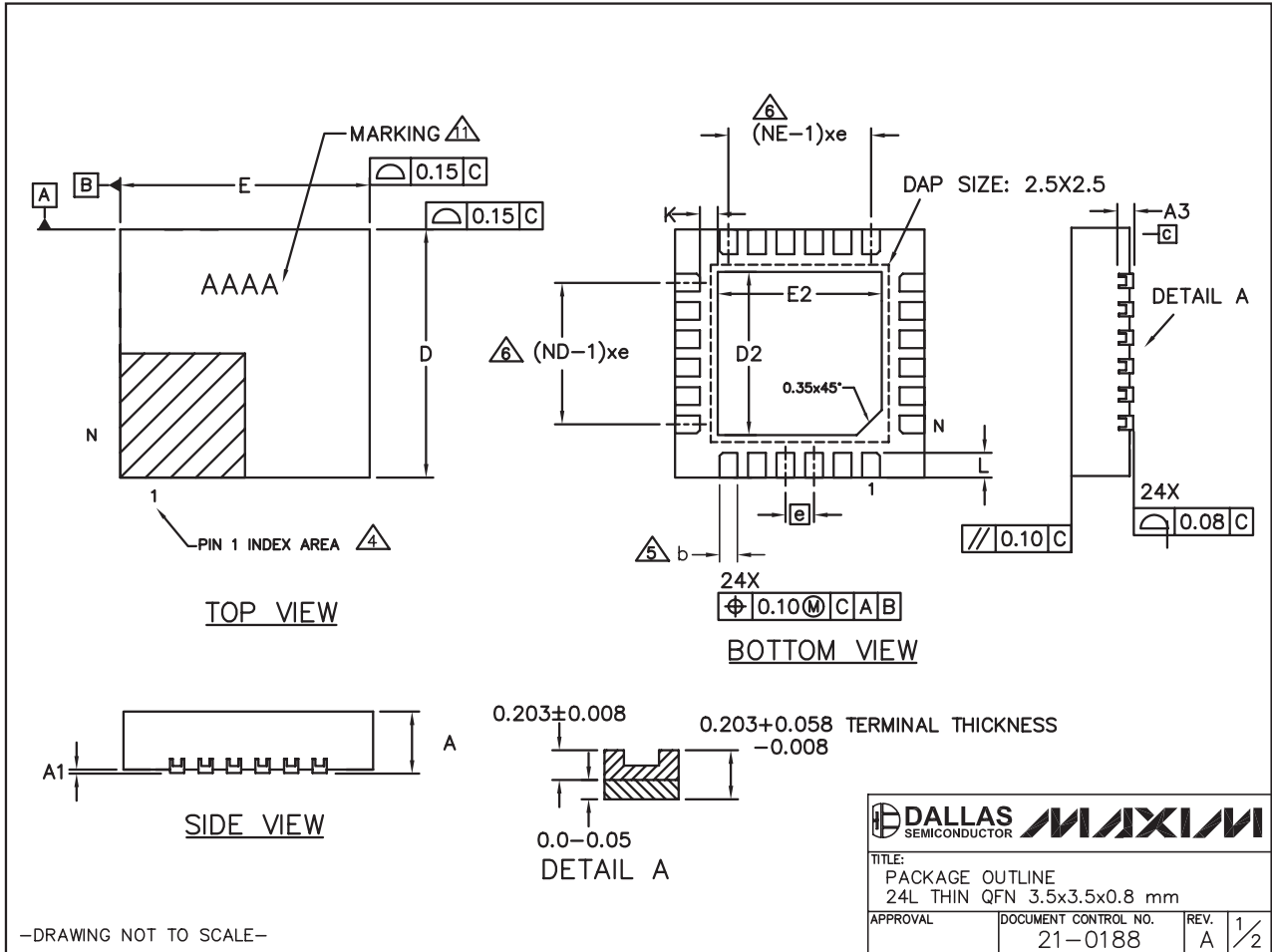
- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

<small>PROPRIETARY INFORMATION</small>			
<small>TITLE:</small> PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH			
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small> 21-0055	<small>REV.</small> F	1/1

12個のプッシュプル出力および4個のオープンドレインI/O付き、I²Cポートエキスパンダ

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



-DRAWING NOT TO SCALE-

12個のプッシュプル出力および4個の オープンドレインI/O付き、I²Cポートエキスパンダ

MAX7327

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)


NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
- ⚠ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- ⚠ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25mm AND 0.30mm FROM TERMINAL TIP.
- ⚠ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. REFER TO JEDEC MO-220 EXCEPT D2, E2, & L DIMENSIONS.
10. WARPAGE SHALL NOT EXCEED 0.10mm.
- ⚠ MARKING IS FOR PACKAGE ORIENTATION PURPOSE ONLY.

COMMON DIMENSION				NOTE
REF.	MIN.	NOM.	MAX.	
A	0.70	0.75	0.80	
A1	0	—	0.05	
A3	0.20 REF			
b	0.15	0.20	0.25	
D	3.40	3.50	3.60	
E	3.40	3.50	3.60	
e	0.40 BSC.			
K	0.25	—	—	
L	0.30	0.35	0.40	
N	24			
ND	6			
NE	6			

EXPOSED PAD VARIATIONS						
	D2			E2		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T243A3-1	2.20	2.30	2.40	2.20	2.30	2.40

—DRAWING NOT TO SCALE—

	
TITLE: PACKAGE OUTLINE 24L THIN QFN 3.5x3.5x0.8 mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0188
REV.	A 2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

21

© 2006 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.