

EVALUATION KIT  
AVAILABLE

MAXIM

8個のオープンドレインI/O付き、  
I<sup>2</sup>Cポートエキスパンダ

MAX7321

## 概要

2線式シリアルインタフェースで接続された周辺装置のMAX7321は、選択可能な内臓プルアップと遷移検出付きの8個のオープンドレインI/Oポートを持っています。どのポートも、ロジック入力またはオープンドレイン出力として使用することができます。各ポートは、電源電圧とは無関係に+6Vまで過電圧保護されています。

入力として設定されたすべてのI/Oポートは、状態変化が常時監視されます(遷移検出)。状態変化は、オープンドレインで+6V耐圧のINT出力によって表示されます。割込みはラッチされるため、遷移変化の検出が可能です。MAX7321がシリアルインタフェースによって連続してアクセスされると、すべての未処理の割込みがクリアされます。

オープンドレイン出力は20mAのシンク電流に対応し、LEDを駆動することができます。

+6V耐圧のRST入力はシリアルインタフェースをクリアし、MAX7321とI<sup>2</sup>C\*との通信を終了します。

MAX7321は、16個のI<sup>2</sup>Cスレーブアドレスを割り当てられるように、4レベルのロジックを持った2つのアドレス入力を使用します。また、スレーブアドレスは、I/Oポートに対するパワーアップ時のロジックレベルも決定し、内蔵の40kΩのプルアップを4ポート1組でイネーブルまたはディセーブルします。

MAX7321は活線挿入をサポートしています。8個の全I/Oポート、シリアルインタフェースのSDA、SCL、AD0、AD2、INT、およびRSTは、これらに最大+6Vが印加された状態でのパワーダウン(V<sub>+</sub> = 0)でハイインピーダンスに保たれます。

MAX7321は、入力ポート、オープンドレインI/Oポート、およびプッシュプル出力ポートを選択肢とするピンコンパチブルなポートエキスパンダファミリの1デバイスです(表1参照)。

MAX7321は、16ピンQSOPパッケージおよび16ピンTQFNパッケージで提供され、車載用温度範囲(-40°C ~ +125°C)に対応しています。

## アプリケーション

携帯電話	ノートブック型PC
SAN/NAS	衛星無線
サーバ	車載用

ピン配置、標準アプリケーション回路、およびファンクションダイアグラムは、データシートの最後に記載されています。

\* Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI<sup>2</sup>C部品を購入することにより、これらの部品をI<sup>2</sup>Cシステムで使用するためのPhilips社のI<sup>2</sup>C特許権に基づくライセンスが許諾されたこととなります。但し、システムがPhilips社により定義されたI<sup>2</sup>C標準規格に合致していることを必要とします。

## 特長

- ◆ 400kHz、+6V耐圧のI<sup>2</sup>Cシリアルインタフェース
- ◆ +1.71V~+5.5Vの動作電圧
- ◆ 20mA定格のシンク電流の8個のオープンドレインI/Oポート
- ◆ 各I/Oポートは+6Vまで過電圧保護
- ◆ どのポートもロジック入力またはオープンドレイン出力として使用可能
- ◆ 選択可能なI/Oポートのパワーアップ時のデフォルトロジックレベル
- ◆ 過渡変化がラッチされるため、各読取り動作間での検出が可能
- ◆ INT出力が入力の変化を警告
- ◆ AD0およびAD2入力による16個のスレーブアドレスからの選択
- ◆ 0.6μA(typ)と1.5μA(max)の低スタンバイ電流
- ◆ -40°C ~ +125°Cの動作温度

## 型番

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX7321AEE	-40°C to +125°C	16 QSOP	—	E16-4
MAX7321ATE	-40°C to +125°C	16 TQFN 3mm x 3mm x 0.8mm	ADC	T1633-4
MAX7321ASE*	-40°C to +125°C	16 SO	—	—
MAX7321AUP*	-40°C to +125°C	20 TSSOP	—	—
MAX7321AAP*	-40°C to +125°C	20 SSOP	—	—

\* 開発中の製品。入手性についてはお問い合わせください。

## 選択ガイド

PART	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS
MAX7319	8	Yes	—	—
MAX7320	—	—	—	8
MAX7321	Up to 8	—	Up to 8	—
MAX7322	4	Yes	—	4
MAX7323	Up to 4	—	Up to 4	4
MAX7328	Up to 8	—	Up to 8	—
MAX7329	Up to 8	—	Up to 8	—

MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

## ABSOLUTE MAXIMUM RATINGS

All Voltages Referenced to GND

Supply Voltage V+.....	-0.3V to +6V
SCL, SDA, AD0, AD2, $\overline{\text{RST}}$ , INT, P0-P7 .....	-0.3V to +6V
P0-P7 Sink Current .....	25mA
SDA Sink Current .....	10mA
INT Sink Current .....	10mA
Total V+ Current .....	50mA
Total GND Current .....	100mA

Continuous Power Dissipation (T<sub>A</sub> = +70°C)

16-Pin QSOP (derate 8.3mW/°C above +70°C).....	667mW
16-Pin TQFN (derate 15.6mW/°C above +70°C) .....	1250mW
Operating Temperature Range .....	-40°C to +125°C
Junction Temperature .....	+150°C
Storage Temperature Range .....	-65°C to +150°C
Lead Temperature (soldering, 10s) .....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V+ = +1.71V to +5.5V, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V+		1.71		5.5	V
Power-On Reset Voltage	V <sub>POR</sub>				1.6	V
Standby Current (Interface Idle)	I <sub>STB</sub>	SCL and SDA and other digital inputs at V+		0.6	1.5	μA
Supply Current (Interface Running)	I <sub>+</sub>	f <sub>SCL</sub> = 400kHz; other digital inputs at V+		23	51	μA
Input High Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$ , P0-P7	V <sub>IH</sub>	V+ ≤ 1.8V	0.8 x V+			V
		V+ ≥ 1.8	0.7 x V+			
Input Low Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$ , P0-P7	V <sub>IL</sub>	V+ ≤ 1.8V			0.2 x V+	V
		1.71V ≤ V+ ≤ 1.8V			0.3 x V+	
Input Leakage Current SDA, SCL, AD0, AD2, $\overline{\text{RST}}$ , P0-P7	I <sub>IH</sub> , I <sub>IL</sub>	SDA, SCL, AD0, AD2, $\overline{\text{RST}}$ , P0-P7 at V+ or GND	-0.2		+0.2	μA
Input Capacitance SDA, SCL, AD0, AD2, $\overline{\text{RST}}$ , P0-P7				10		pF
Output Low Voltage P0-P7	V <sub>OL</sub>	V+ = +1.71V, I <sub>SINK</sub> = 5mA		90	180	mV
		V+ = +2.5V, I <sub>SINK</sub> = 10mA		110	210	
		V+ = +3.3V, I <sub>SINK</sub> = 15mA		130	230	
		V+ = +5V, I <sub>SINK</sub> = 20mA		140	250	
Output Low Voltage SDA	V <sub>OLSDA</sub>	I <sub>SINK</sub> = 6mA			250	mV
Output Low Voltage INT	V <sub>OLINT</sub>	I <sub>SINK</sub> = 5mA		130	250	mV
Port Input Pullup Resistor	R <sub>PU</sub>		25	40	55	kΩ

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

## PORT AND INTERRUPT $\overline{\text{INT}}$ TIMING CHARACTERISTICS

(V+ = +1.71V to +5.5V, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Port Output Data Valid	t <sub>PPV</sub>	C <sub>L</sub> ≤ 100pF			4	μs
Port Input Setup Time	t <sub>PSU</sub>	C <sub>L</sub> ≤ 100pF	0			μs
Port Input Hold Time	t <sub>PH</sub>	C <sub>L</sub> ≤ 100pF	4			μs
$\overline{\text{INT}}$ Input Data Valid Time	t <sub>IV</sub>	C <sub>L</sub> ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from STOP	t <sub>IP</sub>	C <sub>L</sub> ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from Acknowledge	t <sub>IR</sub>	C <sub>L</sub> ≤ 100pF			4	μs

## TIMING CHARACTERISTICS

(V+ = +1.71V to +5.5V, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at V+ = +3.3V, T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Frequency	f <sub>SCL</sub>				400	kHz
Bus Free Time Between a STOP and a START Condition	t <sub>BUF</sub>		1.3			μs
Hold Time (Repeated) START Condition	t <sub>HD, STA</sub>		0.6			μs
Repeated START Condition Setup Time	t <sub>SU, STA</sub>		0.6			μs
STOP Condition Setup Time	t <sub>SU, STO</sub>		0.6			μs
Data Hold Time	t <sub>HD, DAT</sub>	(Note 2)			0.9	μs
Data Setup Time	t <sub>SU, DAT</sub>		100			ns
SCL Clock Low Period	t <sub>LOW</sub>		1.3			μs
SCL Clock High Period	t <sub>HIGH</sub>		0.7			μs
Rise Time of Both SDA and SCL Signals, Receiving	t <sub>R</sub>	(Notes 3, 4)		20 + 0.1C <sub>b</sub>	300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t <sub>F</sub>	(Notes 3, 4)		20 + 0.1C <sub>b</sub>	300	ns
Fall Time of SDA, Transmitting	t <sub>F, TX</sub>	(Notes 3, 4)		20 + 0.1C <sub>b</sub>	250	ns
Pulse Width of Spike Suppressed	t <sub>SP</sub>	(Note 5)		50		ns
Capacitive Load for Each Bus Line	C <sub>b</sub>	(Note 3)			400	pF
$\overline{\text{RST}}$ Pulse Width	t <sub>W</sub>		500			ns
$\overline{\text{RST}}$ Rising to START Condition Setup Time	t <sub>RST</sub>		1			μs

**Note 1:** All parameters tested at T<sub>A</sub> = +25°C. Specifications over temperature are guaranteed by design.

**Note 2:** A master device must provide a hold time of at least 300ns for the SDA signal (referred to V<sub>IL</sub> of the SCL signal) in order to bridge the undefined region of SCL's falling edge.

**Note 3:** Guaranteed by design.

**Note 4:** C<sub>b</sub> = total capacitance of one bus line in pF. t<sub>R</sub> and t<sub>F</sub> measured between 0.3 x V+ and 0.7 x V+. I<sub>SINK</sub> ≤ 6mA.

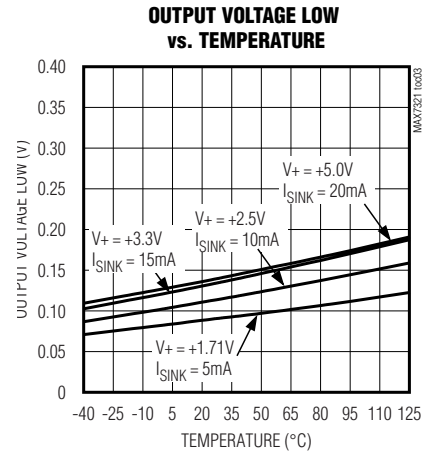
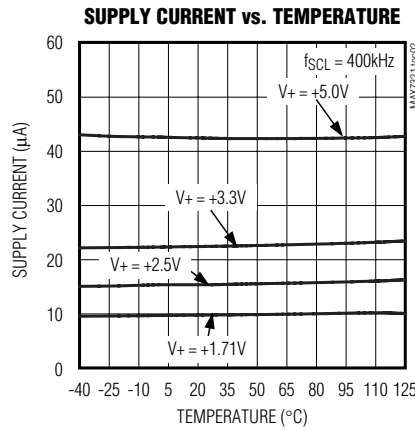
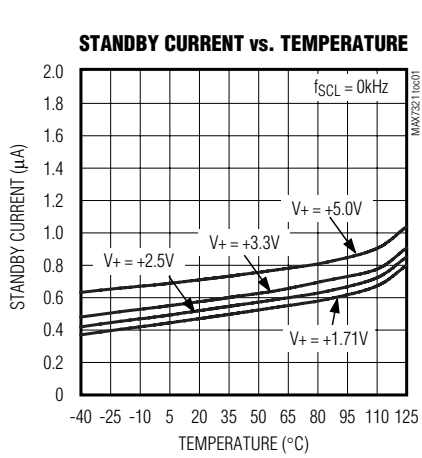
**Note 5:** Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

## 標準動作特性

(T<sub>A</sub> = +25°C, unless otherwise noted.)



## 端子説明

端子			名称	機能
QSOP	TQFN	TSSOP/ SSOP		
1, 3	15, 1	6, 9	AD0, AD2	アドレス入力。AD0とAD2を用いてデバイスのスレーブアドレスを選択してください。4種類のロジックの組合せを実現するためには、AD0とAD2をGND、V+、SCL、またはSDAのいずれかに接続してください(表3参照)。
2	16	7	RST	リセット入力、アクティブロー。2線式インタフェースをクリアするためには、RSTをローに駆動してください。
4-7, 9-12	2-5, 7-10	10, 11, 12, 14, 16, 17, 19, 20	P0-P7	入力/出力ポート。P0~P7は、定格+6Vで20mAのオープンドレインI/Oです。
8	6	15	GND	グラウンド
13	11	1	INT	割込み出力。INTは、定格+6Vのオープンドレイン出力です。
14	12	2	SCL	I <sup>2</sup> C対応のシリアルクロック入力
15	13	4	SDA	I <sup>2</sup> C対応のシリアルデータI/O
16	14	5	V+	正電源電圧。少なくとも0.047µFのラミックコンデンサで、出来るだけデバイスに近接してV+からGNDにバイパスしてください。
—	—	3, 18	N.C.	接続なし。内部接続されていません。
—	EP	—	EP	エクスポーズドパッド。エクスポーズドパッドをGNDに接続してください。

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

## 詳細説明

### MAX7319~MAX7329ファミリの比較

MAX7319~MAX7323ファミリは、5個のピンコンパチブルな8ポートエキスパンダで構成されています。各バージョンは、各種アプリケーション用に最適化されています。MAX7328とMAX7329は、PCF8574とPCF8574Aのセカンドソースです。

MAX7324~MAX7327ファミリは、4個のピンコンパチブルな16ポートエキスパンダで構成され、MAX7320の機能およびMAX7319、MAX7321、MAX7322、またはMAX7323のいずれか1つの機能を内蔵しています。

### 機能の概要

MAX7321は、+1.62V~+5.5Vの電源で動作する汎用ポートエキスパンダで、8個のオープンドレインI/Oポートを備えています。各オープンドレイン出力は定格20mA

のシンク電流で、デバイス全体では全ポートの結合状態に対して定格100mAのシンク電流となります。出力は、MAX7321の電源電圧とは無関係に、最大+6Vの電源に接続された負荷を駆動します。

MAX7321は、アドレス選択入力AD0とAD2を使って16個のI<sup>2</sup>Cスレーブアドレス(0x60~0x6F)の1つに設定され、最高400kHzまでのI<sup>2</sup>Cシリアルインタフェースを通じてアクセスされます。RST入力は、バスが異常停止した場合にシリアルインタフェースをクリアし、MAX7321とのシリアルトランザクションを終了します。

ポート出力のロジックをハイ(オープンドレイン出力のロジックハイはハイインピーダンス)に設定することによって、いずれのポートもロジック入力として設定することができます。MAX7321がシリアルインタフェースを通じて読まれると、各ポートにおける実際のロジックレベルが読み戻されます。

表1. MAX7319~MAX7329ファミリの比較

PART	I <sup>2</sup> C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	APPLICATION
<b>8-PORT EXPANDERS</b>						
MAX7319	110xxxx	8	Yes	—	—	Input-only versions: 8 input ports with programmable latching transition detection interrupt and selectable pullups.  Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even momentarily) since the ports were last read.
MAX7320	101xxxx	—	—	—	8	Output-only versions: 8 push-pull outputs with selectable power-up default levels.  Push-pull outputs offer faster rise time than open-drain outputs, and require no pullup resistors.
MAX7321	110xxxx	Up to 8	—	Up to 8	—	I/O versions: 8 open-drain I/O ports with latching transition detection interrupt and selectable pullups.  Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V+ using external pullup resistors. Any port can be used as an input by setting the open-drain output to logic high. Transition flags identify which inputs have changed (even momentarily) since the ports were last read.
MAX7322	110xxxx	4	Yes	—	4	4 input-only, 4 output-only versions: 4 input ports with programmable latching transition detection interrupt and selectable pullups; 4 push-pull outputs with selectable power-up default levels.

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

表1. MAX7319~MAX7329ファミリの比較(続き)

PART	I <sup>2</sup> C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	APPLICATION
MAX7323	110xxxx	Up to 4	—	Up to 4	4	4 I/O, 4 output-only versions: 4 open-drain I/O ports with latching transition detection interrupt and selectable pullups. 4 push-pull outputs with selectable power-up default levels.
MAX7328 MAX7329	0100xxx 0111xxx	Up to 8	—	Up to 8	—	PCF8574-, PCF8574A-compatible versions: 8 open-drain I/O ports with nonlatching transition detection interrupt and pullups on all ports.  All ports power up as inputs (or logic-high outputs).  Any port can be used as an input by setting the open-drain output to logic high.
<b>16 PORTS IN 24-PIN PACKAGES</b>						
MAX7324	101xxxx and 110xxxx	8	Yes	—	8	Software equivalent to a MAX7320 plus a MAX7321.
MAX7325		Up to 8	—	Up to 8	8	Software equivalent to a MAX7320 plus a MAX7319.
MAX7326		4	Yes	—	12	Software equivalent to a MAX7320 plus a MAX7322.
MAX7327		Up to 4	—	Up to 4	12	Software equivalent to a MAX7320 plus a MAX7323.

オープンドレインポートは、これらを入力として使用するとき遷移検出をラッチします。すべての入力ポートの変化は常時監視されています。入力変化は、8つのフラッグビットの1つを設定し、変化した入力識別されます。すべてのフラッグは、その後のMAX7321に対する読取りまたは書込みトランザクションの際にクリアされます。

ラッチ割込み出力 $\overline{\text{INT}}$ は、入力として使用されるポートのロジック変化に対してフラッグを立てるようにプログラムされます。どの入力ポートのデータ変化も、 $\overline{\text{INT}}$ を強制的にロジックローにします。シリアルインタフェースを通じてのI/Oポートレベルの変化は、割込みを発生させることはありません。MAX7321がシリアルインタフェースを通じて次にアクセスされると、割込み出力 $\overline{\text{INT}}$ はクリアされます。

V<sup>+</sup>への内蔵プルアップ抵抗は、アドレス選択入力のAD0とAD2によって選択されます。プルアップは、4入力ポート1組でイネーブルされます(表3参照)。

入力として使用されるI/Oポートがパワーアップの際にハイになるようにするためには、スレーブアドレス選択を使用してください。また、I/Oポートとスレーブアドレスの構成を簡素化するために、内蔵プルアップがイネーブルされたI/Oポートは、それらのオープンドレイン出力をロジックハイ(ハイインピーダンス)にデフォルト設定します。内蔵プルアップがディセーブルされたI/Oポートは、オープンドレイン出力をロジックローに

デフォルト設定します。出力ポートのパワーアップロジックレベルは、アドレス選択入力のAD0とAD2によって選択されます。各ポートは、パワーアップの際に4ポート1組でロジックハイまたはロジックローにデフォルト設定します(表3参照)。

## 初期パワーアップ

パワーアップの際、遷移検出ロジックはリセットされ、 $\overline{\text{INT}}$ はハイインピーダンス状態に解放されます。データ変化がないことを示すために遷移フラッグがクリアされます。8個のI/Oポートのパワーアップ時のデフォルト状態は、I<sup>2</sup>Cスレーブアドレス選択入力のAD0とAD2に従って設定されます(表3)。I/Oポートが入力として使用される場合、I/Oポートがハイインピーダンス状態でパワーアップするように、デフォルト状態がロジックハイであることを確認してください。また、プルアップがイネーブルされて構成設定されたすべてのI/Oポートも、ロジックハイのパワーアップ状態となります。

## RST入力

RST入力は、MAX7321に関わるすべてのI<sup>2</sup>Cトランザクションを無効にし、MAX7321を強制的にI<sup>2</sup>CのSTOP状態にします。リセットは、割込み出力( $\overline{\text{INT}}$ )に影響を与えたり、割込みマスクレジスタの内容を変えたりしません。RSTは、+6Vまでの過電圧耐性を備えています。

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

表2. 8ポートエキスパンダファミリに対する読取り/書込みアクセス

PART	I <sup>2</sup> C SLAVE ADDRESS	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	I <sup>2</sup> C DATA WRITE	I <sup>2</sup> C DATA READ
MAX7319	110xxxx	8	Yes	—	—	<I7-I0 interrupt mask>	<I7-I0 port inputs> <I7-I0 transition flags>
MAX7320	101xxxx	—	—	—	8	<O7-O0 port outputs>	<O7-O0 port inputs>
MAX7321	110xxxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs> <P7-P0 transition flags>
MAX7322	110xxxx	4	Yes	—	4	<O7, O6 outputs, I5-I2 interrupt mask, O1, O0 outputs>	<O7, O6, I5-I2, O1, O0 port inputs> <O, 0, I5-I2 transition flags, 0, 0>
MAX7323	110xxxx	Up to 4	—	Up to 4	4	<port outputs>	<O7, O6, P5-P2, O1, O0 port inputs> <O, 0, P5-P2 transition flags, 0, 0>
MAX7328	0100xxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs>
MAX7329	0111xxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs>

## スタンバイモード

シリアルインタフェースが無動作状態のとき、MAX7321は自動的にスタンバイモードに入り、消費電流が最小限に抑えられます。

## スレープアドレス、パワーアップ時のデフォルトロジックレベル、および入力プルアップ選択

アドレス入力のAD0とAD2は、MAX7321のスレープアドレスを決定し、ポートに対するパワーアップ時のI/O状態を設定し、どの入力プルアップ抵抗を持つかを選択します。内蔵プルアップおよびパワーアップ時のデフォルト状態は、4つ1組で設定されます(表3)。MAX7319、MAX7321、MAX7322、およびMAX7323は、MAX7320(101xxxx)とは異なる範囲のスレープアドレス(110xxxx)を使用します(表2)。

MAX7321のスレープアドレスは、送信が実際にMAX7321をアドレス指定しているかどうかに関係なく、各I<sup>2</sup>Cの送信時に決定されます。MAX7321は、この送信中にアドレス入力のAD2とAD0が固定ロジックレベルのV<sub>+</sub>やGNDではなく、SDAまたはSCLのいずれに接続されているかどうかを判別します。つまり、MAX7321のスレープアドレスは、デバイス電源のサイクリングを行わずに、アプリケーションにおいて動的に構成できることを意味します。

初期のパワーアップの際、MAX7321は、最初のI<sup>2</sup>C送信までにアドレス入力のAD0とAD2をすべてデコードすることができず、最初AD0とAD2はV<sub>+</sub>またはGNDに接続されているものと見なされます。アドレス選択は、パワーアップ時のロジックレベル(出力ローまたは入力/出力ハイ)およびプルアップを行うかどうかの決定に使用されるため、このことは重要です。しかし、パワーアップ時には、I<sup>2</sup>CのSDAとSCLバスインタフェースラインは、MAX7321を含む、バスに接続されたすべてのデバイス(マスタまたはスレープ)の端子でハイインピーダンスになっています。これは、I<sup>2</sup>C規格の一部として保証されています。したがって、SDAまたはSCLに接続されるアドレス入力のAD0とAD2は、通常、パワーアップ時にV<sub>+</sub>に接続されているものと見なされます。パワーアップロジックは、パワーアップ状態の選択とポートP3~P0に対してプルアップがイネーブルされているかどうかの選択にAD0を使用し、同様にP7~P4に対してはAD2を使用します。この規則は、ロジックハイ、SDA、またはSCLの接続がプルアップを選択し(そして、デフォルトのポート状態を入力またはロジックハイ出力に設定)、一方、ロジックローは、プルアップを選択解除(そして、デフォルトのポート状態をロジックロー出力に設定)します(表3)。このポート構成は、標準的なI<sup>2</sup>Cの構成用のパワーアップの場合に合っており、SDAまたはSCLは、外付けI<sup>2</sup>Cプルアップ抵抗によってV<sub>+</sub>にプルアップされます。

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

表3. MAX7321のアドレスマップ

PIN CONNECTION		DEVICE ADDRESS							OUTPUTS POWER-UP DEFAULT								40kΩ INPUT PULLUPS ENABLED							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	P7	P6	P5	P4	P3	P2	P1	P0	P7	P6	P5	P4	P3	P2	P1	P0
SCL	GND	1	1	0	0	0	0	0	1	1	1	1	0	0	0	0	Y	Y	Y	Y	—	—	—	—
SCL	V+	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
SCL	SCL	1	1	0	0	0	1	0	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
SCL	SDA	1	1	0	0	0	1	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
SDA	GND	1	1	0	0	1	0	0	1	1	1	1	0	0	0	0	Y	Y	Y	Y	—	—	—	—
SDA	V+	1	1	0	0	1	0	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
SDA	SCL	1	1	0	0	1	1	0	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
SDA	SDA	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
<b>GND</b>	<b>GND</b>	1	1	<b>0</b>	1	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	—	—	—	—	—	—	—	—
<b>GND</b>	<b>V+</b>	1	1	<b>0</b>	1	<b>0</b>	<b>0</b>	1	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	1	1	1	1	—	—	—	—	<b>Y</b>	<b>Y</b>	<b>Y</b>	<b>Y</b>
GND	SCL	1	1	0	1	0	1	0	0	0	0	0	1	1	1	1	—	—	—	—	Y	Y	Y	Y
GND	SDA	1	1	0	1	0	1	1	0	0	0	0	1	1	1	1	—	—	—	—	Y	Y	Y	Y
<b>V+</b>	<b>GND</b>	1	1	<b>0</b>	1	1	<b>0</b>	<b>0</b>	1	1	1	1	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>Y</b>	<b>Y</b>	<b>Y</b>	<b>Y</b>	—	—	—	—
<b>V+</b>	<b>V+</b>	1	1	<b>0</b>	1	1	<b>0</b>	1	1	1	1	1	1	1	1	1	<b>Y</b>	<b>Y</b>	<b>Y</b>	<b>Y</b>	<b>Y</b>	<b>Y</b>	<b>Y</b>	<b>Y</b>
V+	SCL	1	1	0	1	1	1	0	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
V+	SDA	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y

パワーアップの際の SDA = SCL = V+ という仮定は正しくない場合があります。たとえば、パワーアップの間に正当なバスアクティビティが存在する純粋なホットスワップアプリケーションの場合になります。さらに、SDAとSCLがMAX7321の電源電圧とは異なる電源電圧にプルアップ抵抗で終端されており、かつそのプルアップ電源がMAX7321の電源よりも遅れて立ち上がる場合、SDAまたはSCLはプルアップ時にGNDに接続されているものと見なされる場合があります。こうしたアプリケーションでは、アドレス入力のAD2とAD0をV+またはGND(表3に太字で示す)に接続することによって選択される4つのアドレスの組合せを使用してください。これらの選択はSDAとSCLの挙動とは関係なく、パワーアップ時に修正されることが保証されています。もし他の12個のアドレスの組合せの1つを使用する場合は、最初のI<sup>2</sup>C送信(必ずしもMAX7321ではないどれかのデバイスに対する)がバス上で行われるまで、予期せぬプルアップの組合せがアクティブになる可能性があります。また予期せぬポートの組合せが、入力またはロジックハイ出力ではなくロジックロー出力として初期化される場合があることに注意してください。

## ポート入力

I/Oポート入力は、エキスパンダの電源電圧で決まるCMOSロジックレベルで切り替え、エキスパンダの電源電圧とは関係なく+6Vまでの過電圧に耐えます。

## I/Oポート入力の遷移検出

入力として設定されたすべてのI/Oポートは、エキスパンダがシリアルインタフェースを通じて最終的なアクセス以降の変化が監視されます。入力ポートの状態は、遷移監視用の内蔵の「スナップショット」レジスタに保存されます。このスナップショットは実際の入力状態と常時比較され、どれかのポートで変化が検出された場合は、INTがロジックローになることによって状態変化信号を送出します。このポートに対しては、内部の遷移フラグが設定されます。入力はサンプリングされ(内部でスナップショットレジスタにラッチされ)、各MAX7321の読取りおよび書込みアクセスのI<sup>2</sup>Cのアクノリッジの間に以前の遷移フラグがクリアされます。以前のポート遷移フラグは、2バイトの読取りシーケンスの2番目のバイトとして、シリアルインタフェースを通じて読み取られます。

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

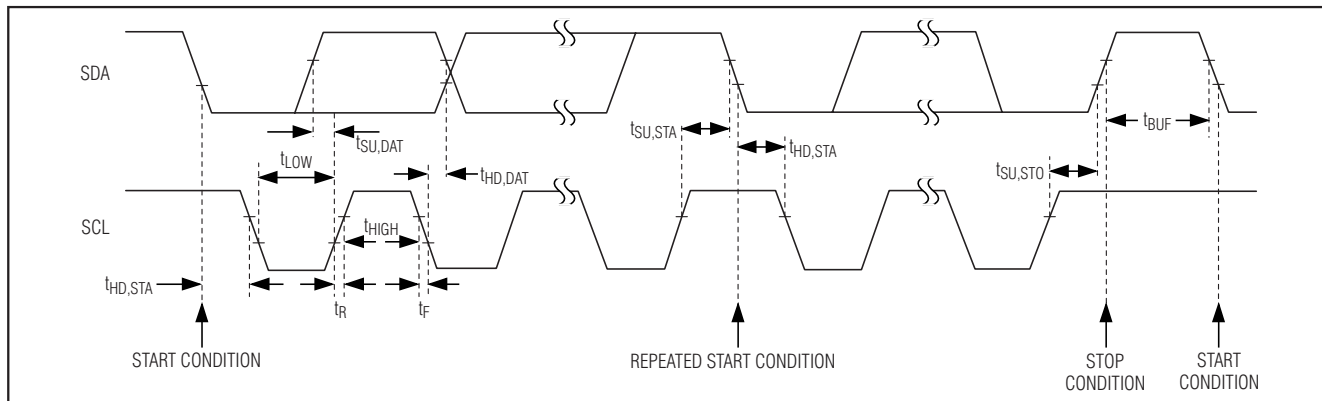


図1. 2線式シリアルインタフェースのタイミング詳細

## シリアルインタフェース

### シリアルアドレス指定

MAX7321は、I<sup>2</sup>C対応のインタフェースを通じてデータを送受信するスレーブとして動作します。このインタフェースは、マスタとスレーブの間で双方向通信が行われるようにするために、シリアルデータライン (SDA)とシリアルクロックライン(SCL)を使用します。マスタは、MAX7321が送受信するすべてのデータ転送を開始し、データ転送に同期したSCLクロックを発生します(図1)。

SDAは、入力とオープンドレイン出力のどちらとしても動作します。通常4.7kΩのプルアップ抵抗がSDAに必要です。SCLは入力としてのみ動作します。2線式インタフェース上に複数のマスタが存在する場合や、単一マスタシステムのマスタがオープンドレインのSCL出力を持っている場合は、通常4.7kΩのプルアップ抵抗がSCLに必要です。

各送信は、マスタが送信するSTART条件、これに続くMAX7321の7ビットスレーブアドレスとR/Wビット、さらにオプションの少なくとも1データバイト、および最後のSTOP条件で構成されます(図2)。

### STARTおよびSTOP条件

インタフェースがビジーでないときには、SCLとSDAは共にハイの状態に保たれます。マスタは、SCLがハイの間にSDAをハイからローに遷移させることによってSTART(S)条件の送信開始信号を送出します。マスタがスレーブとの通信を終了すると、マスタは、SCLがハイの間にSDAをローからハイに遷移させることによってSTOP(P)条件を送出します。その後、バスは次の送信用に解放されます(図2)。

### ビット転送

各クロックパルス期間に1データビットが転送されます。SDAのデータは、SCLがハイの間は安定した状態を保つ必要があります(図3)。

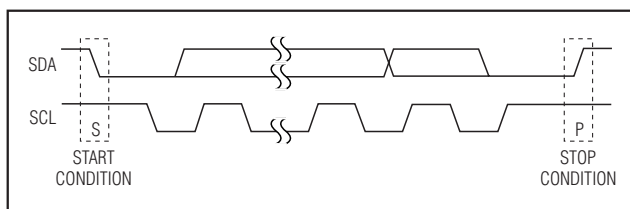


図2. STARTおよびSTOP条件

### アクノリッジ

アクノリッジビットは、データの各バイトの受信をやりとりするために受信側が使用する9番目のクロックされたビットです(図4)。各バイトが有効に転送されるためには9ビットが必要です。マスタは9番目のクロックパルスを発生し、受信側はアクノリッジのクロックパルス期間にSDAをプルダウンして、このクロックパルスがハイ期間中にSDAラインがローの安定状態を保つようにします。マスタがMAX7321に送信しているときは、このデバイスは受信側であるため、MAX7321はアクノリッジビットを発生します。MAX7321がマスタに送信しているときはマスタが受信側であるため、マスタがアクノリッジビットを発生します。

### スレーブアドレス

MAX7321は、7ビット長のスレーブアドレスを持っています(図5)。7ビットのスレーブアドレスに続く8番目のビットはR/Wビットです。このビットは、書込みコマンドに対してはローで、読取りコマンドに対してはハイです。

MAX7321のスレーブアドレスの最初(A6)、2番目(A5)、および3番目(A4)の各ビットは、常に1、1、および0です。スレーブアドレスビットA3、A2、A1、およびA0を選択するためには、AD2とAD0をGND、V+、SDA、またはSCLに接続してください。MAX7321は、I<sup>2</sup>Cバス上で最大16個のMAX7321デバイスを接続できるようにするために、16個のスレーブアドレスを備えることができます(表3)。

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

## MAX7321へのアクセス

I<sup>2</sup>CのインタフェースによるMAX7321へのアクセスは、以下のように要約されます(表2)。

MAX7321からのシングルバイトの読み取りは、8個のI/Oポートのステータスを返し、マスタがスレーブアドレスバイトをアクノリッジしたとき、内部遷移フラッグとINT出力の両方をクリアします。

2バイトの読み取りは、まず、8個のI/Oポートのステータスを返し(シングルバイトの読み取りの場合と同様に)、続いて遷移フラッグを返します。さらに、マスタがスレーブアドレスバイトをアクノリッジしたとき、内部遷移フラッグとINT出力が自動的にクリアされます(しかし、前の遷移フラッグデータは第2のバイトとして送出されます)。

マルチバイト(I<sup>2</sup>CのSTOPビットの前の2バイトを超える)の繰り返しの読み取りは、ポートデータを返し、続いて遷移フラッグを返します。ポートデータが各送信に対して再サンプリングされ、遷移フラッグがその都度リセットされるため、マルチバイトの読み取りは、現在のデータを連続的に返し、変化している入力ポートを識別します。

読み取りシーケンス中にポート入力データが変化すると、I<sup>2</sup>CのSTOPビットの期間にINTが再びアクティブになります。シングルバイトあるいはマルチバイトの読み取り中は、MAX7321は新たな割込みを発生しません。

入力ポートデータは、先行するI<sup>2</sup>Cのアクノリッジビット(シングルバイトまたは2バイトの読み取りの場合のI<sup>2</sup>Cのスレーブアドレスに対するアクノリッジビット)の間にサンプルされます。

MAX7321へのシングルバイトの書き込みは、すべての8個のI/Oポートロジック状態を設定します。

MAX7321へのマルチバイトの書き込みは、すべての8個のI/Oポートのロジック状態を繰り返して設定します。

## MAX7321の読み取り

MAX7321からの読み取りは、R/Wビットがハイに設定された状態で、マスタがMAX7321のスレーブアドレスを送信することによって開始します。MAX7321は、そのスレーブアドレスをアクノリッジし、アクノリッジビット期間に入力ポートをサンプルします(スナッチショットを行います)。INTは、スレーブアドレスのアクノリッジ中にハイ(外部のプルアップ抵抗が接続されていなければハイインピーダンス)になります。その後、マスタはアクノリッジ後にSTOP条件を送出します(図6)。スナッチショットは行われず、マスタがアクノリッジなしでシリアルトランザクションを終了する場合は、INTステータスは不変のままになります。

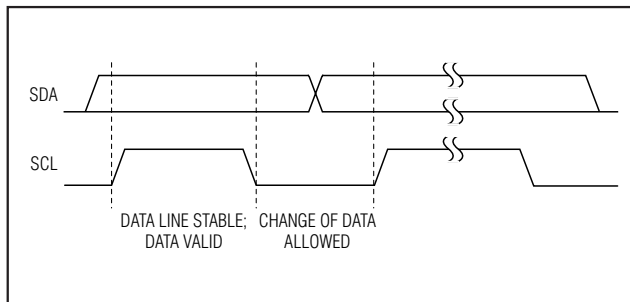


図3. ビット転送

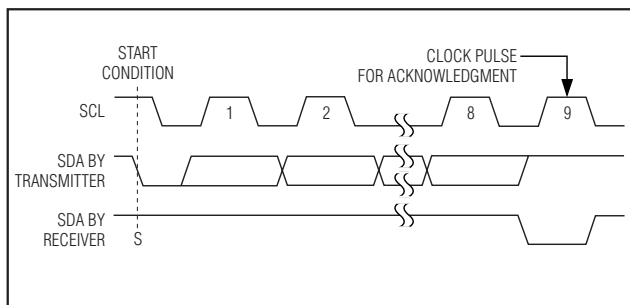


図4. アクノリッジ

通常、マスタはMAX7321から1または2バイトを読み取り、各バイトは受信の際にマスタによってアクノリッジされます。

マスタは、MAX7321から1バイトを読み取った後、STOP条件を送出します(図7)。この場合、MAX7321は現在のポートデータを送信し、変化フラッグをクリアし、遷移検出をリセットします。INTは、スレーブアドレスのアクノリッジ中にハイ(外部のプルアップ抵抗が接続されていなければハイインピーダンス)になります。新たなスナッチショットデータはマスタに送信される現在のポートデータであるため、その送信中に発生するポート変化が検出されます。INTは、STOP条件になるまでハイの状態を保ちます。

マスタは、MAX7321から2バイトを読み取った後、STOP条件を送出します(図8)。この場合、MAX7321は、現在のポートデータの送信に続いて変化フラッグを送信します。その後、変化フラッグはクリアされ、遷移検出がリセットされます。INTは、スレーブアドレスのアクノリッジ中にハイ(外部のプルアップ抵抗が接続されていなければハイインピーダンス)になります。新たなスナッチショットデータはマスタに送信される現在のポートデータであるため、送信中に発生するポート変化が検出されます。INTは、STOP条件になるまでハイの状態を保ちます。

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

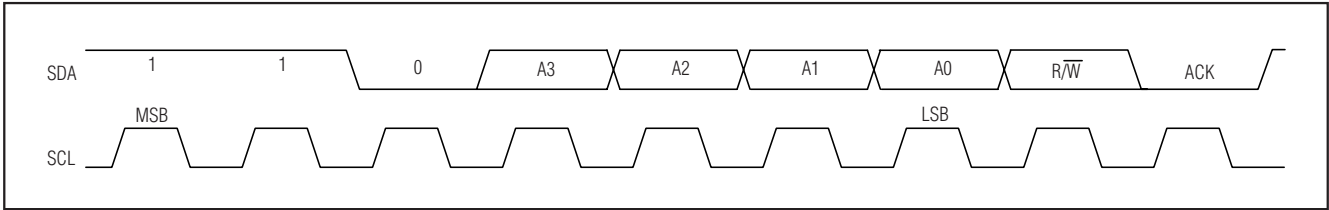


図5. スレーブアドレス

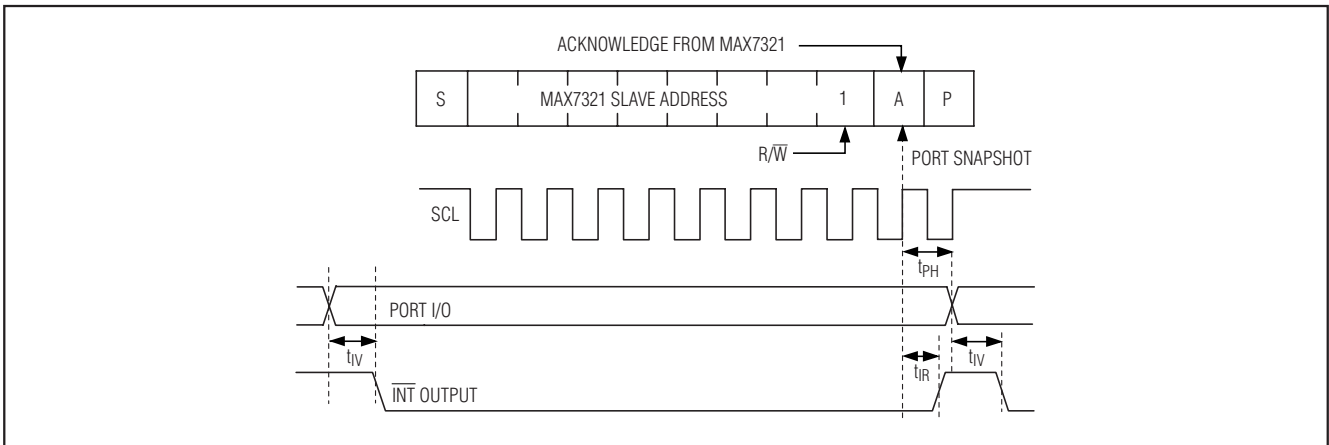


図6. MAX7321の読取り(データなし)

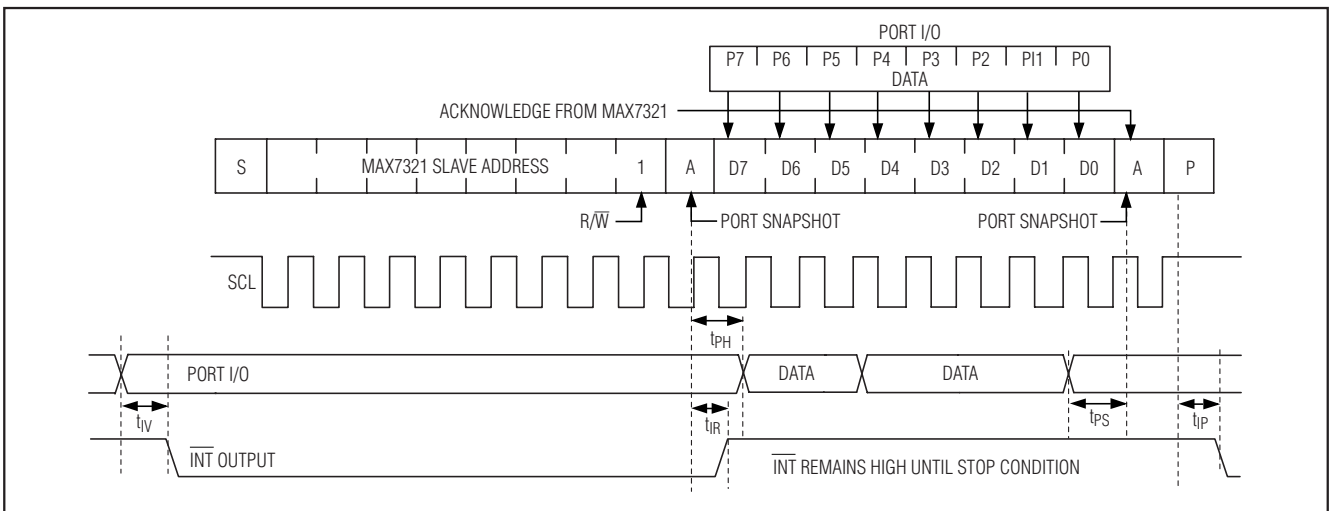


図7. MAX7321の読取り(1データバイト)

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

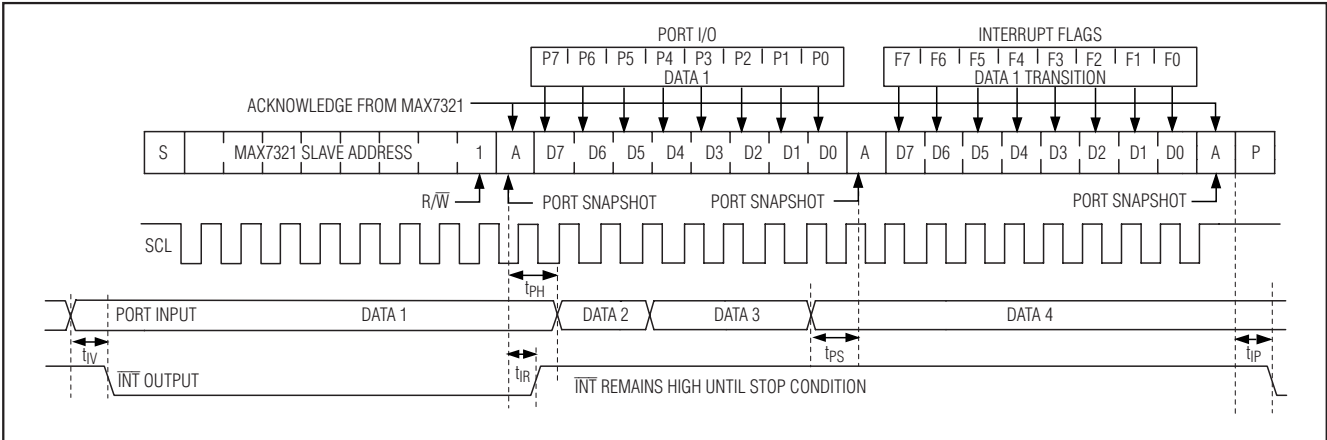


図8. MAX7321の読取り(2データバイト)

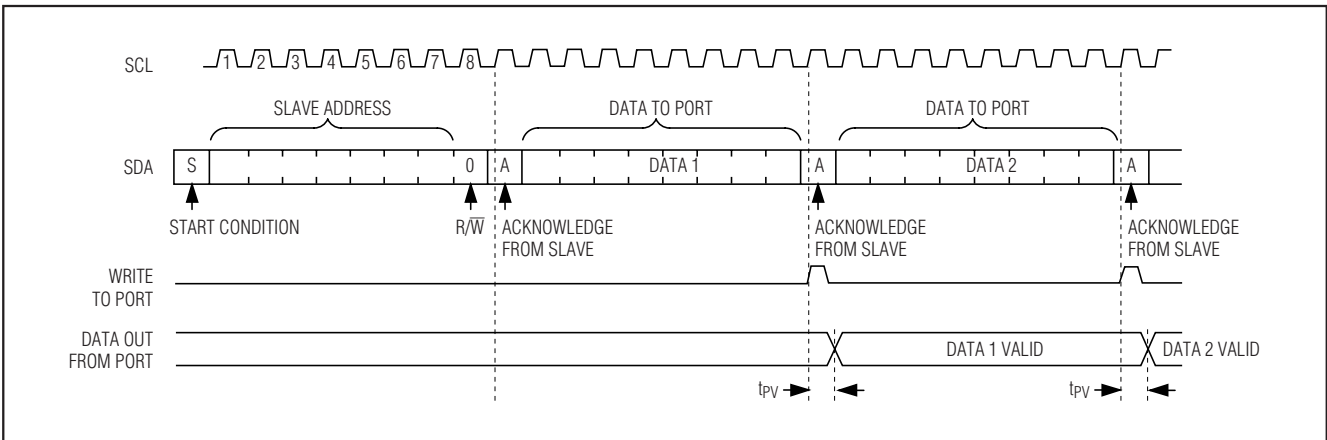


図9. MAX7321への書き込み

## MAX7321の書き込み

MAX7321への書き込みは、R/Wビットがローに設定された状態でMAX7321のスレーブアドレスをマスタが送信することによって開始します。MAX7321は、このスレーブアドレスをアクノリッジし、アクノリッジの期間にポートをサンプルします(スナップショットを行います)。INTは、スレーブアドレスのアクノリッジ中にハイ(外部のプルアップ抵抗が接続されていない場合はハイインピーダンス)になります。その後、マスタはアクノリッジ後にSTOP条件を送出できますが(図6)、通常、マスタは1データバイト以上を引き続いて送信します。MAX7321は、これらの後続データバイトをアクノリッジし、マスタがSTOP条件を送出するまでI/Oポートを新たな各バイトで更新します(図9)。

## アプリケーション情報

### ハイレベルまたは低レベルロジック電圧からのポート入力およびI<sup>2</sup>Cインタフェースレベルの変換

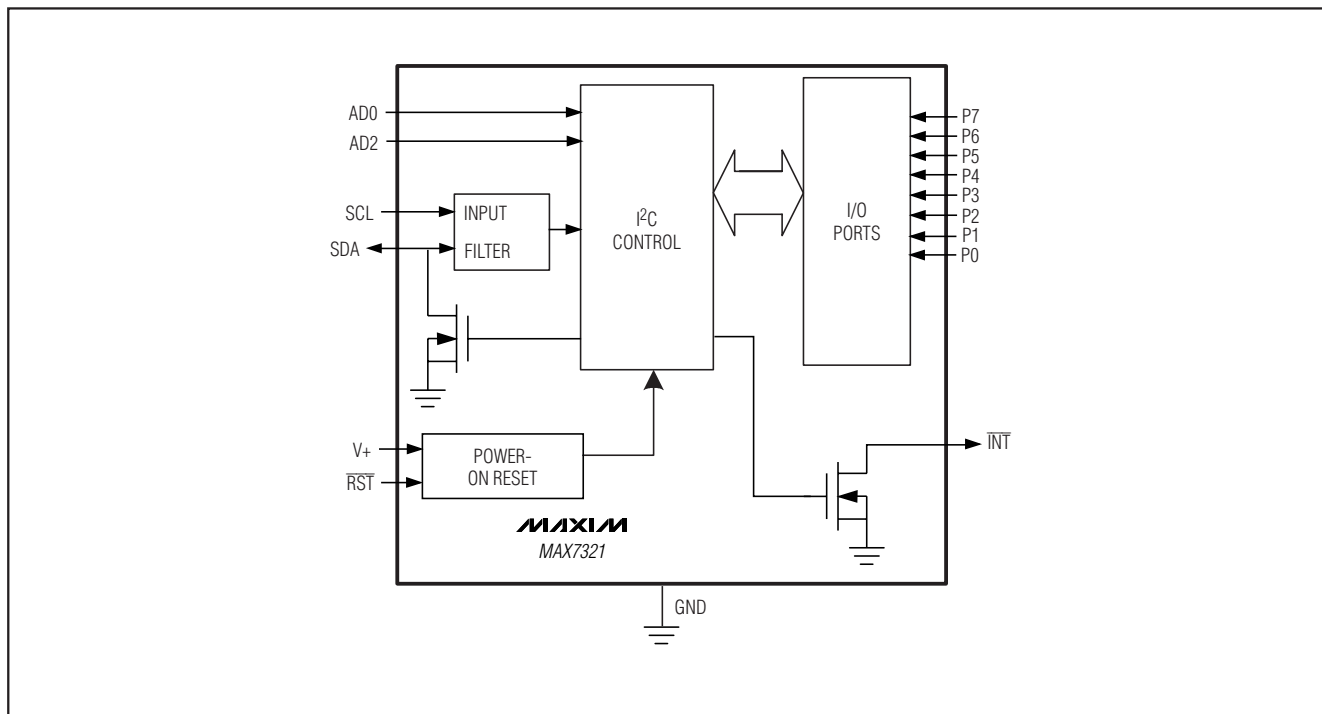
MAX7321のI<sup>2</sup>Cインタフェース(SDA、SCL、AD0、AD2)、リセット入力のRST、割込み出力のINT、および8個のI/OポートP0~P7は、V+とは関係なく+6Vまで過電圧保護されています。このことは、MAX7321が+3.3Vなどの比較的低い電源電圧から動作するようにし、一方、I<sup>2</sup>Cインタフェースや8個のI/Oポートのいずれもが+5Vなどの比較的高いロジックレベルからの駆動入力として駆動されるようにしています。

MAX7321は、+3Vなどの比較的高い電源電圧で動作しますが、I<sup>2</sup>CインタフェースやI/OポートP0~P7のいくつかは+2.5Vなどの比較的低いロジックレベルで駆動されます。どのI/Oポート上でもロジックハイをアクティブにするためには、 $0.7 \times V+$ の最小電圧を印加してください。たとえば、+5V電源から動作するMAX7321

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

## ファンクションダイアグラム



は、+3.3Vの公称のロジックハイを認識しない場合があります。入力レベル変換に対する1つの解決策は、MAX7321のI/Oをオープンドレイン出力から駆動することです。0.7 × V+よりも高いロジックハイ電圧を確実に得るためには、V+または比較的高い電源にプルアップ抵抗を接続してください。

### ポート出力のポートレベル変換

オープンドレイン出力のアーキテクチャによって、MAX7321の電源よりも高い、あるいは低い電圧に出力をレベル変換することができます。ハイインピーダンスのロジックハイ状態を正電圧レベルに変換するためには、いずれかの出力にプルアップ抵抗を外付けしてください。この抵抗は+6Vまでの任意の電圧に接続することができ、電流が20mA以上にならないように選定された抵抗値には、ロジックロー状態でシンク電流が流れます。CMOS入力に接続するためには、まず220kΩのプルアップ抵抗値を使用することです。消費電力がさほど重要ではないアプリケーションや、所定の容量性負荷に対して速い立ち上がり時間が要求されるアプリケーションでは、ノイズ耐性を改善するためにより低い抵抗値を使用してください。

### 活線挿入

MAX7321がパワーダウンされているときは(V+ = 0)、RST、SCL、SDA、およびAD0、およびAD2、ならびにI/Oポート

P0～P7はハイインピーダンスに保たれ、これらのポートには最大+6Vまで印加することが可能です。したがって、MAX7321はホットスワップアプリケーションに使用することができます。

I/OポートのP0～P7の各々は、GNDに対して保護ダイオードを備えています(図10)。ポートがGNDよりも低い電圧に駆動されると、保護ダイオードがこの電圧をGNDよりもダイオードの電圧降下分だけ低い電圧にクランプします。

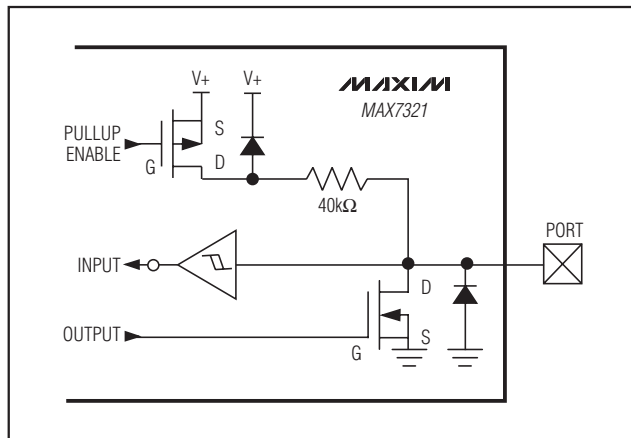


図10. MAX7321の入力ポート構造

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

表4. MAX7321、MAX6965、MAX7315、およびMAX7316のピン互換性

PIN-PACKAGE		PIN FUNCTION		
16 QSOP	16 TQFN	MAX7321	MAX7315	MAX6965 AND MAX7316
1	15	AD0	AD0	BLINK
2	16	RST	AD1	RST
3	1	AD2	AD2	AD0

P0～P7のI/Oポートも、イネーブルまたはディセーブル可能な40kΩ (typ)のプルアップ抵抗を備えています。ポートがV+よりも高い電圧に駆動される際には、プルアップイネーブルスイッチのボディダイオードが導通し、40kΩのプルアップ抵抗がイネーブルされます。MAX7321がパワーダウンされるときには(V+ = 0)、各I/Oポートは40kΩの抵抗が、ゼロに接続されているダイオードと直列になるものと見なします。I/Oポートは、こうした状況のいずれにおいても+6Vまで保護されます(図10)。

## LED負荷の駆動

LEDを駆動する際には、LEDと直列に抵抗を接続して、LED電流を20mA以下に制限する必要があります。LEDのカソードをMAX7321のポートに接続し、LEDのアノードを直列電流制限抵抗R<sub>LED</sub>を介してV+に接続してください。LEDを発光させる場合は、ポート出力をローに設定してください。次式に従って抵抗の値を選定してください。

$$R_{LED} = (V_{SUPPLY} - V_{LED} - V_{OL}) / I_{LED}$$

ここで、

R<sub>LED</sub>は、LEDと直列になっている抵抗の値(Ω)です。

V<sub>SUPPLY</sub>は、LEDの駆動に使用する電源電圧(V)です。

V<sub>LED</sub>は、LEDの順方向電圧(V)です。

V<sub>OL</sub>は、I<sub>LED</sub>のシンク電流が流れる場合のMAX7321の出力ロー電圧(V)です。

I<sub>LED</sub>は、LEDの所望の動作電流(A)です。

たとえば、+5V電源から2.2Vの赤色LEDを10mAで動作させる場合は、

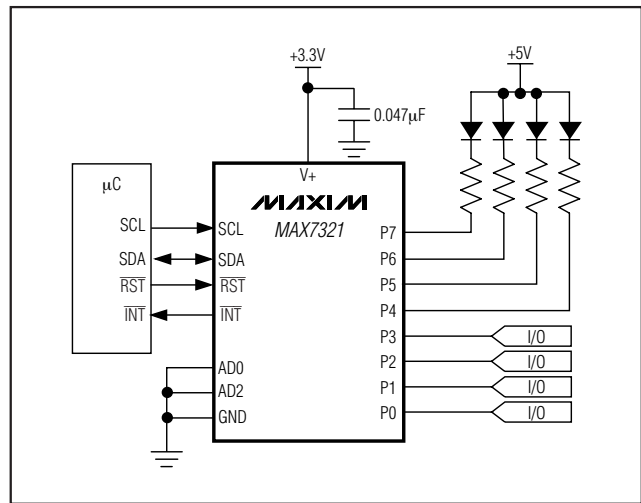
$$R_{LED} = (5 - 2.2 - 0.07) / 0.010 = 270\Omega$$

となります。

## 20mA以上の負荷電流の駆動

MAX7321は、出力を並列にすることによって、リレーのような20mA以上の電流が流れる負荷を駆動することができます。負荷電流20mAにつき少なくとも1出力を使用し、たとえば、5V、330mWのリレーには66mA

## 標準アプリケーション回路



が流れるため、4個の並列出力が必要です。ポートのどんな組合せもMAX7321の書込みによって同時に設定またはクリアすることができるため、負荷分担設計の一環として複数出力の任意の組み合わせが使用できます。このデバイスでは、全シンク電流が100mAを超えないようにしてください。

MAX7321は、誘導性負荷(リレーなど)の両端に逆バイアスダイオードを接続することによって、誘導性負荷を遮断する際に発生する負の過渡電圧から保護する必要があります。ダイオードを流れるピーク電流が誘導性負荷の動作電流よりも大きくなるようにダイオードを選定してください。

## 電源に関する考慮

MAX7321は、-40℃～+125℃の温度範囲にわたって+1.71V～+5.5Vの電源電圧で動作します。少なくとも0.047μFのセラミックコンデンサを使用して、デバイスにできる限り近い位置で電源をGNDにバイパスしてください。TQFNバージョンの場合は、さらに、エクスポートパッドをGNDに接続してください。

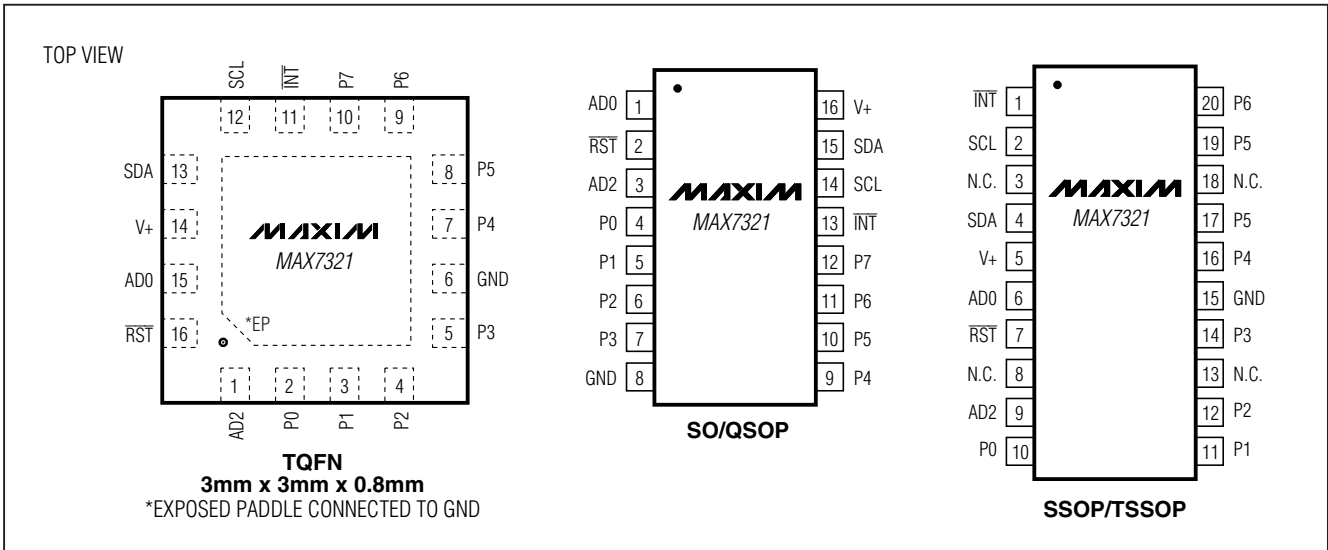
## MAX6965、MAX7315、 およびMAX7316との互換性

MAX7321は、MAX6965、MAX7315、およびMAX7316と部分的ピンコンパチブルです。端子の相違を表4に示します。MAX7321は、MAX6965、MAX7315、またはMAX7316とソフトウェア互換がありません。多くの場合、設計に柔軟性を持たせて、これらすべてのポートエキスパンダに対応した1種類のプリント基板を設計することが可能です。

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

## ピン配置

MAX7321



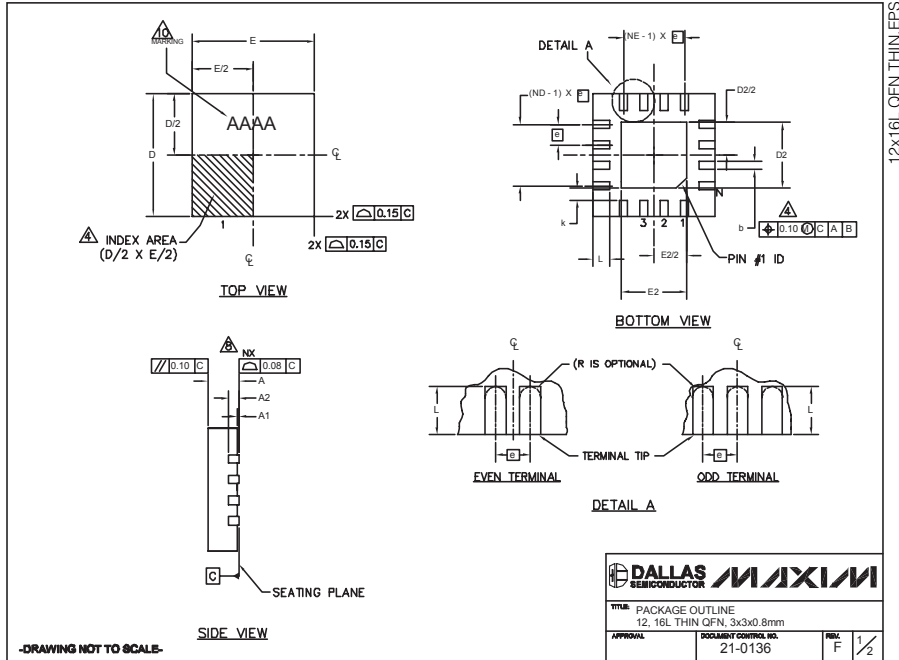
## チップ情報

PROCESS: BiCMOS

# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



12X16L QFN THINLEPS

PKG	12L 3x3			16L 3x3		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80
b	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10
e	0.50 BSC.			0.50 BSC.		
L	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16		
ND	3			4		
NE	3			4		
A1	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-

PKG. CODES	D2			E2			PIN ID	JEDEC	DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	NO
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	YES
T1233-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	YES
T1633-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	YES
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2	N/A
T1633FH-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2	N/A
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

-DRAWING NOT TO SCALE-

DALLAS SEMICONDUCTOR MAXIM  
 TITLE: PACKAGE OUTLINE 12, 16L THIN QFN, 3x3x0.8  
 APPROVAL, DOCUMENT CONTROL NO. 21-0136, REV. F, 2/2

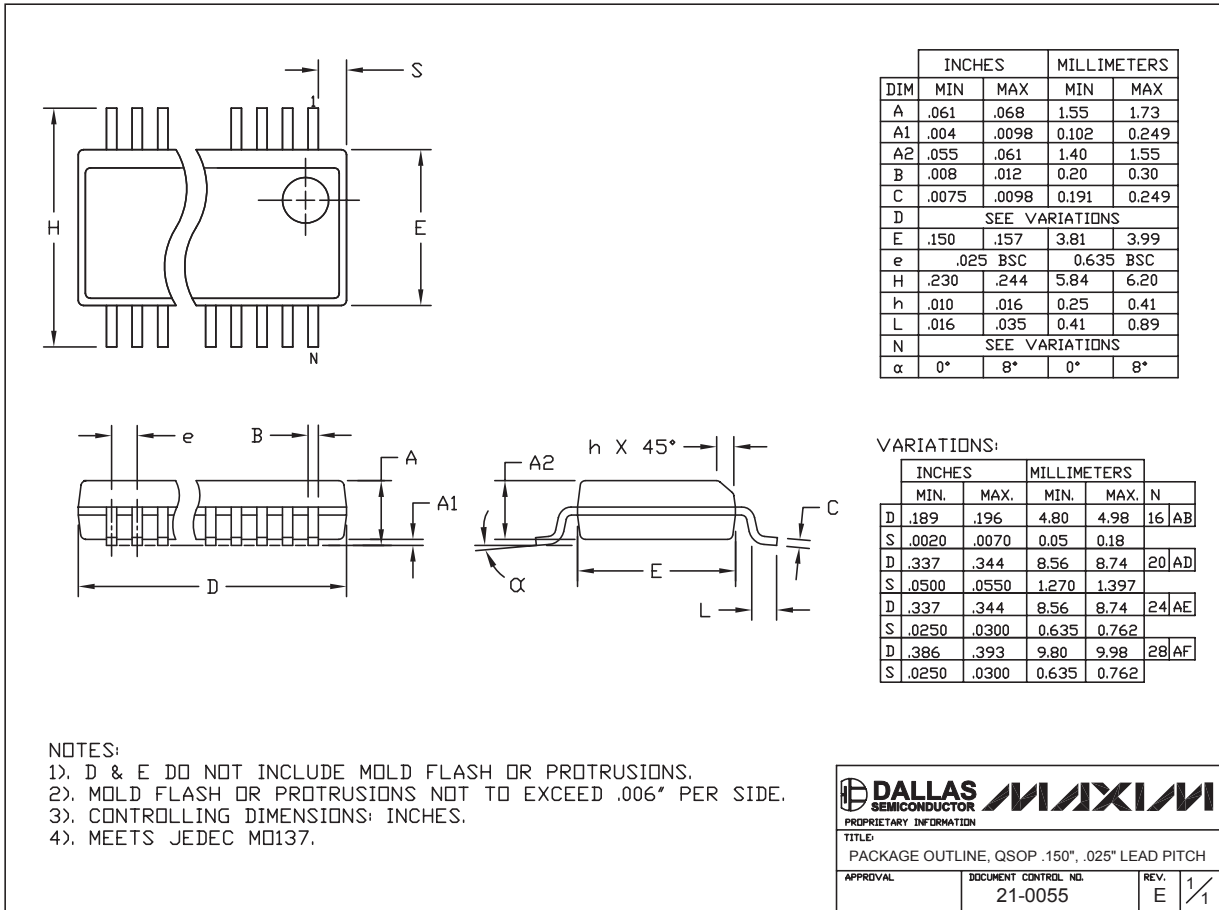
# 8個のオープンドレインI/O付き、 I<sup>2</sup>Cポートエキスパンダ

MAX7321

QSOP EP8

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



**マキシム・ジャパン株式会社**

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

**Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600** \_\_\_\_\_ 17

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.