

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

概要

2線式シリアルインタフェースペリフェラルのMAX7319は、内部プルアップを選択可能、最大+6Vまでの過電圧保護、および割込み出力付きの遷移検出を備えた8個の入力ポートです。

すべての入力ポートが、状態遷移があるかどうか常時監視されます(遷移検出)。遷移がラッチされるため、過渡変化を検出することができます。入力のどのような組合せも割込みマスクを使ってINT出力をアサートするように選択することができます。それに続いてMAX7319にシリアルインタフェースを通じてアクセスすると、保留中のいずれの割込みもクリアされます。

+5.5V耐圧のRST入力によってシリアルインタフェースがクリアされ、MAX7319との間のI²C通信も終了します。

MAX7319は4レベルロジックの2つのアドレス入力を使って、16個のI²Cスレーブアドレスが可能です。また、このスレーブアドレスによって、4個のポートずつ一組で40kΩの内部プルアップをイネーブルまたはディセーブルします。

MAX7319はホット挿入に対応しています。8個の全入力ポート、シリアルインタフェースSDA、SCL、AD0、AD2、INT、およびRSTは、パワーダウン(V₊ = 0)時にはハイインピーダンスであり、それは最大+6Vの印加まで維持されます。

MAX7319は、入力ポート、オープンドレインI/Oポート、およびプッシュ/プル出力ポートの1つを選択可能なピンコンパチブルのポートエキスパンダファミリの中の1デバイスです(表1参照)。

MAX7319は16ピンQSOPおよび16ピンTQFNパッケージで提供され、-40°C~+125°Cの自動車用温度範囲での動作が保証されています。

アプリケーション

携帯電話	ノートブック
SAN/NAS	衛星無線
サーバ	車載用

選択ガイド

PART	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS
MAX7319	8	Yes	—	—
MAX7320	—	—	—	8
MAX7321	Up to 8	—	Up to 8	—
MAX7322	4	Yes	—	4
MAX7323	Up to 4	—	Up to 4	4
MAX7328*	Up to 8	—	Up to 8	—
MAX7329**		—		—

*PCF8574のセカンドソース

**PCF8574Aのセカンドソース

†Maxim Integrated Products, Inc.または二次ライセンスを受けている同社の関連会社からI²C部品を購入することにより、これらの部品をI²Cシステムで使用するためのPhilips社のI²C特許権に基づくライセンスが許諾されたこととなります。但し、システムがPhilips社により定義されたI²C標準規格に合致していることを必要とします。

特長

- ◆ 400kHzの+5.5V耐圧I²Cシリアルインタフェース
- ◆ 動作電圧：+1.71V~+5.5V
- ◆ マスク可能なラッチ遷移検出付き8個の入力ポート
- ◆ 入力ポートを最大+6Vまで過電圧保護
- ◆ 過渡変化がラッチされるため、読取り動作間で検出が可能
- ◆ INT出力が選択された入力の変化を警報
- ◆ AD0およびAD2入力によって16個のスレーブアドレスから選択
- ◆ 低スタンバイ電流：0.6μA (typ)
- ◆ 動作温度範囲：-40°C~+125°C

型番

PART	PIN-PACKAGE	TOP MARK	PKG CODE
MAX7319AEE+	16 QSOP	—	E16-4
MAX7319ATE+	16 TQFN-EP*	ADA	T1633-4

注：いずれのデバイスも-40°C~+85°Cの動作温度範囲での動作が保証されています。

+は鉛フリーパッケージを示します。

*EP = エクスポートドパッド

ピン配置、標準動作回路、およびファンクションダイアグラムはデータシートの最後に記載されています。

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)

Supply Voltage V ₊	-0.3V to +6V
SCL, SDA, AD0, AD2, $\overline{\text{RST}}$, $\overline{\text{INT}}$, I0-I7.....	-0.3V to +6V
SDA Input Current.....	10mA
$\overline{\text{INT}}$ Input Current.....	10mA
Total V ₊ Current.....	50mA
Total GND Current.....	100mA

Continuous Power Dissipation (T_A = +70°C)

16-Pin QSOP (derate 8.3mW/°C over +70°C).....	667mW
16-Pin TQFN (derate 15.6mW/°C over +70°C).....	1250mW
Operating Temperature Range.....	-40°C to +125°C
Junction Temperature.....	+150°C
Storage Temperature Range.....	-65°C to +150°C
Lead Temperature (soldering, 10s).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V ₊		1.71		5.50	V
Power-On Reset Voltage	V _{POR}				1.6	V
Standby Current (Interface Idle)	I _{STB}	SCL and SDA and other digital inputs at V ₊		0.6	1.5	μA
Supply Current (Interface Running)	I ₊	f _{SCL} = 400kHz; other digital inputs at V ₊		23	55	μA
Input High Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7	V _{IH}	V ₊ < 1.8V V ₊ ≥ 1.8V	0.8 x V ₊ 0.7 x V ₊			V
Input Low Voltage SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7	V _{IL}	V ₊ < 1.8V V ₊ ≥ 1.8V			0.2 x V ₊ 0.3 x V ₊	V
Input Leakage Current SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7	I _{IH} , I _{IL}	SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7 at V ₊ or GND	-0.2		+0.2	μA
Input Capacitance SDA, SCL, AD0, AD2, $\overline{\text{RST}}$, I0-I7				10		pF
Output Low Voltage SDA	V _{OLSDA}	I _{SINK} = 6mA			250	mV
Output Low Voltage $\overline{\text{INT}}$	V _{OL$\overline{\text{INT}}$}	I _{SINK} = 5mA		100	250	mV
Port Input Pullup Resistor	R _{PU}		25	40	55	kΩ

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

PORT AND INTERRUPT $\overline{\text{INT}}$ TIMING CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Port Input Setup Time	t _{PSU}	C _L ≤ 100pF	0			μs
Port Input Hold Time	t _{PH}	C _L ≤ 100pF	4			μs
$\overline{\text{INT}}$ Input Data Valid Time	t _{IV}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from STOP	t _{IP}	C _L ≤ 100pF			4	μs
$\overline{\text{INT}}$ Reset Delay Time from Acknowledge	t _{IR}	C _L ≤ 100pF			4	μs

TIMING CHARACTERISTICS

(V₊ = +1.71V to +5.5V, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at V₊ = +3.3V, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Frequency	f _{SCL}				400	kHz
Bus Free Time Between a STOP and a START Condition	t _{BUF}		1.3			μs
Hold Time (Repeated) START Condition	t _{HD, STA}		0.6			μs
Repeated START Condition Setup Time	t _{SU, STA}		0.6			μs
STOP Condition Setup Time	t _{SU, STO}		0.6			μs
Data Hold Time	t _{HD, DAT}	(Note 2)			0.9	μs
Data Setup Time	t _{SU, DAT}		100			ns
SCL Clock Low Period	t _{LOW}		1.3			μs
SCL Clock High Period	t _{HIGH}		0.7			μs
Rise Time of Both SDA and SCL Signals, Receiving	t _R	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of Both SDA and SCL Signals, Receiving	t _F	(Notes 3, 4)		20 + 0.1C _b	300	ns
Fall Time of SDA, Transmitting	t _{F, TX}	(Notes 3, 4)		20 + 0.1C _b	250	ns
Pulse Width of Spike Suppressed	t _{SP}	(Note 5)		50		ns
Capacitive Load for Each Bus Line	C _b	(Note 3)			400	pF
$\overline{\text{RST}}$ Pulse Width	t _W		500			ns
$\overline{\text{RST}}$ Rising to START Condition Setup Time	t _{RST}		1			μs

Note 1: All parameters are tested at T_A = +25°C. Specifications over temperature are guaranteed by design.

Note 2: A master device must provide a hold time of at least 300ns for the SDA signal (referred to V_{IL} of the SCL signal) to bridge the undefined region of SCL's falling edge.

Note 3: Guaranteed by design.

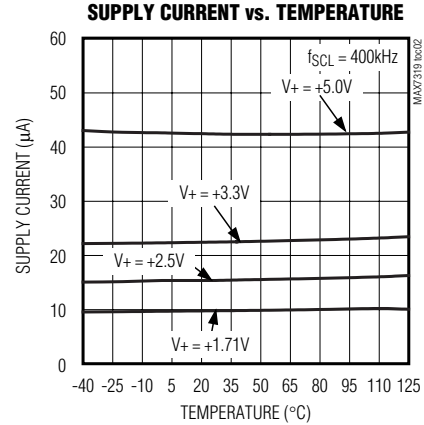
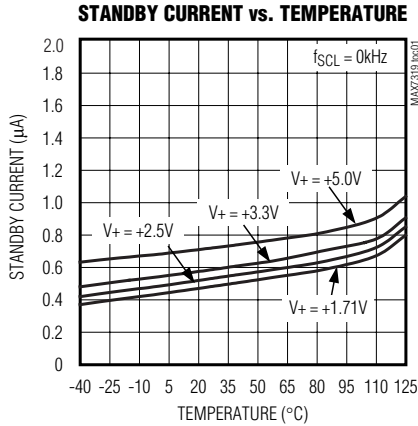
Note 4: C_b = total capacitance of one bus line in pF. t_R and t_F measured between 0.3 × V₊ and 0.7 × V₊, I_{SINK} ≤ 6mA.

Note 5: Input filters on the SDA and SCL inputs suppress noise spikes less than 50ns.

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

標準動作特性

(T_A = +25°C, unless otherwise noted.)



端子説明

端子		名称	機能
QSOP	TQFN		
1, 3	15, 1	AD0, AD2	アドレス入力。AD0とAD2を使って、デバイススレーブアドレスを選択します。AD0およびAD2をGND、V ₊ 、SCL、またはSDAのいずれかに接続すると、4種類のロジックの組み合わせが得られます(表3参照)。
2	16	$\overline{\text{RST}}$	リセット入力、アクティブロー。2線式インタフェースをクリアするには、 $\overline{\text{RST}}$ をローにしてください。
4-7, 9-12	2-5, 7-10	I0-I7	入力ポート。I0~I7は、最大+6Vまで保護されるCMOSロジック入力です。
8	6	GND	グラウンド
13	11	$\overline{\text{INT}}$	割込み出力、アクティブロー。 $\overline{\text{INT}}$ は、+6V定格のオープンドレイン出力です。
14	12	SCL	I ² C対応シリアルクロック入力
15	13	SDA	I ² C対応シリアルデータI/O
16	14	V ₊	正電源電圧。最低0.047µFのセラミックコンデンサでV ₊ をGNDにバイパスしてください。
—	EP	EP	エクスポーズドパッド。エクスポーズドパッドをGNDに接続します。

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

詳細

MAX7319~MAX7329ファミリの比較

MAX7319~MAX7323のファミリは、5種類のピンコンパチブル、8ポートエキスパンダから構成されています。それぞれのバージョンは、各種アプリケーションに最適化されています。MAX7328およびMAX7329は、PCF8574およびPCF8574Aのセカンドソースです。

MAX7324~MAX7327のファミリは、MAX7320の機能と、MAX7319、MAX7321、MAX7322、またはMAX7323のいずれかの機能を搭載する4種類のピンコンパチブル、16ポートエキスパンダから構成されています。

機能概要

MAX7319は+1.71V~+5.5Vの電源で動作する汎用ポートエキスパンダであり、電源電圧とは関係なく最大+6Vまで過電圧保護される8個のCMOS入力ポートを備えています。

MAX7319はアドレス選択入力AD2およびAD0を使って16個のI²Cスレーブアドレス(0x60~0x6F)のいずれか1つに設定され、I²Cシリアルインタフェースを通じてアクセスされます。バスがハングアップした場合はRST入力によってシリアルインタフェースがクリアされ、MAX7319との間のシリアル処理が終了します。

各入力ポートは、遷移検出ラッチ機能を備えています。すべての入力ポートが、変化があるかどうか常時監視されます。一つの入力の変化があると、入力(単数また

表1. MAX7319~MAX7329ファミリの比較

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	APPLICATION
8-PORT EXPANDERS						
MAX7319	110xxxx	8	Yes	—	—	Input-only versions: Eight input ports with programmable latching transition detection interrupt and selectable pullups. Offers maximum versatility for automatic input monitoring. An interrupt mask selects which inputs cause an interrupt on transitions, and transition flags identify which inputs have changed (even momentarily) since the ports were last read.
MAX7320	101xxxx	—	—	—	8	Output-only versions: Eight push-pull outputs with selectable power-up default levels. Push-pull outputs offer faster rise time than open-drain outputs, and require no pullup resistors.
MAX7321	110xxxx	Up to 8	—	Up to 8	—	I/O versions: Eight open-drain I/O ports with latching transition detection interrupt and selectable pullups. Open-drain outputs can level shift the logic-high state to a higher or lower voltage than V+ using external pullup resistors. Any port can be used as an input by setting the open-drain output to logic-high. Transition flags identify which inputs have changed (even momentarily) since the ports were last read.
MAX7322	110xxxx	4	Yes	—	4	Four input-only, four output-only versions: Four input ports with programmable latching transition detection interrupt and selectable pullups. Four push-pull outputs with selectable power-up default levels.

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

表1. MAX7319~MAX7329ファミリの比較(続き)

PART	I ² C SLAVE ADDRESS	INPUTS	INPUT INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	APPLICATION
MAX7323	110xxxx	Up to 4	—	Up to 4	4	Four I/O, four output-only versions: Four open-drain I/O ports with latching transition detection interrupt and selectable pullups. Four push-pull outputs with selectable power-up default levels.
MAX7328 MAX7329	0100xxx 0111xxx	Up to 8	—	Up to 8	—	PCF8574-, PCF8574A-compatible versions: Eight open-drain I/O ports with nonlatching transition detection interrupt and pullups on all ports. All ports power up as inputs (or logic-high outputs). Any port can be used as an input by setting the open-drain output to logic-high.
16-PORT EXPANDERS						
MAX7324	101xxxx and 110xxxx	8	Yes	—	8	Software equivalent to a MAX7320 plus a MAX7321.
MAX7325		Up to 8	—	Up to 8	8	Software equivalent to a MAX7320 plus a MAX7319.
MAX7326		4	Yes	—	12	Software equivalent to a MAX7320 plus a MAX7322.
MAX7327		Up to 4	—	Up to 4	12	Software equivalent to a MAX7320 plus a MAX7323.

は複数)の変化を識別する8つのフラグビットのうちの1つが設定されます。MAX7319に対するその後の読取りまたは書き込み処理時に、全フラグがクリアされます。

ラッチ割込み出力INTは、割込みマスクレジスタによって各入力ポートにおける入力データの変化をフラグ設定するように設定されます。デフォルトでは、いずれの入力ポートにデータの変化があってもINTがロジックローになります。シリアルインタフェースを通じてMAX7319にその後アクセスすると、割込み出力INTとすべての遷移フラグがクリアされます。

V+への内部プルアップ抵抗は、アドレス選択入力AD0およびAD2によって選択されます。4つずつ一組で入力ポートのプルアップが有効になります(表3参照)。

最初の電源投入

電源投入時に遷移検出ロジックがリセットされ、INTはハイインピーダンス状態になります。割込みマスクレジスタは0xFFに設定され、8個の全入力ポートの遷移に対する割込み出力が有効になります。遷移フラグがクリアされていると、データの変化がないことを示します。

RST入力

RST入力はMAX7319に関連するどのようなI²C処理も無効にして、MAX7319をI²CのSTOP状態にします。リセットは割込み出力(INT)に影響を与えず、また割込みマスクレジスタの内容を変更しません。RSTは最大+6Vまで過電圧保護されます。

スタンバイモード

シリアルインタフェースがアイドル状態になると、MAX7319はスタンバイモードに自動的に移行し、消費電流がごくわずかになります。

スレーブアドレスおよび入力プルアップの選択

アドレス入力AD0およびAD2によってMAX7319のスレーブアドレスを設定し、プルアップ抵抗を備える入力を選択します。4つずつ一組で入力ポートのプルアップが有効になります(表3参照)。MAX7319、MAX7321、MAX7322、およびMAX7323は、MAX7320(101xxxx)と異なるスレーブアドレス範囲(110xxxx)を採用してします。

MAX7319のスレーブアドレスはI²C転送時に決定されます。これは、その転送がMAX7319を実際にアドレス指定しているかどうかとは関係ありません。MAX7319は、アドレス入力AD2およびAD0が、この転送時に固定ロジックのレベルV+またはGNDの代わりにSDAまたはSCLに接続されているかを識別します。すなわち、デバイス電源をサイクルせずにMAX7319のスレーブアドレスをアプリケーションでダイナミックに設定することができます。

最初の電源投入時には、MAX7319は最初のI²C転送までアドレス入力AD2およびAD0を完全にデコードすることはできません。AD2およびAD0は、最初はV+またはGNDに接続されているように見えます。アドレスの選択によってプルアップを適用する入力決定されるため、このことは重要です。しかし、電源投入時にI²CのSDAおよびSCLバスインタフェースラインは、

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

表2. 8ポートエキスパンダファミリに対する読取り/書込みアクセス

PART	I ² C SLAVE ADDRESS	INPUTS	INTERRUPT MASK	OPEN-DRAIN OUTPUTS	PUSH-PULL OUTPUTS	I ² C DATA WRITE	I ² C DATA READ
MAX7319	110xxxx	8	Yes	—	—	<I7-I0 interrupt mask>	<I7-I0 port inputs> <I7-I0 transition flags>
MAX7320	101xxxx	—	—	—	8	<O7-O0 port outputs>	<O7-O0 port inputs>
MAX7321	110xxxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs> <P7-P0 transition flags>
MAX7322	110xxxx	4	Yes	—	4	<O7, O6 outputs, I5-I2 interrupt mask, O1, O0 outputs>	<O7, O6, I5-I2, O1, O0 port inputs> <O, 0, I5-I2 transition flags, 0, 0>
MAX7323	110xxxx	Up to 4	—	Up to 4	4	<port outputs>	<O7, O6, P5-P2, O1, O0 port inputs> <O, 0, P5-P2 transition flags, 0, 0>
MAX7328	0100xxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs>
MAX7329	0111xxx	Up to 8	—	Up to 8	—	<P7-P0 port outputs>	<P7-P0 port inputs>

MAX7319などのバスに接続された全デバイス(マスタまたはスレーブ)の端子においてハイインピーダンス状態になります。これは、I²C仕様の一環として保証されています。このため、SDAまたはSCLに接続されたアドレス入力AD2およびAD0は、通常電源投入時にV+に接続されているように見えます。プルアップ選択ロジックではAD0によってポートI3~I0のプルアップをイネーブルするかどうかを選択し、AD2によってポートI7~I4のプルアップをイネーブルするかどうかを選択します。ロジックハイのSDAまたはSCL接続はプルアップを選択し、一方、ロジックローはプルアップを非選択にするというルールです(表3)。標準I²C構成ではSDAおよびSCLは外付けI²Cプルアップ抵抗によってV+にプルアップされるのが電源投入時のプルアップ構成の正しい方法です。

電源投入時に正規なバス動作が行われている真のホットスワップアプリケーションなどでは電源投入時のSDA = SCL = V+という前提が真でないという状況があります。また、SDAとSCLがMAX7319の電源電圧とは異なる電源電圧へのプルアップ抵抗によって終端処理され、そのプルアップ電源がMAX7319の電源よりも後で立ち上がる場合は、SDAまたはSCLは電源投入時にGNDに接続されているように見える場合があります。このようなアプリケーションでは、アドレス入力AD2およびAD0をV+またはGNDに接続することによって選択する4通りのアドレスの組合せを使用してください(表3において太字で表示)。これらの選択では、SDA

およびSCLの動作とは無関係に電源投入時に適正になるように保証されます。他の12アドレスの組合せのいずれか1つを使用する場合は、(MAX7319などのいずれかのデバイスへの)最初のI²C転送がバス上で行われるまで、予期しないプルアップの組合せがアサートされる場合があることに注意してください。

ポート入力

ポート入力はこのエキスパンダの電源電圧で設定されたCMOSロジックレベルで切り替わり、このエキスパンダの電源電圧に依存せず最大+6Vまで過電圧保護されます。

ポート入力の遷移検出

このエキスパンダがシリアルインタフェースを通じて先にアクセスされた後は、8個のすべての入力ポートに変化があるかどうか監視されます。入力ポートの状態は、遷移を監視するための「スナッチショット」内部レジスタに保存されます。スナッチショットは現在の入力状態と常時照合され、いずれかのポート入力に変化が検出されるとそのポートの内部遷移フラグが設定されます。8個のポート入力はサンプリングされ(スナッチショットレジスタに内部ラッチされ)、以前の遷移フラグはMAX7319のあらゆる読取り/書込みアクセスのI²C確認応答時にクリアされます。以前のポート遷移フラグは、シリアルインタフェースを通じて2バイトの読取りシーケンスの第2バイトとして読み取られます。

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

表3. MAX7319のアドレスマップ

PIN CONNECTION		DEVICE ADDRESS							40kΩ INPUT PULLUP ENABLED							
AD2	AD0	A6	A5	A4	A3	A2	A1	A0	I7	I6	I5	I4	I3	I2	I1	I0
SCL	GND	1	1	0	0	0	0	0	Y	Y	Y	Y	—	—	—	—
SCL	V+	1	1	0	0	0	0	1	Y	Y	Y	Y	Y	Y	Y	Y
SCL	SCL	1	1	0	0	0	1	0	Y	Y	Y	Y	Y	Y	Y	Y
SCL	SDA	1	1	0	0	0	1	1	Y	Y	Y	Y	Y	Y	Y	Y
SDA	GND	1	1	0	0	1	0	0	Y	Y	Y	Y	—	—	—	—
SDA	V+	1	1	0	0	1	0	1	Y	Y	Y	Y	Y	Y	Y	Y
SDA	SCL	1	1	0	0	1	1	0	Y	Y	Y	Y	Y	Y	Y	Y
SDA	SDA	1	1	0	0	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y
GND	GND	1	1	0	1	0	0	0	—	—	—	—	—	—	—	—
GND	V+	1	1	0	1	0	0	1	—	—	—	—	Y	Y	Y	Y
GND	SCL	1	1	0	1	0	1	0	—	—	—	—	Y	Y	Y	Y
GND	SDA	1	1	0	1	0	1	1	—	—	—	—	Y	Y	Y	Y
V+	GND	1	1	0	1	1	0	0	Y	Y	Y	Y	—	—	—	—
V+	V+	1	1	0	1	1	0	1	Y	Y	Y	Y	Y	Y	Y	Y
V+	SCL	1	1	0	1	1	1	0	Y	Y	Y	Y	Y	Y	Y	Y
V+	SDA	1	1	0	1	1	1	1	Y	Y	Y	Y	Y	Y	Y	Y

長い読取りシーケンス(3バイト以上)を使って、スレーブアドレスの再送のオーバヘッドを伴わずエキスパンダを常時ポーリングすることができます。3バイト以上がエキスパンダから読み取られる場合は、このエキスパンダは入力ポートデータ、続いて遷移フラグを反復して返します。バイトのペアが読み取られるごとに、入力は反復して再サンプリングされ、遷移フラグはリセットされます。長い読取りシーケンス時に発生したすべての変化が検出され、報告されます。

MAX7319は8ビットの割込みマスクレジスタを内蔵し、このレジスタを使って変化時に割込みを生成する入力を選択します。各入力の遷移フラグは、割込みマスクレジスタの設定とは関係なく、入力の変化すると設定されます。割込みマスクレジスタによって、重大なイベント用にプロセッサに割り込むことができ、またそれほど重大でないイベントを検出するために遷移フラグを定期的にポーリングすることができます。

INTロジックによって不必要な割込みはアサートされませんが、遷移がいつ発生したかにかかわらずデータ遷移が検出され、報告されます。INT出力は、割込み処理ルーチンへの再移行の繰り返しの回避のために読取りシーケンス時に再アサートされません。遷移が読取りシーケンス時に発生すると、INTのアサートはSTOP状態まで遅延されます。ただし、変化した入力データが、STOP状態が発生する前に読み取られると、INTはSTOP状態になっても再アサートされません。

遷移検出マスク

遷移検出口ジックは、入力ポートごとに遷移フラグおよび割込みマスクビットを備えています。8個の変化フラグはシリアルインタフェースを通じて読み取ることができ、8ビットの割込みマスクはシリアルインタフェースを通じて設定されます。

各ポートの遷移フラグはポートの入力が変化すると設定され、入力が元の状態に戻った場合も遷移フラグは設定されたままです。ポートの割込みマスクを使って、入力ポートの遷移によって割込みを生成するかどうかを設定します。割込みマスクを使って、優先順位が高い入力に対する割込みをイネーブルします。この割込みによって、システムはこれらの入力の変化に迅速に対応することができます。重要度が低い入力を監視するには、MAX7319を定期的にポーリングします。遷移フラグは、MAX7319が最後にアクセスされてから永続的な変化または過渡変化がいずれかの入力に発生したかどうかを示します。

シリアルインタフェース

シリアルアドレス指定

MAX7319は、I²Cインタフェースを通じてデータを送受信するスレーブとして動作します。インタフェースはシリアルデータライン(SDA)とシリアルクロックライン(SCL)を使って、マスタ(単数または複数)とスレーブ(単数または複数)間の双方向通信を実現します。マスタはMAX7319との間のすべてのデータ転送を開始して、データ転送を同期化するSCLクロックを生成します(図1)。

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

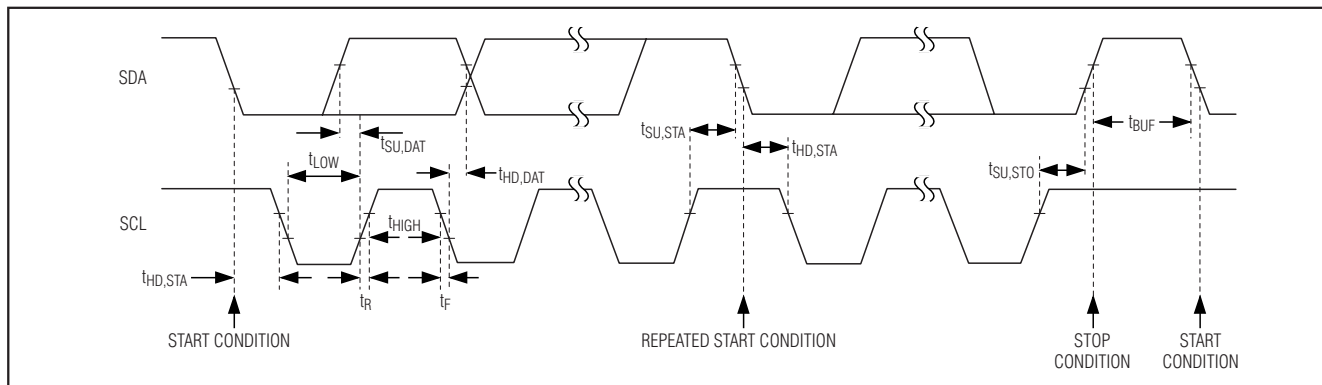


図1. 2線式シリアルインタフェースタイミング詳細

SDAラインは、入力およびオープンドレイン出力として動作します。4.7kΩ (typ)のプルアップ抵抗が、SDAに必要です。SCLは、入力としてのみ動作します。2線式インタフェースに複数のマスタがある場合や、シングルマスタシステム内のマスタがオープンドレインSCL出力を備えている場合は、4.7kΩ (typ)のプルアップ抵抗がSCLに必要です。

各転送は、マスタが送信するSTART状態、それに後続するMAX7319の7ビットスレーブアドレスおよびR/Wビット、1バイトまたは複数バイトのデータバイト、最後にSTOP状態から構成されています(図2)。

STARTおよびSTOP状態

インタフェースがビジーでない場合は、SCLおよびSDAはともにハイを維持します。SCLがハイの間に、マスタはSDAをハイからローに遷移させて、START(S)状態によって転送開始を通知します。マスタはスレーブとの通信を終了すると、SCLがハイの間に、SDAをローからハイに遷移させて、STOP(P)状態を発行します。この状態では、バスは別の転送に開放されています(図2)。

ビット転送

1つのデータビットが、各クロックパルス間に転送されます。SDA上のデータは、SCLがハイの間、安定を維持する必要があります(図3)。

確認応答

確認応答ビットはクロック制御された第9ビットであり、受信側はこのビットを使って各データバイトの受信を確認応答します(図4)。転送される各バイトには、実質的に9ビットが必要です。マスタは第9クロックパルスを生成し、確認応答クロックパルス時に受信側はクロックパルスがハイである間はSDAラインがロー

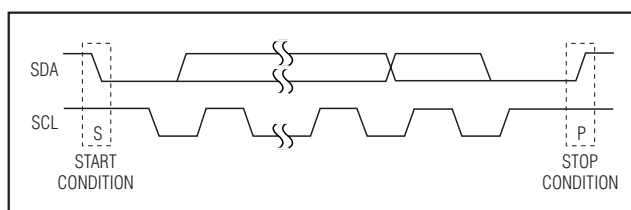


図2. STARTおよびSTOP状態

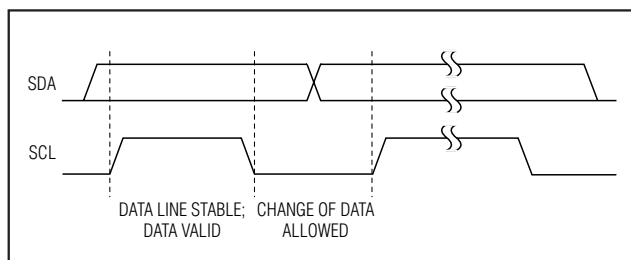


図3. ビット転送

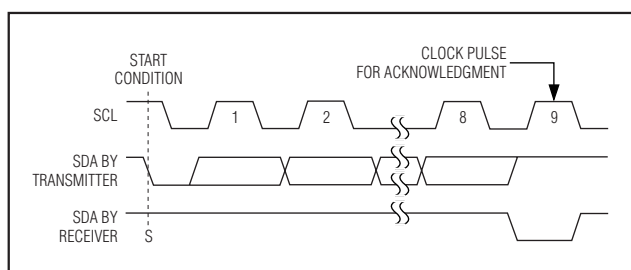


図4. 確認応答

で安定するようにSDAをプルダウンします。マスタがMAX7319に送信しているときは、MAX7319が受信側であるため、MAX7319が確認応答ビットを生成します。

MAX7319がマスタに送信しているときは、マスタが受信側であるため、マスタが確認応答ビットを生成します。

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

スレーブアドレス

MAX7319は、7ビットのスレーブアドレスを備えています(図5)。7ビットのスレーブアドレスに後続する第8ビットは、R/Wビットです。書込みコマンドの場合はR/Wビットはローで、読取りコマンドの場合はハイです。

MAX7319のスレーブアドレスの第1(A6)、第2(A5)、および第3(A4)ビットは、それぞれ常に1、1、および0です。スレーブアドレスビットA3、A2、A1、およびA0を選択するには、AD2およびAD0をGND、V+、SDA、またはSCLに接続します。MAX7319では16個のスレーブアドレス(表3)が可能のため、I²Cバス上に最大16個のMAX7319デバイスを接続することができます。

MAX7319へのアクセス

MAX7319へのI²Cインタフェースアクセスは、以下のように要約されます(表2)。

MAX7319からの1バイトの読取りによって8個の入力ポートの状態が返され、内部遷移フラグとINT出力の両方がクリアされます(図7)。

2バイトの読取りは(1バイトの読取りと同じように)8個の入力ポートの状態、続いて遷移フラグを返します。MAX7319がスレーブアドレスバイトを確認応答すると内部遷移フラグとINT出力がクリアされますが、それまでの遷移フラグデータは第2バイトとして送信されます(図8)。

マルチバイトの読取り(I²C STOPビットの前に3バイト以上)は、入力ポートデータを遷移フラグと交互に反復して返します。入力データは転送ごとに再サンプリングされ、遷移フラグは毎回リセットされるため、マルチバイトの読取りは最新データを常に返し、変化する入力ポートを識別します。

ポート入力データの変化が読取りシーケンス時に発生した場合は、I²C STOPビットの後にINTが再アサートされます。MAX7319は、1バイトまたはマルチバイトの読取り時に他の割込みを生成しません。

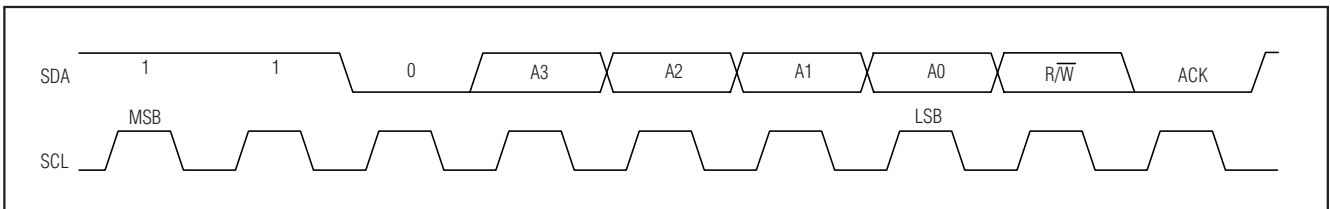


図5. スレーブアドレス

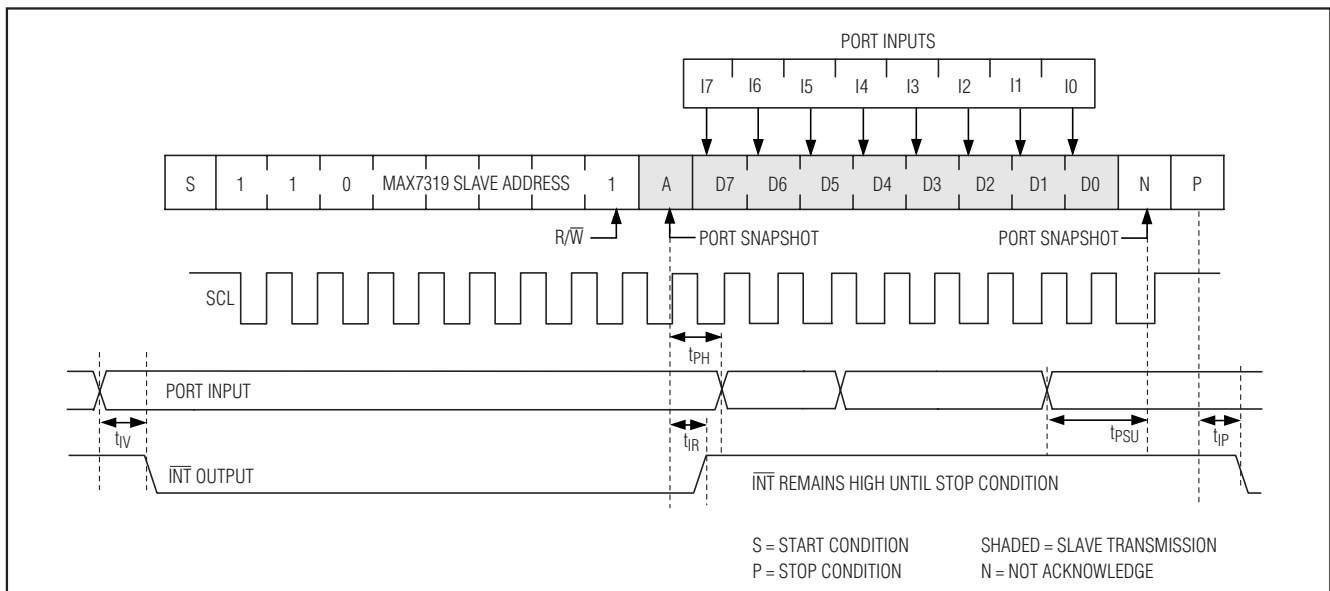


図6. MAX7319からの読取り(1バイトのデータ)

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

入力ポートデータは、前に位置するI²C確認応答ビット(1バイトまたは2バイトの読取りの場合は、I²Cスレーブアドレスの確認応答ビット)の間にサンプリングされます。

MAX7319に対する**1バイトの書込み**によって割込みマスクレジスタが設定され、内部遷移フラグとINT出力の両方がクリアされます。

MAX7319に対する**マルチバイトの書込み**によって、割込みマスクレジスタが繰り返し設定されます。

MAX7319からの読取り

MAX7319からの読取りは、R/Wビットをハイに設定してMAX7319のスレーブアドレスマスタが送信することから開始されます。MAX7319はスレーブアドレスを確認応答し、確認応答ビット時に入力ポートをサンプリングします。INTは、スレーブアドレスの確認応答時はデアサートされます。

通常は、受信時に最後のバイトを除く各バイトをマスタが確認応答しながら、マスタがMAX7319から1バイトまたは2バイトを読み取ります。

マスタがMAX7319から1バイトを読み取り、次にSTOP状態を発行すると(図6)、MAX7319は最新のポートデータを転送し、遷移フラグをクリアして、遷移検出をリセットします。INTは、スレーブアドレスの確認応答時にデアサートされます。新規のスナッチショットデータはマスタに転送された最新のポートデータです。このため、転送時に発生したポートの遷移が検出されます。INTは、STOP状態までハイ状態を維持します。

マスタがMAX7319から2バイトを読み取り、次にSTOP状態を発行すると(図7)、MAX7319は最新のポートデータ、続いて遷移フラグを転送します。遷移フラグがクリアされ、遷移検出がリセットされます。INTは、スレーブアドレスの確認応答時にデアサートされます。新規のスナッチショットデータはマスタに転送された最新のポートデータです。このため、転送時に発生したポートの遷移が検出されます。INTは、STOP状態までハイ状態を維持します。マスタが3バイト以上を読み取る場合は、入力ポートデータと遷移フラグが交互になります。

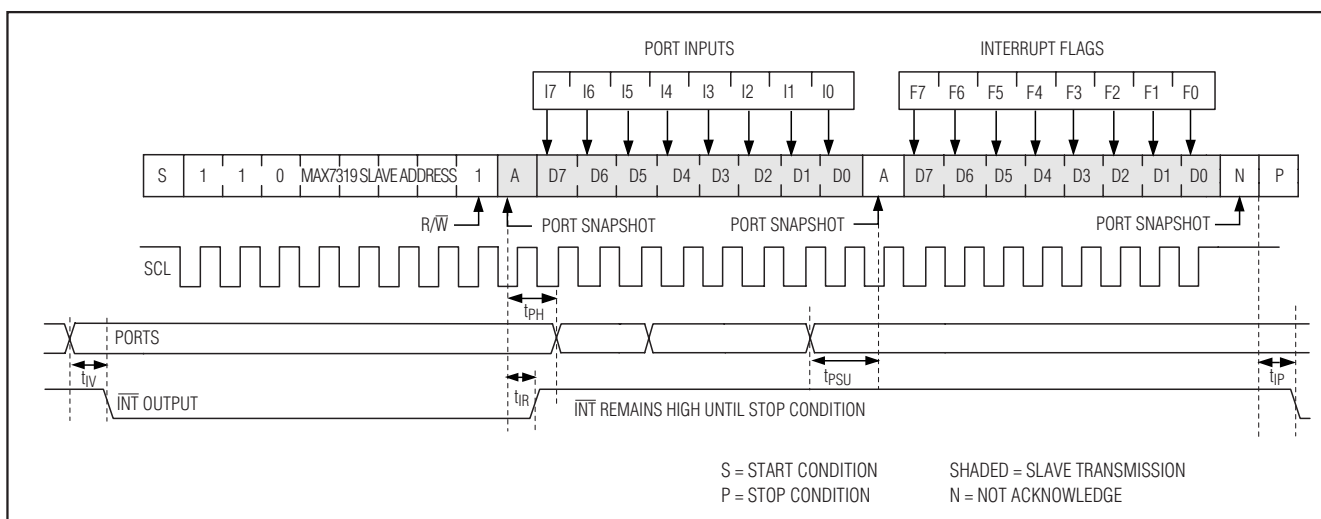


図7. MAX7319からの読取り(2バイトのデータ)

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

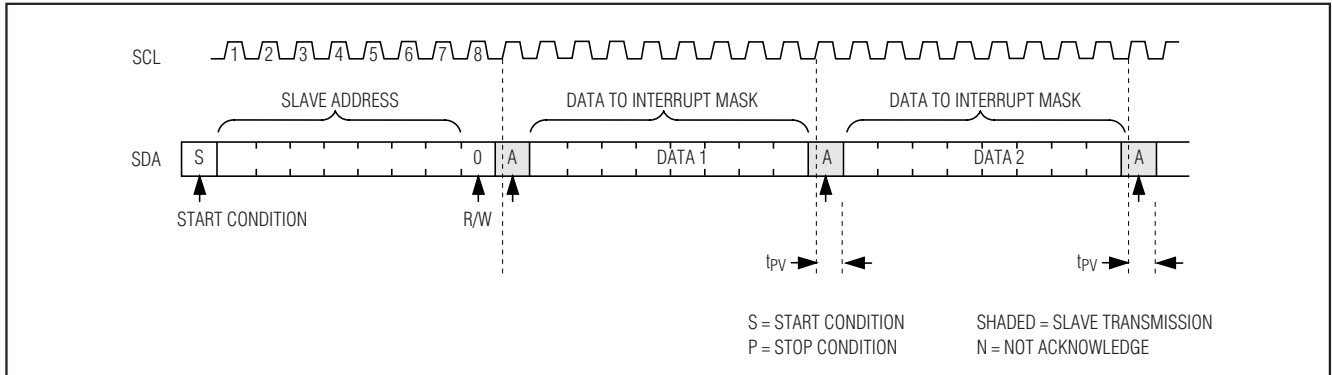


図8. MAX7319への書き込み

MAX7319への書き込み

MAX7319への書き込みは、R/Wビットをローに設定してマスタがMAX7319のスレーブアドレスを送信することから開始されます。MAX7319はスレーブアドレスを確認応答し、確認応答ビット時に入力ポートをサンプリングします。INTは、スレーブアドレスの確認応答時にデアサートされます。これでマスタは1バイトまたは複数バイトのデータを転送することができます。MAX7319は後続するデータバイトを確認応答し、マスタがSTOP状態を発行するまで割込みマスクレジスタを新規バイトごとに更新します(図8)。

アプリケーション情報

ポート入力とI²Cインタフェース間の 高ロジック電圧または低ロジック電圧からの レベル変換

MAX7319のI²Cインタフェース(SDA、SCL、AD0、AD2)、リセット入力RST、割込み出力INT、および8個の入力ポートI0~I7は、V+と関係なく最大+6Vまで過電圧保護されています。このため、MAX7319は+3.3Vなどの低電源電圧で動作しながら、I²Cインタフェースや8個の入力ポートのいずれかを+5Vなどのより高いロジックレベルで駆動することができます。

MAX7319は+3Vなどの高電源電圧で動作しながら、I²Cインタフェースや入力ポートI0~I7の一部を+2.5Vなどのより低いロジックレベルで駆動することができます。いずれかの入力でロジックハイをアサートするには、 $0.7 \times V+$ の最低電圧を印加してください。例えば、+5Vの電源で動作するMAX7319は、+3.3V定格のロジックハイを認識しない場合があります。入力レベル変換の1つのソリューションは、オープンドレイン出力でMAX7319の入力を駆動することです。 $0.7 \times V+$ を超えるハイロジック電圧を確保するには、V+以上の電源へのプルアップ抵抗を使用してください。

ホット挿入

MAX7319がパワーダウンされると($V+ = 0$)、RST、SCL、SDA、AD0、およびAD2は最大+6Vまで印加されてもハイインピーダンス状態を維持します。このため、MAX7319をホットスワップアプリケーションで使用することができます。

入力ポートI0~I7はそれぞれ、GNDへの保護ダイオードを備えています(図9)。ポート入力GNDより低い電圧にされると、保護ダイオードは電圧をGNDからダイオード1個分の降下にクランプします。

入力ポートI0~I7はそれぞれ、イネーブルまたはディセーブル可能な40kΩ(typ)のプルアップ抵抗も備えています。ポート入力V+を超える電圧にされると、プルアップイネーブルスイッチのボディダイオードが導通し、40kΩのプルアップ抵抗がイネーブルされます。MAX7319がパワーダウンされると($V+ = 0$)、すべての入力ポートはGNDと接続されたダイオードと直列の40kΩ抵抗として見えます。入力ポートは、こうしたどのような状況でも最大+6Vまで保護されます(図9)。

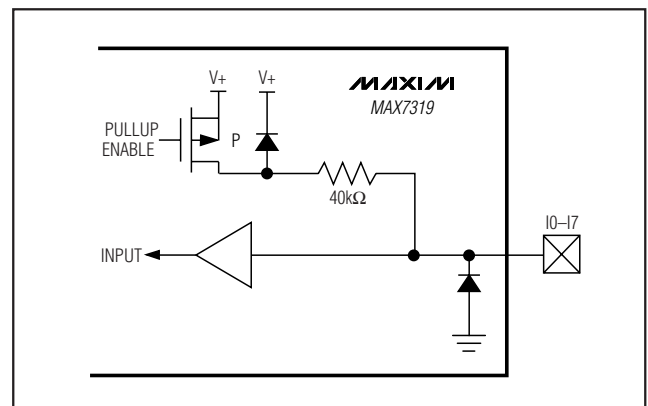


図9. 入力ポート構造

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

電源に関して

MAX7319は、-40°C~+125°Cの温度範囲にわたって+1.71V~+5.5Vの電源電圧で動作します。デバイスにできるだけ近接した最低0.047μFのセラミックコンデンサでV+をGNDにバイパスしてください。TQFNバージョンの場合は、エクスポーズドパッドをGNDに接続してください。

MAX6965、MAX7315、 およびMAX7316との互換性

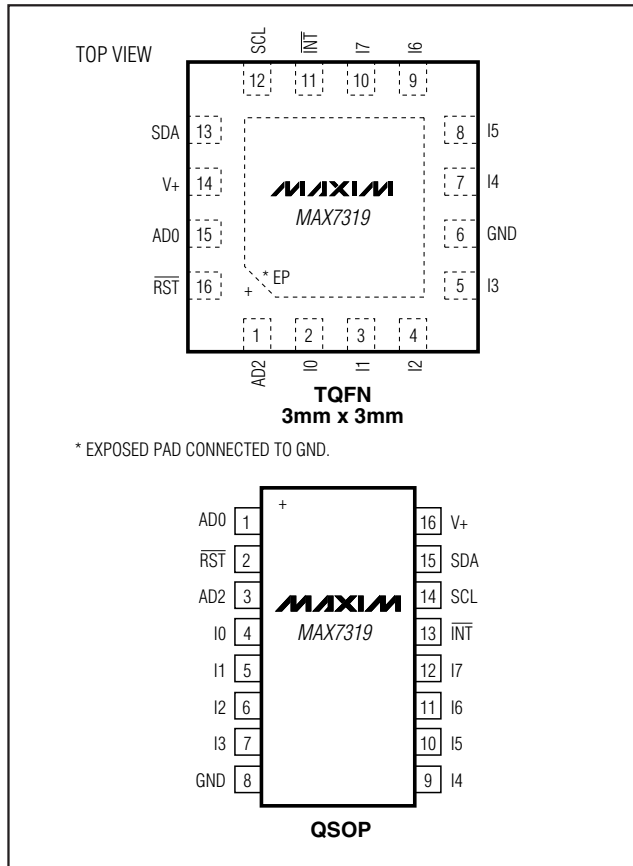
MAX7319は、MAX6965、MAX7315、およびMAX7316とピンコンパチブルのサブセットです。端子の相違点は、表4に記載されています。MAX7319は、MAX6965、MAX7315、またはMAX7316とソフトウェア

コンパチブルではありません。ほとんどの場合、これらのどのポートエキスパンダとも連携するようにプリント基板を設計することができ、設計が柔軟になります。

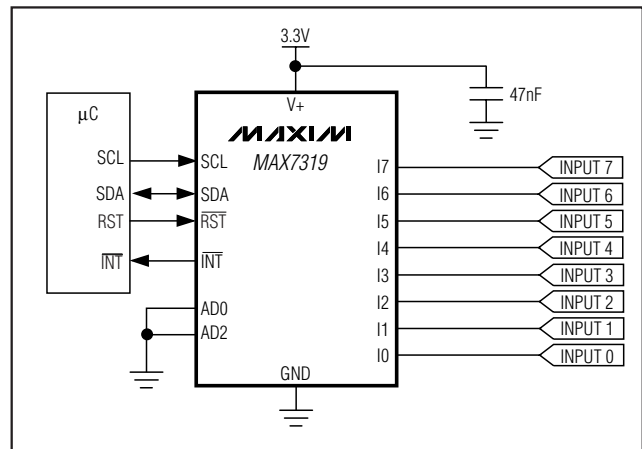
表4. MAX7319、MAX6965、MAX7315、
およびMAX7316とのピン互換性

PIN-PACKAGE		PIN FUNCTION		
16 QSOP	16 TQFN	MAX7319	MAX7315	MAX6965 AND MAX7316
1	15	AD0	AD0	BLINK
2	16	RST	AD1	RST
3	1	AD2	AD2	AD0

ピン配置



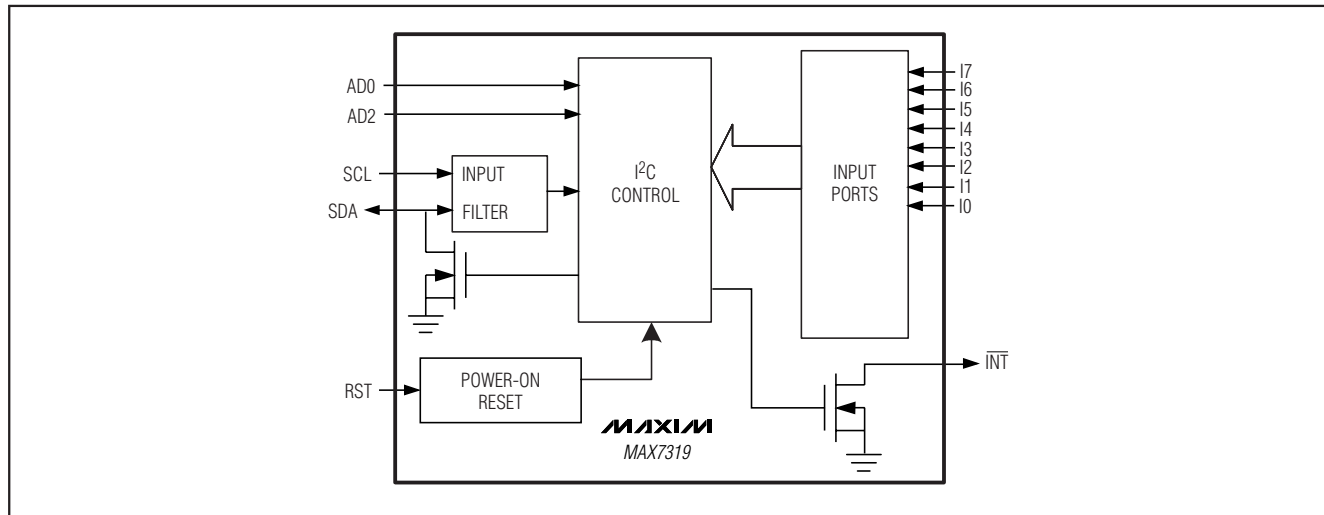
標準動作回路



8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

ファンクションダイアグラム



チップ情報

PROCESS: BiCMOS

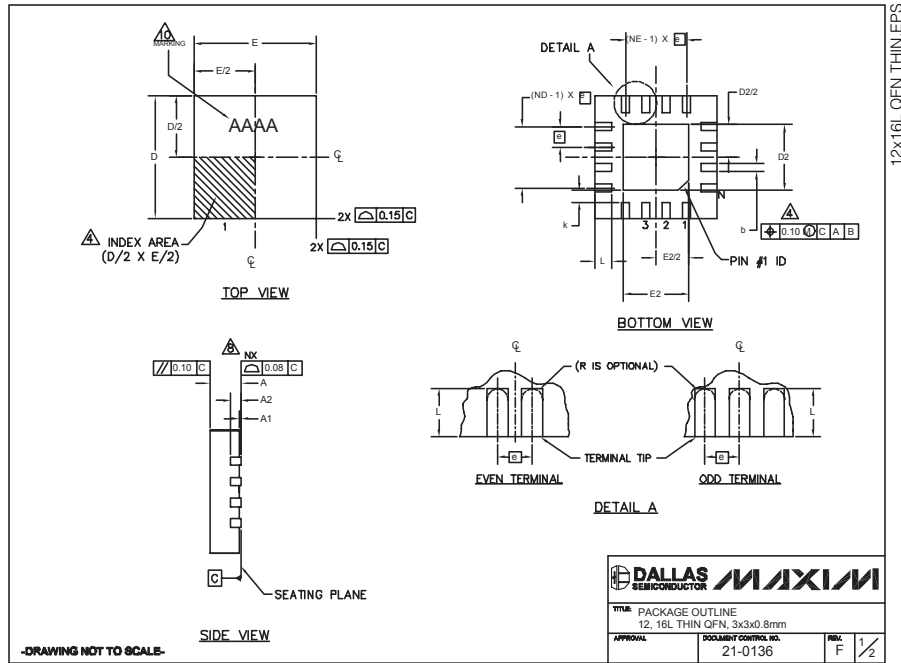
CONNECT EXPOSED PAD TO GND

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



PKG	12L 3x3			16L 3x3		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80
b	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10
e	0.50 BSC			0.50 BSC		
L	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16		
ND	3			4		
NE	3			4		
A1	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-

PKG CODES	D2			E2			PIN ID	JEDEC	DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	NO
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	YES
T1233-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	YES
T1633-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	YES
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2	N/A
T1633FH-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2	N/A
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS, ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

DALLAS SEMICONDUCTOR MAXIM

TITLE: PACKAGE OUTLINE
12, 16L THIN QFN, 3x3x0.8

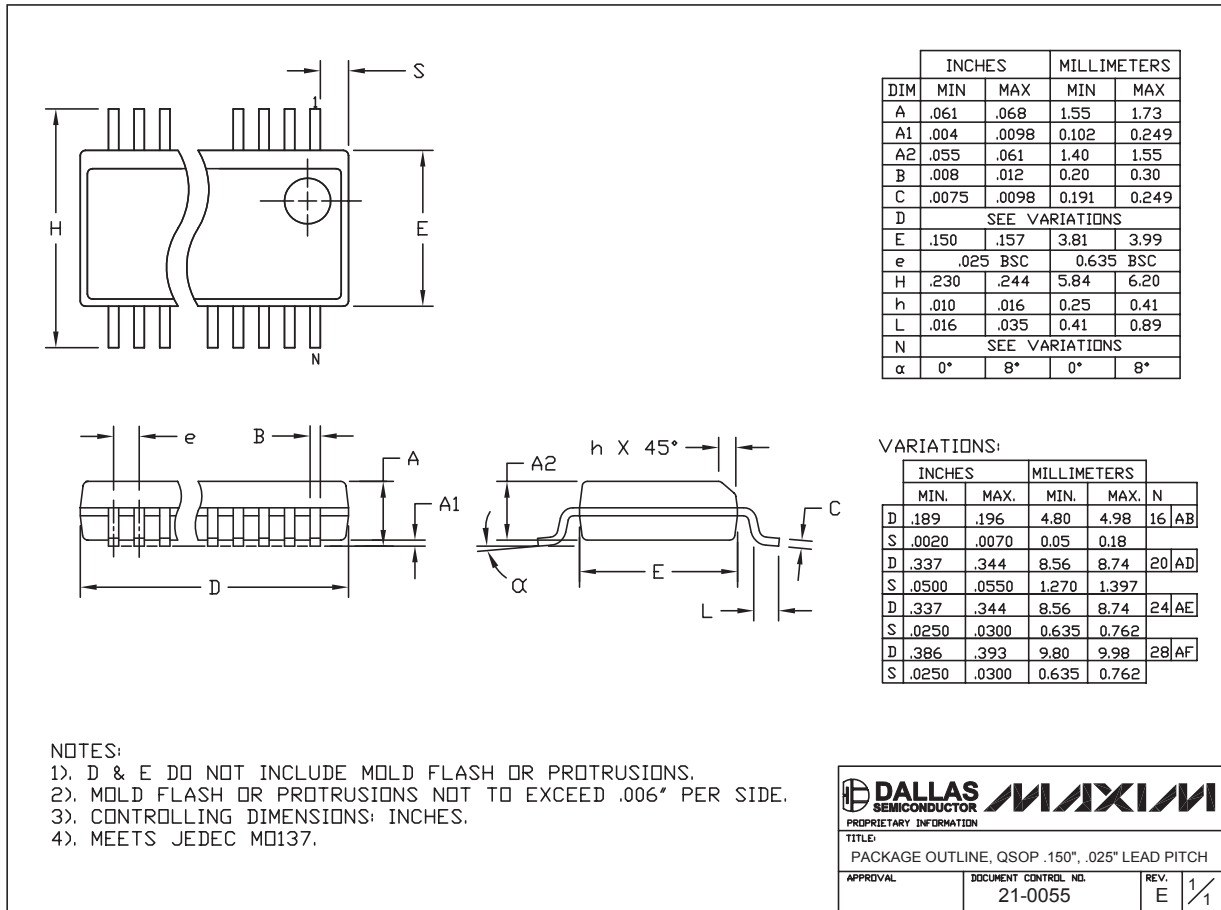
APPROVAL: [Signature] DOCUMENT CONTROL NO. 21-0136 REV. F 2/2

8入力およびマスク可能な遷移検出付き、 I²Cポートエキスパンダ

MAX7319

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



QSOPERS

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

16 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2005 Maxim Integrated Products, Inc. All rights reserved. **MAXIM** is a registered trademark of Maxim Integrated Products, Inc.