

# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

## 概要

シリアルインタフェース周辺機器のMAX7317は、マイクロプロセッサに定格7Vの10個のI/Oポートを提供します。各ポートは、オープンドレイン出力または過電圧保護付きのシュミット入力として個々に設定することができます。

MAX7317は、ホット挿入をサポートしています。すべてのポートピンは、パワーダウン( $V+ = 0V$ )の際にハイインピーダンスに保たれ、最大8Vまで印加可能です。

MAX7317は、16ピン薄型QFNパッケージ及びQSOPパッケージで提供され、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の範囲で動作します。

同様の部品で、定電流出力と8ビットPWM制御を持つデバイスについては、MAX6966/MAX6967のデータシートを参照してください。

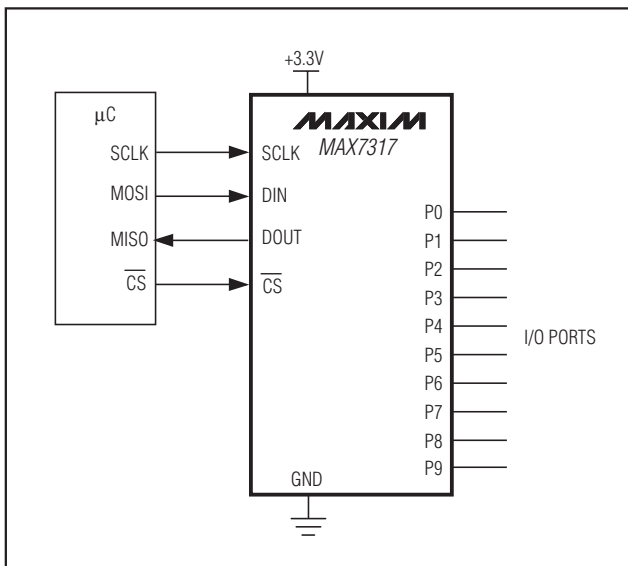
## アプリケーション

ポータブル機器  
携帯電話  
白物家電  
産業用コントローラ  
車載用  
システム監視

SPI及びQSPIは、Motorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

## 標準動作回路



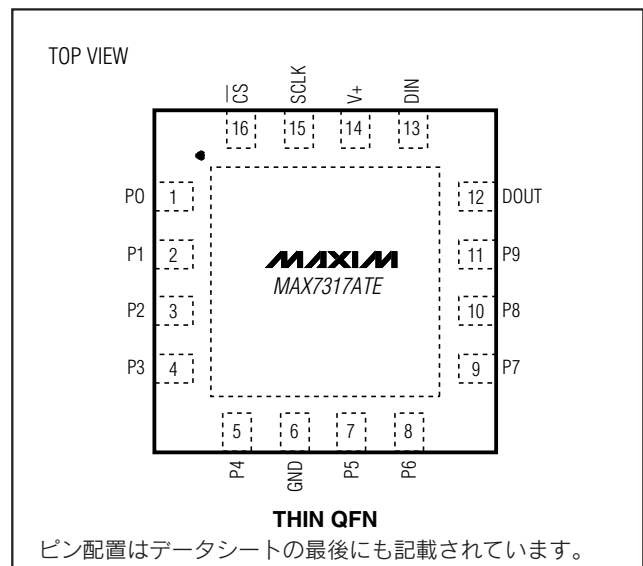
## 特長

- ◆ 26MHz SPI™/QSPI™/MICROWIRE™対応の高速シリアルインタフェース
- ◆ 2.25V~3.6Vの動作電圧
- ◆ I/Oポート入力は最大7Vまで過電圧保護
- ◆ I/Oポート出力は定格7Vのオープンドレイン出力
- ◆ I/Oポートはホット挿入をサポート
- ◆ スタンバイ電流：0.7µA(typ)、1.9µA(max)
- ◆ 小型3mm x 3mm、高さ0.8mmの薄型QFNパッケージ
- ◆ 温度範囲： $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

## 型番

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX7317ATE	$-40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$	16 Thin QFN 3mm x 3mm x 0.8mm	ACH	T1633-4
MAX7317AEE	$-40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$	16 QSOP	—	—

## ピン配置



# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

MAX7317

## ABSOLUTE MAXIMUM RATINGS

Voltage (with respect to GND)		Continuous Power Dissipation (T <sub>A</sub> = +70°C)
V+ .....	-0.3V to +4V	16-Pin Thin QFN
SCLK, DIN, CS, DOUT .....	-0.3V to (V+ + 0.3V)	(derate 14.7mW/°C above +70°C).....
P- .....	-0.3V to +8V	16-Pin QSOP (derate 8.3mW/°C above +70°C).....
DC Current into P- .....	24mA	Operating Temperature Range
DC Current into DOUT .....	10mA	(T <sub>MIN</sub> to T <sub>MAX</sub> ) .....
Total GND Current .....	200mA	Junction Temperature .....
		Storage Temperature Range .....
		Lead Temperature (soldering, 10s) .....

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(Typical Operating Circuit, V+ = 2.25V to 3.6V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at V+ = 3.3V, T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V+		2.25		3.60	V
Output Load External Supply Voltage P0–P9	V <sub>EXT</sub>				7	V
Standby Current (Interface Idle)	I <sub>STBY</sub>	All digital inputs at V+ or GND	T <sub>A</sub> = +25°C	0.70	1.5	μA
			T <sub>A</sub> = T <sub>MIN</sub> to +85°C		1.7	
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		1.9	
Supply Current	I <sub>+</sub>	f <sub>SCLK</sub> = 26MHz; other digital inputs at V+ or GND; DOUT unloaded	T <sub>A</sub> = +25°C	385	620	μA
			T <sub>A</sub> = T <sub>MIN</sub> to +85°C		680	
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		730	
Input High Voltage (P0–P9, DIN, SCLK, $\overline{CS}$ )	V <sub>IH</sub>	P0–P9 output register set to 0x01	0.7 x V+			V
Input Low Voltage (P0–P9, DIN, SCLK, $\overline{CS}$ )	V <sub>IL</sub>	P0–P9 output register set to 0x01			0.3 x V+	V
Input Leakage Current (P0–P9, DIN, SCLK, $\overline{CS}$ )	I <sub>IH</sub> , I <sub>IL</sub>		-0.2		+0.2	μA
Input Capacitance (P0–P9, DIN, SCLK, $\overline{CS}$ )		(Note 2)		10		pF
Output Low Voltage (P0–P9)	V <sub>OLP_</sub>	I <sub>SINK</sub> = 0.5mA, output register set to 0x00			0.4	V
Output Low Short-Circuit Current (P0–P9)		V <sub>OLPOUT</sub> = 5V		10.8	20	mA
Output High Voltage (DOUT)	V <sub>OH</sub> DOUT	I <sub>SOURCE</sub> = -6mA	V+ - 0.3V			V
Output Low Voltage (DOUT)	V <sub>OL</sub> DOUT	I <sub>SINK</sub> = 6mA			0.3	V
Power-On Reset Voltage	V <sub>POR</sub>		2			V

# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

MAX7317

## TIMING CHARACTERISTICS

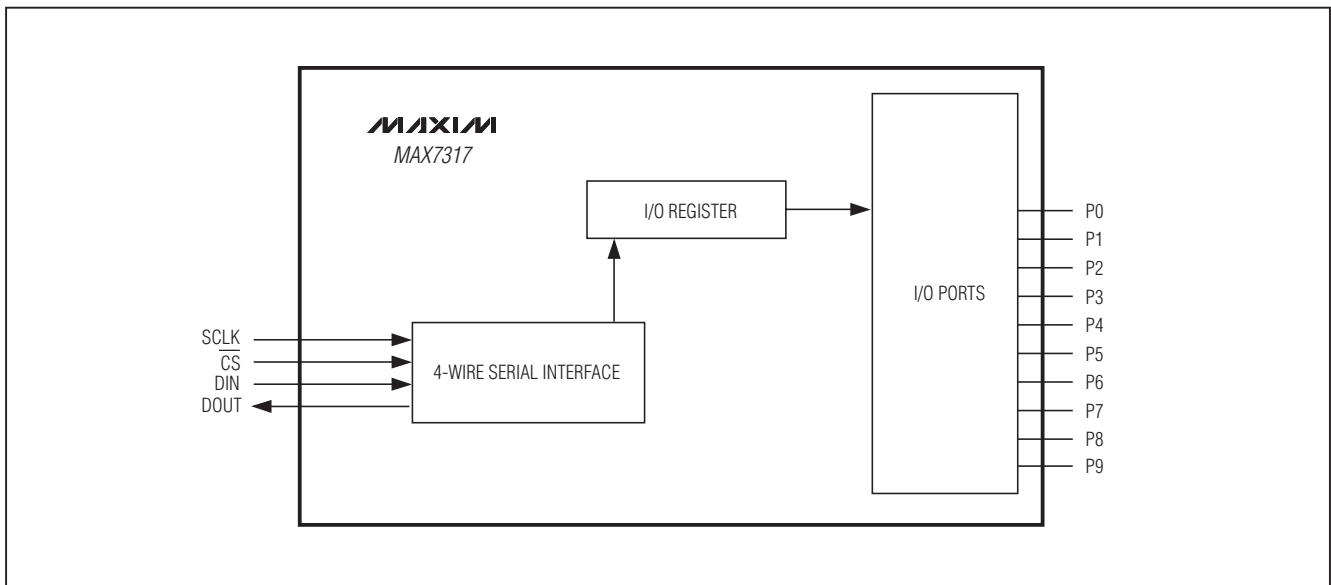
(Typical Operating Circuit,  $V_+ = 2.25V$  to  $3.6V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $V_+ = 3.3V$ ,  $T_A = +25^\circ C$ .)  
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Clock Period	tCP		38.4			ns
SCLK Pulse-Width High	tCH		19			ns
SCLK Pulse-Width Low	tCL		19			ns
$\overline{CS}$ Fall to SCLK Rise Setup	tCSS		9.5			ns
SCLK Rise to $\overline{CS}$ Rise Hold	tCSH		2.5			ns
DIN Setup Time	tDS		9.5			ns
DIN Hold Time	tDH		2.5			ns
Output Data Propagation Delay	tDO				19	ns
DOUT Output Rise and Fall Times	tFT	$C_{LOAD} = 20pF$ (Note 2)			10	ns
Minimum $\overline{CS}$ Pulse High	tCSW		38.4			ns

**Note 1:** All parameters are tested at  $T_A = +25^\circ C$ . Specifications over temperature are guaranteed by design.

**Note 2:** Guaranteed by design.

## MAX7317のブロック図

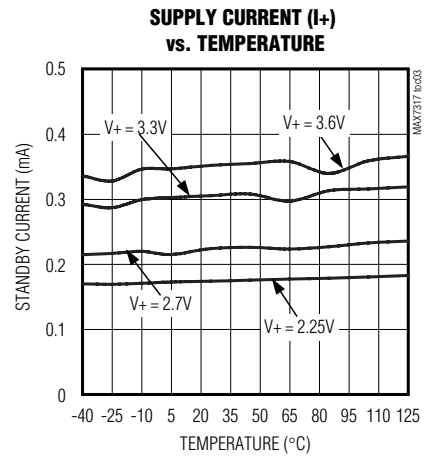
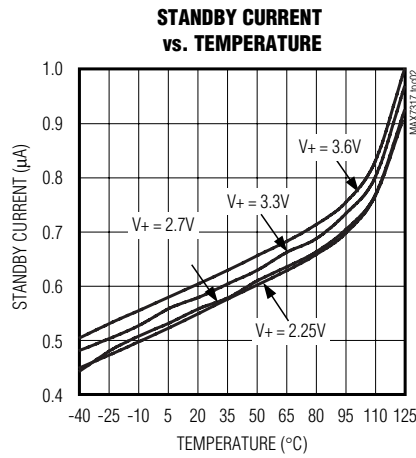
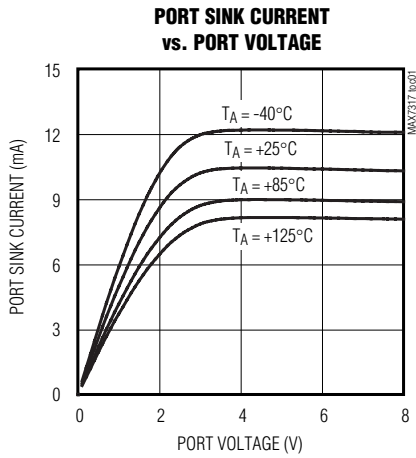


# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

MAX7317

## 標準動作特性

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



## 端子説明

端子		名称	機能
QSOP	QFN		
1	15	SCLK	シリアルクロック入力。SCLKの立上りエッジで、データは内部シフトレジスタにシフトインされます。SCLKの立下りエッジで、データはDOUTからクロックアウトされます。SCLKは、 $\overline{\text{CS}}$ がローの間のみアクティブです。
2	16	$\overline{\text{CS}}$	チップセレクト入力。シリアルデータは、 $\overline{\text{CS}}$ がローの間にシフトレジスタにロードされます。最新の16ビットのデータが $\overline{\text{CS}}$ の立上りエッジでラッチされます。
3-7, 9-13	1-5, 7-11	P0-P9	I/Oポート。P0~P9は、最大定格20mAのオープンドレイン電流シンク出力、CMOS入力、またはオープンドレイン出力として設定することができます。負荷は、7V以下の電源電圧に接続する必要があります。
8	6	GND	グラウンド
14	12	DOUT	シリアルデータ出力。DINへのデータは、15.5クロックサイクルの後にDOUTで有効になります。このピンを、複数デバイスのデジチェーン接続、またはデータをリードバックするために使用してください。出力はプッシュプルです。
15	13	DIN	シリアルデータ入力。DINからのデータは、SCLKの立上りエッジで内部の16ビットシフトレジスタにロードされます。
16	14	V+	正電源電圧。V+を0.047 $\mu\text{F}$ のセラミックコンデンサでGNDにバイパスしてください。
—	PAD	Exposed pad	パッケージ裏面のエクスポーズドパッド。GNDに接続してください。

# MAX7317

## 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

### 詳細

MAX7317は、高速SPI対応のシリアルインタフェースを通して制御される10個のI/OポートP0~P9を備えた汎用入力/出力(GPIO)周辺機器です。10個のI/Oポートは、入力、またはオープンドレイン出力として任意に組み合わせ使用することができます。ポートは、入力、出力のどちらに使用しても、MAX7317の電源電圧には関係なく7Vに耐えます。

図1は、MAX7317のI/Oポート構造を示します。

### レジスタ構造

MAX7317は、0x00~0x09としてアドレス指定される、周辺機器を制御する10個のレジスタを内蔵しています(表2)。この他の2個のアドレス、0x0Eと0x0Fは、データを保存しませんが、読み取られるとポート入力ステータスを返します。4つの仮想アドレス0x0A~0x0Dを使用すると、複数のレジスタに同じデータを書き込んでソフトウェアを簡素化することができます。RAMレジスタは、任意の目的で使用可能な1バイトのメモリを提供します。無操作アドレス0x20は、読取りや書込みの際に動作せず、複数のカスケードデバイスから1個のMAX7317にアクセスするとき、ダミーレジスタとして使用されます。

### 初期パワーアップ

パワーアップ時、すべての制御レジスタはリセットされます(表2)。パワーアップステータスは、I/OポートP0~P9をハイインピーダンスに設定し、デバイスをシャットダウンモードにします。

### RAMレジスタ

RAMレジスタは、任意の目的に使用可能な1バイトのメモリを提供します。

### GPIOポート方向の設定

10個のI/OポートP0~P9は、入力と出力を任意に組み合わせ設定することができます。ポートは、入力、出力のどちらに使用しても、MAX7317の電源電圧には関係なく、7Vに耐えます。ポートは、その出力レジスタを0x01に設定することによって入力として設定します。これによって、ポート出力はハイインピーダンスに設定されます(表4)。

### 入力ポートレジスタ

入力ポートレジスタを読み取ると、I/Oポートピンのロジックレベルが返されます。入力ポートレジスタは読取り専用です。入力ポートレジスタへの書込みは無視されます。

### 出力レジスタ

MAX7317では、各出力ポートの制御に1個の8ビットレジスタが使用されます(表4)。各ポートは、入力または

オープンドレイン出力として設定することができます。出力レジスタに0x00を書き込んでポートをロジックロー出力として設定するか、もしくは0x01を書き込んでポートをロジックハイ出力またはロジック入力として設定してください。

10個のレジスタ0x00~0x09は、各I/Oポートを制御します(表4)。4つの擬似レジスタアドレス0x0A~0x0Dを使用すると、複数の出力レジスタに同じデータを書き込むことによって単一コマンドで出力のグループを同じ値に設定することができます。

### シリアルインタフェース

MAX7317は、SPI対応4線式のシリアルインタフェースを介して通信します。このインタフェースは、3つの入力、すなわちクロック(SCLK)、チップセレクト( $\overline{CS}$ )、及びデータイン(DIN)、ならびに1つの出力、すなわちデータアウト(DOUT)を備えています。クロックデータをデバイスに対して入力または出力するためには、 $\overline{CS}$ がローでなければならない、SCLKの立上りエッジでサンプリングするときはDINが安定している必要があります。DOUTは、SCLKの立上りエッジで安定します。

SCLKとDINは、データを他の周辺機器に送信するために使用されます。MAX7317は、 $\overline{CS}$ がローのときを除いて、SCLKとDINの動作すべてを無視します。

SPIプロトコルに従えばMAX7317がアクセスされていないときにはDOUTがハイインピーダンスであると期待されていますが、MAX7317のDOUTはハイインピーダンスにならないことに留意してください。必要であれば、MAX7317のトライステートへの変換方法について[japan.maxim-ic.com/an1879](http://japan.maxim-ic.com/an1879)をご覧ください。

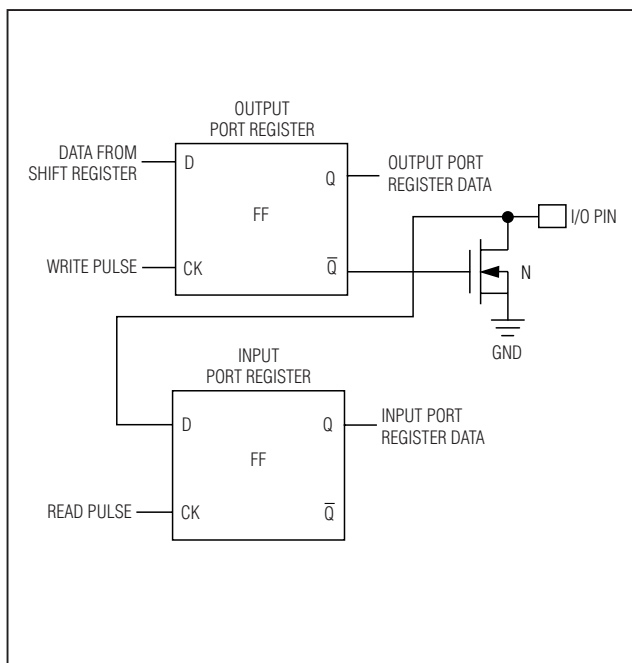


図1. I/Oポートの簡略回路図

# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

MAX7317

表1. レジスタのアドレスマップ

REGISTER	COMMAND ADDRESS								CODE (hex)
	D15	D14	D13	D12	D11	D10	D9	D8	
Port P0 output level	R $\bar{W}$	0	0	0	0	0	0	0	0x00
Port P1 output level	R $\bar{W}$	0	0	0	0	0	0	1	0x01
Port P2 output level	R $\bar{W}$	0	0	0	0	0	1	0	0x02
Port P3 output level	R $\bar{W}$	0	0	0	0	0	1	1	0x03
Port P4 output level	R $\bar{W}$	0	0	0	0	1	0	0	0x04
Port P5 output level	R $\bar{W}$	0	0	0	0	1	0	1	0x05
Port P6 output level	R $\bar{W}$	0	0	0	0	1	1	0	0x06
Port P7 output level	R $\bar{W}$	0	0	0	0	1	1	1	0x07
Port P8 output level	R $\bar{W}$	0	0	0	1	0	0	0	0x08
Port P9 output level	R $\bar{W}$	0	0	0	1	0	0	1	0x09
Write ports P0 through P9 with same output level	0	0	0	0	1	0	1	0	0x0A
Read port P0 output level	1								
Write ports P0 through P3 with same output level	0	0	0	0	1	0	1	1	0x0B
Read port P0 output level	1								
Write ports P4 through P7 with same output level	0	0	0	0	1	1	0	0	0x0C
Read port P4 output level	1								
Write ports P8 or P9 with same output level	0	0	0	0	1	1	0	1	0x0D
Read port P8 output level	1								
Read ports P7 through P0 inputs	1	0	0	0	1	1	1	0	0x0E
Read ports P9 and P8 inputs	1	0	0	0	1	1	1	1	0x0F
RAM	R $\bar{W}$	0	0	1	0	0	1	1	0x13
No-op	R $\bar{W}$	0	1	0	0	0	0	0	0x20
Factory reserved; do not write to this register	R $\bar{W}$	1	1	1	1	1	0	1	0x7D

表2. 初期パワーアップ時のレジスタステータス

REGISTER	POWER-UP CONDITION	ADDRESS CODE (hex)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Port P0 output level	Port 0 high impedance	0x00	1	1	1	1	1	1	1	1
Port P1 output level	Port 1 high impedance	0x01	1	1	1	1	1	1	1	1
Port P2 output level	Port 2 high impedance	0x02	1	1	1	1	1	1	1	1
Port P3 output level	Port 3 high impedance	0x03	1	1	1	1	1	1	1	1
Port P4 output level	Port 4 high impedance	0x04	1	1	1	1	1	1	1	1
Port P5 output level	Port 5 high impedance	0x05	1	1	1	1	1	1	1	1
Port P6 output level	Port 6 high impedance	0x06	1	1	1	1	1	1	1	1
Port P7 output level	Port 7 high impedance	0x07	1	1	1	1	1	1	1	1
Port P8 output level	Port 8 high impedance	0x08	1	1	1	1	1	1	1	1
Port P9 output level	Port 9 high impedance	0x09	1	1	1	1	1	1	1	1
RAM	0x00	0x13	0	0	0	0	0	0	0	0

# MAX7317 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

## 4線式インタフェースを使用した制御と動作

MAX7317の制御には、16ビットワードの送信が必要です。最初のバイトD15~D8はコマンドで、2番目のバイトD7~D0はデータバイトです(表5)。

## 4線式バスへの複数MAX7317の接続

複数のMAX7317は、各DIN入力を互いに接続し、各SCLK入力を互いに接続し、各MAX7317デバイスにつき独立したCSを接続することによって、共通のSPIバスにインタフェースすることができます(図2)。この

表3. 入力ポートレジスタ

REGISTER	R/W	ADDRESS CODE (hex)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Read input ports P7~P0	1	0X0E	Port P7	Port P6	Port P5	Port P4	Port P3	Port P2	Port P1	Port P0
Read input ports P9, P8	1	0X0F	0	0	0	0	0	0	Port P9	Port P8

表4. 出力レジスタ形式

REGISTER	R/W	ADDRESS CODE (hex)	REGISTER DATA								
			BINARY								hex
			D7	D6	D5	D4	D3	D2	D1	D0	
<b>Port P0 level</b>	—	0x00	<b>MSB</b>	<b>Output P0 level and PWM</b>						<b>LSB</b>	0x00
Port P0 is open-drain logic low	—		0	0	0	0	0	0	0	0	
Port P0 is open-drain logic high (high impedance without external pullup) or logic input	—		0	0	0	0	0	0	0	1	
<b>Port P1 level</b>	—	0x01	<b>MSB</b>	<b>Port P1 level</b>						<b>LSB</b>	0x00 or 0x01
<b>Port P2 level</b>	—	0x02	<b>MSB</b>	<b>Port P2 level</b>						<b>LSB</b>	
<b>Port P3 level</b>	—	0x03	<b>MSB</b>	<b>Port P3 level</b>						<b>LSB</b>	
<b>Port P4 level</b>	—	0x04	<b>MSB</b>	<b>Port P4 level</b>						<b>LSB</b>	
<b>Port P5 level</b>	—	0x05	<b>MSB</b>	<b>Port P5 level</b>						<b>LSB</b>	
<b>Port P6 level</b>	—	0x06	<b>MSB</b>	<b>Port P6 level</b>						<b>LSB</b>	
<b>Port P7 level</b>	—	0x07	<b>MSB</b>	<b>Port P7 level</b>						<b>LSB</b>	
<b>Port P8 level</b>	—	0x08	<b>MSB</b>	<b>Port P8 level</b>						<b>LSB</b>	
<b>Port P9 level</b>	—	0x09	<b>MSB</b>	<b>Port P9 level</b>						<b>LSB</b>	
<b>Writes ports P0 through P9 with same level</b>	0	0x0A	<b>MSB</b>	<b>Ports P0 through P9 level</b>						<b>LSB</b>	
<b>Reads port P0 level</b>	1		<b>MSB</b>	<b>Port P0 level</b>						<b>LSB</b>	
<b>Writes ports P0 through P3 with same level</b>	0	0x0B	<b>MSB</b>	<b>Ports P0 through P3 level</b>						<b>LSB</b>	
<b>Reads port P0 level</b>	1		<b>MSB</b>	<b>Port P0 level</b>						<b>LSB</b>	
<b>Writes ports P4 through P7 with same level</b>	0	0x0C	<b>MSB</b>	<b>Ports P4 through P7 level</b>						<b>LSB</b>	
<b>Reads port P4 level</b>	1		<b>MSB</b>	<b>Port P4 level</b>						<b>LSB</b>	
<b>Write ports P8 and P9 with same level</b>	0	0x0D	<b>MSB</b>	<b>Ports P8, P9 level</b>						<b>LSB</b>	
<b>Read port P8 level</b>	1		<b>MSB</b>	<b>Port P8 level</b>						<b>LSB</b>	

# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

接続では、DOUT/OSCの設定に関係なく動作しますが、MAX7317を読み取ることができません。

他方、MAX7317は、1つのデバイスのDOUTを次のデバイスのDINに接続し、SCLKとCSの各ラインを並列に駆動することによってデジチェーンを構成することができます(図3)。このような接続によってMAX7317の読取りが可能になります。DINのデータは、内部のシフトレジスタを伝播し、15.5クロックサイクル後にSCLKの立下りエッジでクロックアウトされてDOUTに現れます。コマンドをデジチェーン接続されたMAX7317に送信するとき、すべてのデバイスは同時にアクセスされます。アクセスには(16xn)クロックサイクルを必要とします。ここで、nは互いに接続されたMAX7317の数です。シリアルインタフェースの速度(最高SCLK)は、複数のデバイスがデジチェーン接続されている場合、DOUT伝播遅延及びDINセットアップ時間によって10MHzに制限されます。

MAX7317は、下記の手順に従って書き込まれます(図5)。

- 1) SCLKをローに駆動してください。
- 2) CSをローに駆動してください。これで、内部の16ビットシフトレジスタがイネーブルされます。
- 3) セットアップ時間とホールド時間を順守して、先頭のD15から最後のD0までの16ビットのデータをDINにクロックインしてください。ビットD15のローは、書込みコマンドを示します。
- 4) CSをハイに駆動してください(最終データビットをクロックインした後SCLKがまだハイの間、またはSCLKをローに駆動した後、のどちらか)。
- 5) SCLKをローに駆動してください(まだローでない場合)。

CSをローに駆動してからCSを再びハイに駆動する間に、16ビットよりも少ないか、または多いビットがMAX7317

にクロックインされると、MAX7317は以前の伝送を含めて受信した最後の16ビットを保存します。一般的な事例は、nビット(ここでn>16)がMAX7317に送信される場合です。ビット{n-15}~{n}を構成する最終ビットは、保存され、それぞれビットD15~D0として16ビットラッチに並列にロードされます(図6)。

## デバイスレジスタの読取り

MAX7317内部のすべてのレジスタデータは、ロジックハイをビットD15に設定して送ることによって読み取ることができます。手順は下記の通りです。

- 1) SCLKをローに駆動してください。
- 2) CSをローに駆動してください。これで、内部の16ビットシフトレジスタがイネーブルされます。
- 3) 先頭のD15から最後のD0までの16ビットのデータをDINにクロックインしてください。D15は、ハイであり、読取りコマンドであること、ビットD14~D8は読取り対象レジスタのアドレスを含んでいることを示します。ビットD7~D0は、破棄されるダミーデータを含んでいます。
- 4) CSをハイに駆動してください(最終データビットをクロックインした後SCLKがまだハイの間、またはSCLKをローに駆動した後、のどちらか)。ここで、シフトレジスタ内の位置D7~D0は、ビットD15~D8によってアドレス指定されたレジスタデータがロードされます。
- 5) SCLKをローに駆動してください(まだローでない場合)。
- 6) 別の読取りまたは書込みコマンドを送出してDOUTのビットストリームを調べ、2番目の8ビットがステップ3でビットD14~D8によってアドレス指定されたレジスタの内容であることを確認してください。

表5. シリアルデータ形式

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
R/W	MSB	ADDRESS						LSB	MSB	DATA						LSB

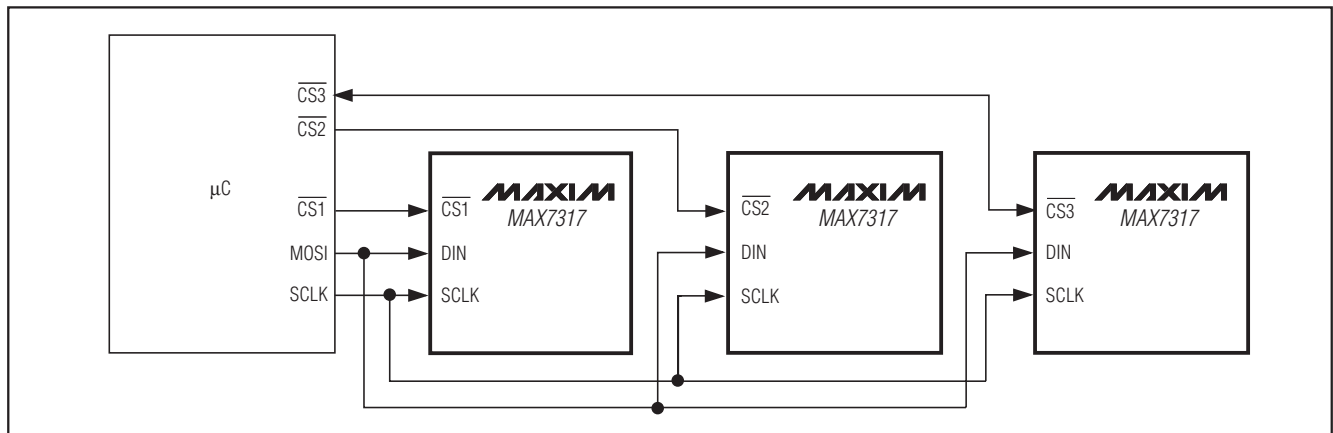


図2. MAX7317の複数CS接続

# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

MAX7317

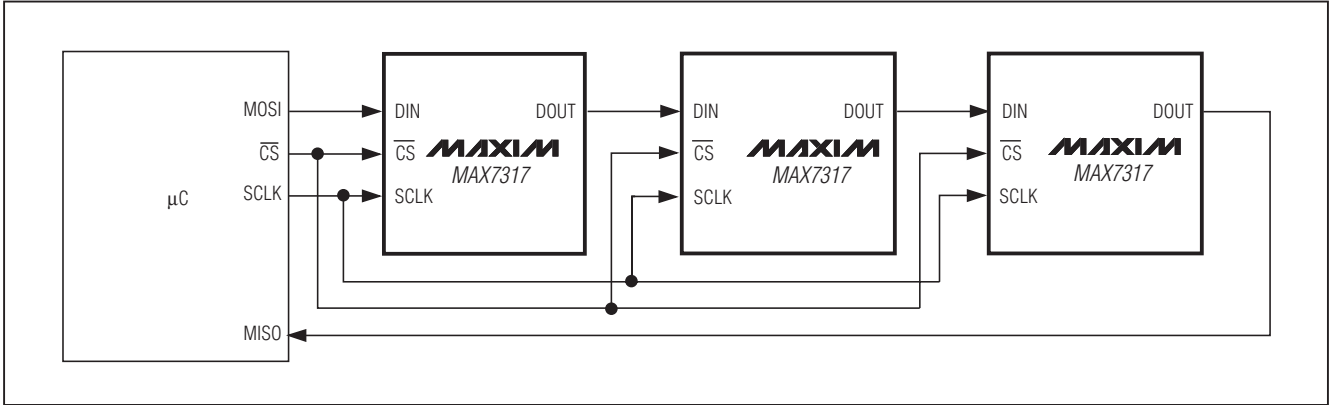


図3. MAX7317のデジーチェーン接続

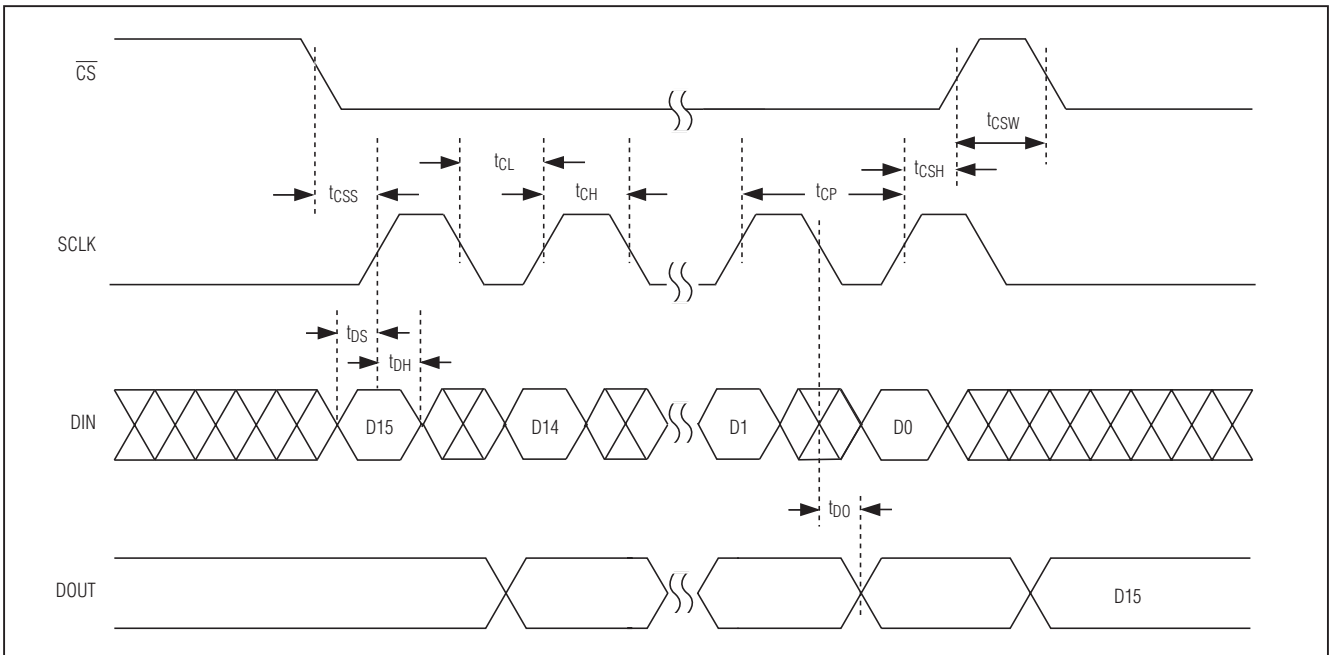


図4. タイミング図

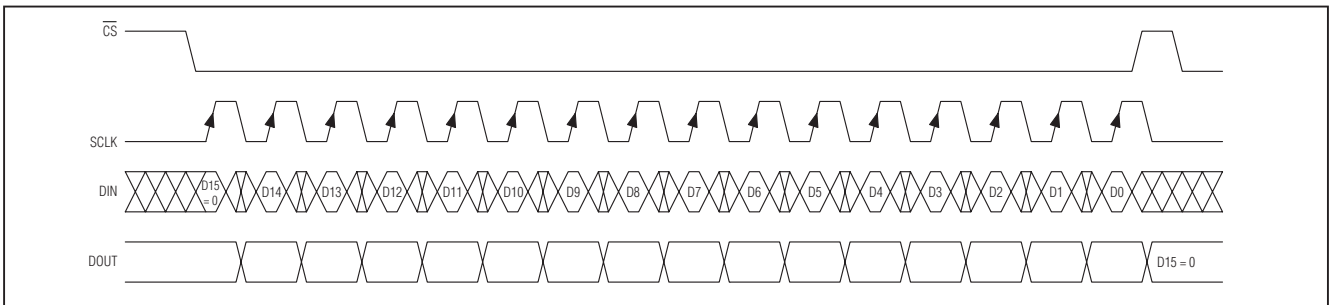


図5. MAX7317への16ビット書き込み送信

# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

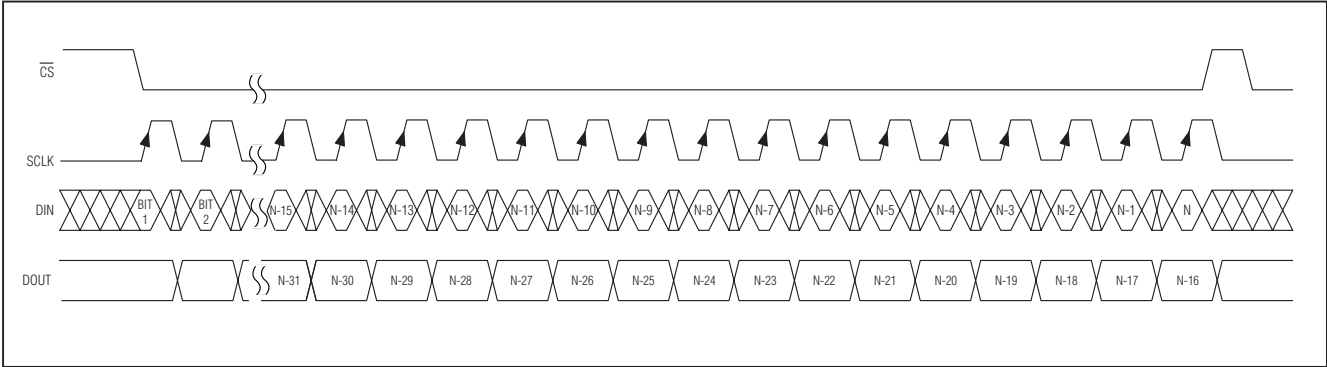


図6. MAX7317への16ビット以上の伝送

## アプリケーション情報

### ホット挿入

MAX7317がパワーダウンされているとき( $V+ = 0V$ )、I/OポートP0~P9はハイインピーダンスに保たれ、これらのポートには最大8Vまで印加可能です。したがって、MAX7317はホットスワップアプリケーションに使用することができます。

### SPI経路指定に関して

MAX7317のSPIインタフェースは、2.5V電源では26Mbps、3.3V電源では通常35Mbpsで動作することが保証されています。つまり、インタフェースの接続が100mmを超え、特に電源電圧が高い場合は、伝送ラインの問題を検討すべきです。SCLK、DIN、及びCSが隣接する長いトラックの敷設では、必ずGNDトレースを交互に配置してください。さもなければ、信号同士が交差結合して偽クロックやチップセレクト遷移が生じる場合があります。リングングによって通信のトラブルを招き、SCLK入力でのリングングによって生じるダブルクロッキングが主因で通信が途絶える場合もしばしばあります。標準的な長さのインタフェースの場合は、DIN、SCLK、及びCSの各入力のGND、またはV+のどちらかに1kΩ~10kΩの終端抵抗器を並列に取り付けて、リングングを減衰させてください。基板間の接続には、ラインインピーダンス整合の終端を採用してください。

### 出力レベル変換

オープンドレイン出力アーキテクチャでは、ポート出力をMAX7317の電源よりも高い電圧や低い電圧にレベル変換することができます。プルアップ抵抗器を出力に外付けすると、ハイインピーダンスのロジックハイ状態を正電圧レベルに変換することができます。この抵抗器は、最大7Vまでの任意の電圧に接続する

ことが可能です。定電流出力をプルアップするときは、ロジックロー状態で数百 $\mu A$ を超えるシンク電流が流れないように抵抗器の値を選んでください。こうすることによって、電流シンク出力はGND近くの飽和状態になります。CMOS入力にインタフェースするためには、まずプルアップ抵抗器の値を220kΩにします。消費電力がさほど重要でないアプリケーションや所要の容量性負荷に対して速い立ち上がり時間が必要なアプリケーションでは、低抵抗を使用してノイズ耐性を改善してください。

### 電源に関して

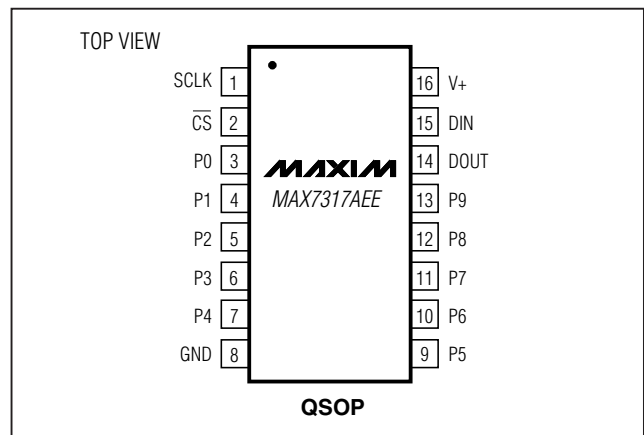
MAX7317は、2.25V~3.6Vの電源電圧で動作します。電源は、0.047 $\mu F$ のセラミックコンデンサをデバイスのできる限り近くに取り付けてGNDにバイパスしてください。QFNパッケージの場合は、裏側のエクスポートパッドをGNDに接続してください。

### チップ情報

TRANSISTOR COUNT: 14,865

PROCESS: BiCMOS

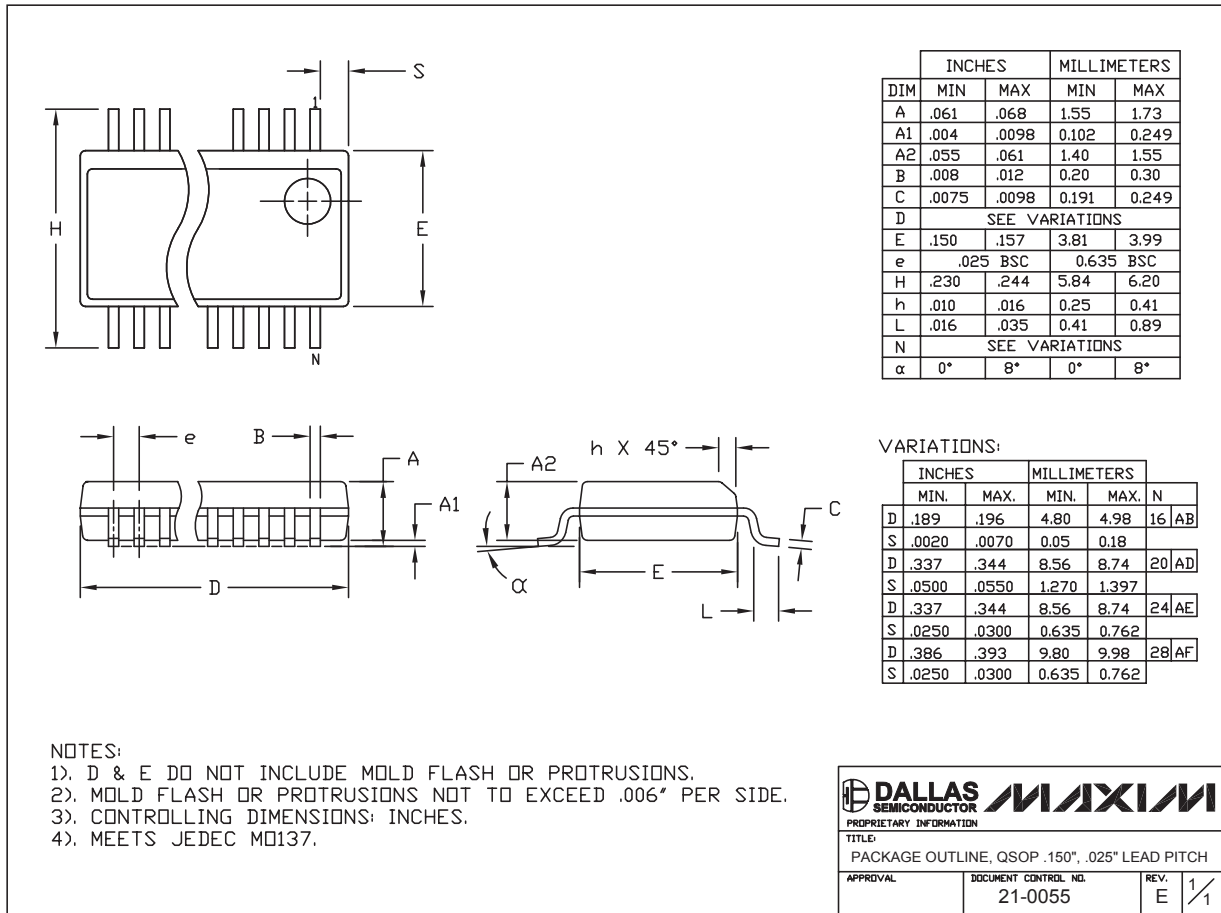
### ピン配置(続き)



# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



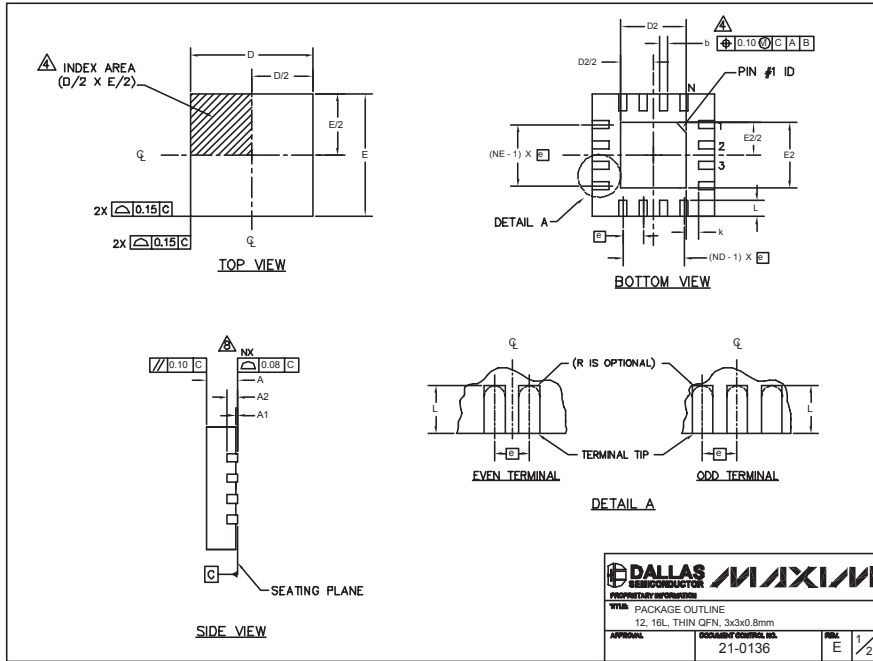
QSOPERS

MAX7317

# 過電圧及びホット挿入保護付き 10ポートSPIインタフェースI/Oエキスパンダ

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



PKG REF.	12L 3x3			16L 3x3		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.73	0.80	0.70	0.75	0.80
b	0.20	0.26	0.30	0.20	0.26	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10
ø	0.50 BSC.			0.50 BSC.		
L	0.45	0.65	0.65	0.30	0.40	0.50
N	12			16		
ND	3			4		
NE	3			4		
A1	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF.			0.20 REF.		
k	0.25	-	-	0.25	-	-

PKG CODES	D2			E2			PIN ID	JEDEC	DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	NO
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.25 x 45°	WEED-1	YES
T1833-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO
T1833-2	0.95	1.10	1.25	0.95	1.10	1.25	0.25 x 45°	WEED-2	YES
T1833F-3	0.85	0.80	0.85	0.65	0.80	0.95	0.225 x 45°	WEED-2	N/A
T1833-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600