

## 10ポート定電流LEDドライバとI/Oエキスパンダ

## 概要

MAX6966/MAX6967はシリアルインタフェースの周辺機器であり、定格が7Vの10個のI/Oポートをマイクロプロセッサに提供します。

各ポートは個別に以下のいずれかに構成することができます：

- 20mAの定電流LEDドライバ(スタティックまたはパルス幅変調(PWM))。
- 10mAの定電流LEDドライバ(スタティックまたはPWM)。
- オープンドレインロジック出力
- 過電圧保護されたシュミットロジック入力

アナログ及びスイッチングLED輝度制御が組み込まれています：

- 出力ごとに個別に8ビットのPWM制御が可能
- 出力ごとに個別に1ビットのアナログ制御(ハーフ/フル)が可能
- 全体3ビットのアナログ制御がすべてのLEDに適用される

10ポートのPWMタイミングはスタッガ(時差方式)することが可能(オプション)であり、各45度の位相差とすることができます。これは8ステップでPWM負荷電流を時間分散するので、電源電流を平滑化してRMS電流を減らします。

MAX6966/MAX6967はCS入力に最低3msのパルスを入力すると、シャットダウンからウェイクアップする構成が可能です。このハードウェア設定によるウェイクアップ機能はパワーマネージメント用のコントローラまたは同様なASICが、MAX6966/MAX6967に予めLED輝度の設定を行っておくことを可能とします。

シャットダウンは最大4秒まで待つように設定することができ、シンク電流を1/16~4秒の期間でゼロにフェードダウン(少しずつ減少)させて、その後、シャットダウンとすることができます。同様にシャットダウンから、1/16秒~4秒の期間で電流をランプアップ(少しずつ上昇)させることが可能です。

MAX6966/MAX6967は活線挿入をサポートします。電源断( $V_+ = 0V$ )ではすべてのポートは最大8Vの電圧が印加されるまで、ハイインピーダンスとなっています。

DOUT/OSC端子はシリアルインタフェースデータ出力またはPWMクロック入力として構成することができます(オプション)。MAX6966の起動時のデフォルトはDOUT出力です。MAX6967の起動時のデフォルトはOSC入力です。

定電流制御のない同様な製品についてはMAX7317のデータシートを参照してください。

SPI及びQSPIは、Motorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。



## アプリケーション

LCDバックライト	RGBのLEDドライバ
キーパッドバックライト	携帯用機器
LED状態表示	携帯電話

## 特長

- ◆ 高速26MHzのSPI™/QSPI™/MICROWIRE™対応シリアルインタフェース
- ◆ 2.25V~3.6V電源で動作
- ◆ 電源投入時I/Oポートはデフォルトでハイインピーダンス(LEDはオフ)
- ◆ I/Oポートの入力は7Vまでの過電圧保護
- ◆ I/Oポートの出力は7V定格のオープンドレイン
- ◆ I/Oポートの出力は10mAまたは20mAの定電流のスタティック/PWM LEDドライバ、またはオープンドレインのロジック出力
- ◆ I/Oポートは活線挿入をサポート
- ◆ 各LEDは個別に8ビットPWM輝度制御
- ◆ 各出力はPWM制御の使用/不使用を設定可能
- ◆ 単純なCSパルスによりシャットダウンから抜け出す(ウォーム起動)ことが可能
- ◆ 自動ランプダウン(少しずつ減少)させてシャットダウン
- ◆ シャットダウンから自動ランプアップ(少しずつ増加)させて起動
- ◆ シャットダウン電流：0.8μA(typ)、2μA(max)
- ◆ 小型の3mm x 3mm、0.8mm高さの薄型QFNパッケージ
- ◆ -40°C~+125°Cの温度範囲

## 型番

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX6966ATE	-40°C to +125°C	16 Thin QFN 3mm x 3mm x 0.8mm	ACF	T1633-4
MAX6966AEE	-40°C to +125°C	16 QSOP	—	—
MAX6967ATE	-40°C to +125°C	16 Thin QFN 3mm x 3mm x 0.8mm	ACG	T1633-4
MAX6967AEE	-40°C to +125°C	16 QSOP	—	—

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

## ABSOLUTE MAXIMUM RATINGS

Voltage (with respect to GND)		Continuous Power Dissipation
V+ .....	-0.3V to +4V	16-Pin QSOP (derate 8.3mW/°C over T <sub>A</sub> = +70°C) ...667mW
SCLK, DIN, $\overline{CS}$ , DOUT/OSC .....	-0.3V to (V+ + 0.3V)	16-Pin QFN (derate 14.7mW/°C over T <sub>A</sub> = +70°C) ...1176mW
P- .....	-0.3V to +8V	Operating Temperature Range (T <sub>MIN</sub> to T <sub>MAX</sub> ) ..-40°C to +125°C
DC Current into P- .....	24mA	Junction Temperature .....
DC Current into DOUT/OSC.....	10mA	Storage Temperature Range .....
Total GND Current .....	280mA	Lead Temperature (soldering, 10s) .....

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(Typical Operating Circuit, V+ = 2.25V to 3.6V, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at V+ = 3.3V, T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Operating Supply Voltage	V+		2.25		3.60	V
Output Load External Supply Voltage P0–P9	V <sub>EXT</sub>				7	V
Standby Current (Interface Idle, CS Run Disabled, PWM Disabled, All Ports High Impedance)	I <sub>STBY</sub>	$\overline{CS}$ at V+; other digital inputs at V+ or GND	T <sub>A</sub> = +25°C	0.7	1.5	μA
			T <sub>A</sub> = T <sub>MIN</sub> to +85°C		1.7	
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		1.9	
Supply-Current Interface Only (CS Run Enabled, PWM Disabled, All Ports High Impedance)	I <sub>I</sub>	f <sub>SCLK</sub> = 26MHz, other digital inputs at V+ or GND; DOUT unloaded	T <sub>A</sub> = +25°C	390	620	μA
			T <sub>A</sub> = T <sub>MIN</sub> to +85°C		680	
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		730	
Delta Supply Current per 10mA Port (Interface Idle, Global Current Register Set to 0x07, One Port's Output Register Set to 0x02 and Its Output Current Register Bit Cleared; All Other Ports' Output Registers Set to 0x00, 0x01, or 0xFF)	ΔI <sub>+10</sub>	Digital inputs at V+ or GND	T <sub>A</sub> = +25°C	1.58	1.8	mA
			T <sub>A</sub> = T <sub>MIN</sub> to +85°C		1.9	
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		2	
Delta Supply Current per 20mA Port (Interface Idle, Global Current Register Set to 0x07, One Port's Output Register Set to 0x02 and Its Output Current Register Bit Set; All Other Ports' Output Registers Set to 0x00, 0x01, or 0xFF)	ΔI <sub>+20</sub>	Digital inputs at V+ or GND	T <sub>A</sub> = +25°C	3.2	3.6	mA
			T <sub>A</sub> = T <sub>MIN</sub> to +85°C		3.8	
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>		4.0	

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

## ELECTRICAL CHARACTERISTICS (continued)

(Typical Operating Circuit,  $V_+ = 2.25V$  to  $3.6V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $V_+ = 3.3V$ ,  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Input High Voltage (P0–P9, DIN, SCLK, $\overline{CS}$ , OSC)	$V_{IH}$	P0–P9: output register set to 0x01	0.7 x $V_+$			V	
Input Low Voltage (P0–P9, DIN, SCLK, $\overline{CS}$ , OSC)	$V_{IL}$	P0–P9: output register set to 0x01			0.3 x $V_+$	V	
Input Leakage Current (P0–P9, DIN, SCLK, $\overline{CS}$ , OSC)	$I_{IH}$ , $I_{IL}$		-0.2		+0.2	$\mu A$	
Input Capacitance (P0–P9, DIN, SCLK, $\overline{CS}$ , OSC)		(Note 2)		10		pF	
Port Nominal Sink Constant Current (P0–P9) (Global Current Register Set to 0x07)	$I_{OUT}$	Output register set to 0x02, $V_+ = 3.3V$ , $V_{EXT} - V_{LED} = 1V$ to $2.5V$ (Note 3)	$T_A = +25^\circ C$	19.3	20	21.1	mA
			$T_A = T_{MIN}$ to $+85^\circ C$	9.5	10	10.7	
		$T_A = +25^\circ C$	18.8		21.8		
		$T_A = T_{MIN}$ to $+85^\circ C$	9.1		11.0		
Port Logic Output Low Voltage (P0–P9)	$V_{OLP\_}$	Output register set to 0x00, $I_{SINK} = 0.5mA$			0.4	V	
Port Logic Output Low Short-Circuit Current (P0–P9)		Output register set to 0x00, $V_{OLP\_} = 5V$		10.8	20	mA	
Port Slew Time		From 20% current to 80% current		2		$\mu s$	
Port Sink Constant-Current Matching	$\Delta I_{OUT}$	$T_A = +25^\circ C$ , $V_+ = 3.3V$ , $V_{EXT} - V_{LED} = 1.4V$ , $I_{OUT} = 20mA$		$\pm 1.5$	$\pm 4$	%	
		$T_A = +25^\circ C$ , $V_+ = 3.3V$ , $V_{EXT} - V_{LED} = 1.4V$ , $I_{OUT} = 10mA$		$\pm 2$	$\pm 5$		
Output High Voltage (DOUT)	$V_{OHDOUT}$	$I_{SOURCE} = 6mA$	$V_+ - 0.3V$			V	
Output Low Voltage (DOUT)	$V_{OLDOUT}$	$I_{SINK} = 6mA$			0.3	V	

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

## TIMING CHARACTERISTICS

(Typical Operating Circuit,  $V_+ = 2.25V$  to  $3.6V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $V_+ = 3.3V$ ,  $T_A = +25^\circ C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Internal PWM Clock Frequency	$f_{INT}$		27000		45000	Hz
External PWM Clock Frequency	$f_{OSC}$				100	kHz
SCLK Clock Period	$t_{CP}$		38.4			ns
SCLK Pulse Width High	$t_{CH}$		19			ns
SCLK Pulse Width Low	$t_{CL}$		19			ns
$\overline{CS}$ Fall to SCLK Rise Setup Time	$t_{CSS}$		9.5			ns
SCLK Rise to $\overline{CS}$ Rise Hold Time	$t_{CSH}$		0			ns
DIN Setup Time	$t_{DS}$		9.5			ns
DIN Hold Time	$t_{DH}$		0			ns
Output Data Propagation Delay	$t_{DO}$				21	ns
DOUT Output Rise and Fall Times	$t_{FT}$	$C_{LOAD} = 20pF$			10	ns
Minimum $\overline{CS}$ Pulse High	$t_{CSW}$		38.4			ns
$\overline{CS}$ Pulse Low to Not Activate CS Run	$t_{CSRUN}$	CS run enabled			640	$\mu s$
$\overline{CS}$ Pulse Width to Activate CS Run	$t_{CSRUN}$	CS run enabled	3			ms

**Note 1:** All parameters tested at  $T_A = +25^\circ C$ . Specifications over temperature are guaranteed by design.

**Note 2:** Guaranteed by design.

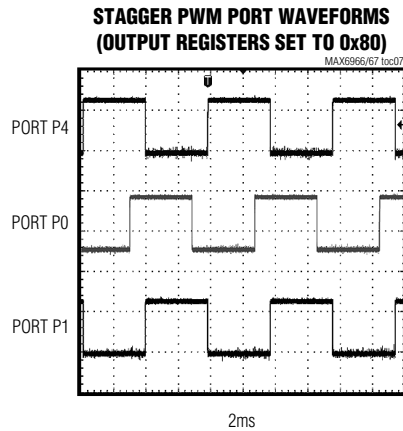
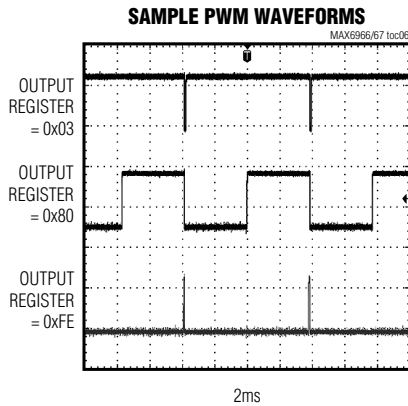
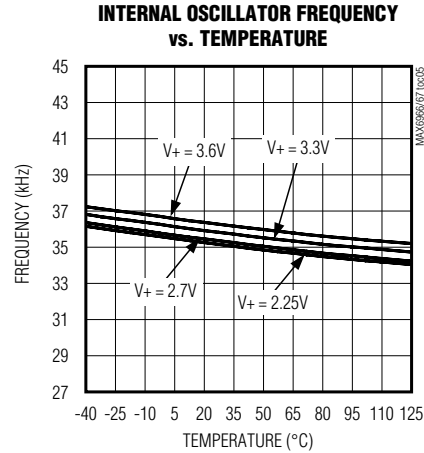
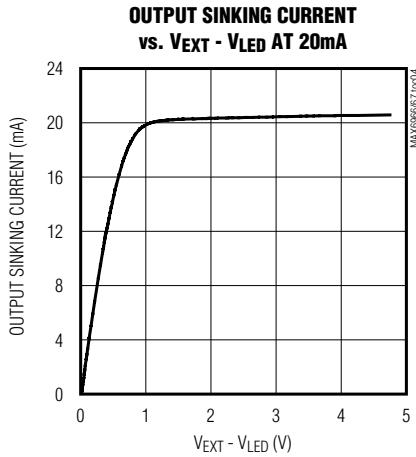
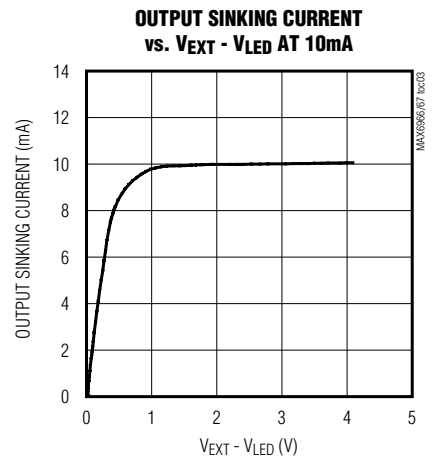
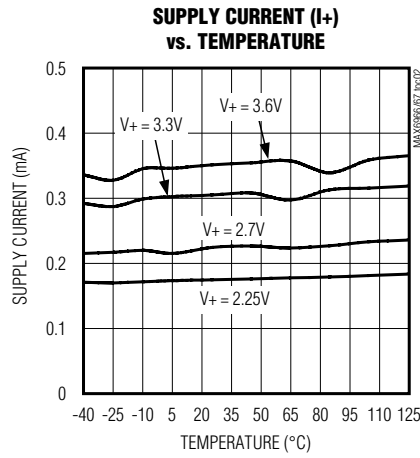
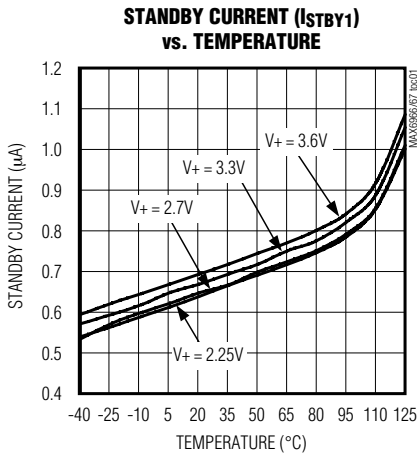
**Note 3:** Port current is factory trimmed to meet a median sink current of 20mA and 10mA over all 10 ports. The  $\Delta I_{OUT}$  specification guarantees current matching between ports.

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

## 標準動作特性

( $T_A = +25^\circ\text{C}$ , unless otherwise noted.)



# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

## 端子説明

端子		名称	機能
QSOP	TQFN		
1	15	SCLK	シリアルクロック入力。SCLKの立上りエッジでデータは内部のシフトレジスタにシフト入力されます。SCLKの立下りエッジで、データはDOUTからクロック同期出力します。SCLKはCSがローのときにのみアクティブです。
2	16	$\overline{CS}$	チップ選択入力。シリアルデータは $\overline{CS}$ がローのときにシフトレジスタにロードされます。 $\overline{CS}$ の立上りエッジで最新の16ビットデータがラッチされます。
3-7, 9-13	1-5, 7-11	P0-P9	I/Oポート。P0~P9は最大20mAのオープンドレインの電流シンク出力、またはCMOSロジック入力、またはオープンドレインのロジック出力に構成することができます。負荷は7V未満の電源電圧に接続してください。
8	6	GND	グラウンド。
14	12	DOUT/OSC	シリアルデータ出力。DINに入力されるデータは15.5クロックサイクル後にDOUTに表れます。この端子を使って複数のデバイスにデジチェーンしたり、データの読み戻しに使うことができます。出力はプッシュプル形式になっています。OSC入力。PWMクロック源の代わりに最大100kHzの方形波のCMOSクロックを印加してください。 MAX6966のDOUT/OSC端子の電源投入時のデフォルトはDOUT出力です。 MAX6967のDOUT/OSC端子の電源投入時のデフォルトはOSC入力です。
15	13	DIN	シリアルデータ入力。DINからのデータは内部の16ビットシフトレジスタにSCLKの立上りエッジでロードされます。
16	14	V+	正電源。V+を0.1 $\mu$ Fのコンデンサでグラウンドにバイパスしてください。
—	PAD	エクスポーズドパッド	パッケージ裏面のエクスポーズドパッド。GNDに接続してください。

## クイックスタートガイド

この項では電源投入時におけるMAX6966またはMAX6967の構成方法について説明します。

ソフトウェア技術者は、この項をデバイスの初期化ルーチンに対するプレーンテキストガイドとして使うことができます。ハードウェア技術者はこの項をデバイスの能力と機能のトレードオフを簡単に知る方法として使うことができます。

- 1) 電源投入前：P0~P9の10個のI/Oポートのすべてはハイインピーダンスです。それらは最大7Vの入力に、または個々に独立した最大7Vのレールに接続された負荷に接続することができます。SPIバス入力(SCLK、 $\overline{CS}$ 、DIN)は、過電圧保護されておらず、V+よりも高い電圧で駆動してはなりません。
- 2) 電源投入後：P0~P9の10個のI/Oポートのすべてはハイインピーダンスです。それらは最大7Vの入力に、またはV+に接続された負荷、または個々に独立した最大7Vのレールに接続された負荷に接続することができます。各ポートはハイインピーダンスですが、各ポートはロジック入力として構成することはできません。デバイスはシャットダウンモードにあり、I/Oポートの接続状態に関係なく最小の電流しか消費しません。
- 3) DOUT/OSC端子をSPIのデータ出力とするか、またはPWMクロック入力とするかを決定してください。そして、それにしたがって、MAX6966または

MAX6967を選択してください。もし、いずれかのポートがロジック入力として使われる場合、またはアプリケーションが書き込み後の読取りを必要とする場合、DOUT/OSCはDOUTとして構成する必要があります。MAX6966とMAX6967は両方ともDOUT/OSCをDOUTまたはOSCクロック入力に構成することができます。唯一の相違は電源投入後のデフォルト状態です。

- 4) 10個の各I/Oポートのポート機能を割り当ててください。すべてのポートは同じ機能を持つため、ソフトウェアの都合または基板配線の都合によってポートを割り当ててください。すべてのポートは定電流のLEDドライバ(スタティックまたはPWM)、オープンドレインロジック出力、またはロジック入力とすることが可能です。もし、10個未満のポートが定電流ドライバとして使われる場合は、負荷電源電流変調を最小化するためにPWM位相差法を最適化する方法について「アプリケーション情報」の項を参照してください。
- 5) LED輝度制御の方法を決定してください。MAX6966/MAX6967は次の方法を提供します：
  - 定電流出力ごとに定電流8ビットPWM制御を行う。
  - 定電流出力ごとに1ビットのアナログ制御(半値/全値)を行う。
  - すべての定電流出力に適用する全3ビットアナログ制御を行う。

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

LED輝度制御のトレードオフは電流制御の細かさ、ノイズ制限、及びソフトウェアの複雑さによります：

- 各LEDの輝度を個別に設定する必要があり高分解能のLEDとする場合は、8ビットのPWM制御に1ビットのアナログ制御を加えて、個別LEDの輝度制御として9ビットを得ることができます。
  - LEDの輝度を同じに設定し最大のLED分解能としたい場合は、8ビットのPWM制御に1ビットのアナログ制御を加えて、3ビットの全体アナログ制御を加えて、12ビットのLED輝度制御としてください。
  - PWMを使うことができないノイズを最小にするアプリケーションでは、1ビットのアナログ制御を個別に使用することができます。もし、すべてのLEDを同じ輝度に設定する場合は、1ビットのアナログ制御に3ビットの全体アナログ制御を加えて、スタティックな4ビットLED輝度制御とすることができます。
  - もし、標準の10mA/20mAの半値/全値定電流設定を使うことができない場合は、すべての定電流出力に対して電流を減らすために3ビットのアナログ制御を使うことができます。
- 6) プリント基板のレイアウトに注意してください。MAX6966/MAX6967はPWMアプリケーションにおいて、中程度の電流をスイッチングするため、MAX6966/MAX6967及び負荷用電源は伝導ノイズを最小化するために注意深いデカップリングを必要とします。また、シリアルインタフェースは高速であり、配線が長いと、簡単なオーバシュートダンピング用の終端を必要とするかもしれません。

## 詳細

MAX6966/MAX6967はP0~P9の10個のI/Oポートを備える汎用の入出力(GPIO)ペリフェラルであり、高速度のSPI対応シリアルインタフェースによって制御されます。10個のI/Oポートはロジック入力、オープンドレインのロジック出力、または定電流シンクのいかなる組合せとしても使うことができます。MAX6966/MAX6967の電源電圧に関係なく、各ポートはロジック入力、ロジック出力、または定電流シンクのいずれに使われても7Vの耐圧を持ちます。

定電流出力として構成した各ポートは10mAまたは20mAの定電流をシンクするように設定することができます。スタティックポートの電流は平均電流を小さくするために3/256~254/256の範囲のデューティサイクルを持つPWMとするか、またはスタティックのままとすることができます。

オープンドレインロジック出力として構成した各ポートは、比較的、弱いシンク能力を持っています。しかし、それはなお、通常のロジックレベルの出力としては十分なはずで、オープンロジック出力は、通常、ロジックハイのリファレンスを与えるために適切な正電源に接続した外部のプルアップ抵抗器を必要とします。駆動能力が弱いということは短絡電流が十分に小さいので、ロジック出力として構成したポートからLEDを意図せずに駆動してもLEDを損傷することが起こりにくいということです。

MAX6966/MAX6967は10個すべての出力が同時に20mA負荷を流すことができる仕様となっています。ポート構成の選択方法が表1に示されています。

表1. ポート構成の選択

PORT TYPE	OUTPUT REGISTER CODE	BEHAVIOR OUT OF SHUTDOWN (CONFIGURATION REGISTER BIT D0 = 1)	BEHAVIOR IN SHUTDOWN (CONFIGURATION REGISTER BIT D0 = 0)	APPLICATION NOTES
Low-logic output	0x00	Logic-low output, <b>not</b> constant current		Lowest supply current unaffected by shutdown
High-logic output	0x01	Logic-high output with external pullup resistor; otherwise, high impedance		
Logic input		CMOS logic input		
Constant-current static sink output	0x02	Static constant-current sink output	High impedance	Full constant-current drive with no PWM noise
Constant-current PWM output	0x03-0xFE	PWM constant-current sink output		Adjustable constant current
LED off	0xFF	Logic-high output with external pullup resistor; otherwise, high impedance		LED off

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

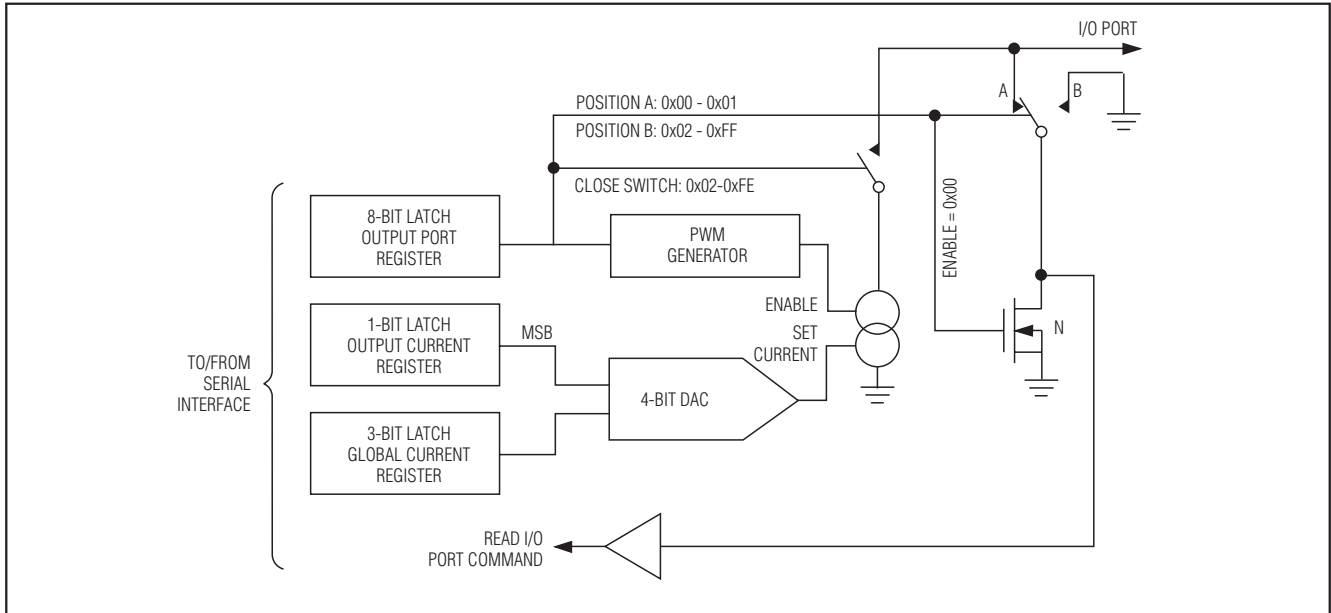


図1. 簡略化したI/Oポートの回路図

図1はMAX6966/MAX6967のI/Oポートの構造を示しています。I/OポートのP0～P9は、電源投入後はハイインピーダンスにデフォルトするため、LEDまたはポートに接続された負荷には電流が流れず、入力として使われるポートは、その信号源の負荷とはなりません。

## スタンバイモード及び動作電流

すべてのポートがロジック入力または出力として構成される(出力レジスタが0x00または0x01に設定される)か、またはLEDオフ(出力レジスタの設定値が0xFF)の場合、MAX6966/MAX6967は、スタンバイモードと呼ばれる最低の供給電流で動作します。

PWM輝度制御が使われる場合(1個以上の出力レジスタが0x03～0xFEの間の値に設定されている)、動作電流が大きくなりますが、それはPWM回路が動作しているからです。

動作電流は、また、ポートが定電流出力としてアクティブローに設定されている場合(出力レジスタが0x02～0xFEの間に設定される)は、負荷がポートに印加されていなくても、必ず増大します。この電流の増加はポート出力に正確な定電流シンクを供給するために内部の電流ミラーがイネーブルとなっているためです。各出力に対してゲートされたミラーがあり、その各ミラーは必要とする場合のみイネーブルとなります。PWMが使われる場合、電流ミラーは出力のオン時間の間だけオンとなります。このことは、PWM輝度制御によると同様に、定電流出力がシリアルインタフェースによりオンオフとされたとき動作電流が変化することを意味します。

## シャットダウンモード

シャットダウンモードでは、定電流出力として構成されたすべてのポート(出力レジスタは0x02～0xFEに設定される場合はオフとなり、これらの出力は、それらのレジスタがあたかも0xFFという値に設定されているようにハイインピーダンスとなります。ロジック入力または出力として構成されたポート(出力レジスタが0x00または0x01に設定される場合はシャットダウンとなっても影響されません(表1)。これはGPIOとして使われるどのポートもシャットダウン状態において、なお完全に動作状態であり、ポート入力は読み取ることができ、出力ポートはシリアルインタフェースを通してトグルすることができることを意味します。MAX6966/MAX6967は、したがって、ロジック入力、ロジック出力、及びPWM制御のLEDドライバを混在させることができ、LEDドライバのみがシャットダウン状態では自動的にオフとなります。

MAX6966/MAX6967はコンフィギュレーションレジスタ(表4)のラン(run)ビット(ビットD0)をクリアすることによってシャットダウンモードとなります。シャットダウンはランビットを、シリアルインタフェースを通して、または以下に述べるCSランオプションを使うことによって、抜け出します。MAX6966/MAX6967はシャットダウンモードにおいて、シリアルインタフェースによって通常の方法で構成し制御することができます。シャットダウンモードではすべてのレジスタはアクセス可能であり、シャットダウンモードとしてもレジスタは変化しません。シャットダウンモードから抜け出した場合、そのとき、定電流出力として構成されているポートは、ただちにそのときのPWM値でスタートします。

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

あるポートがスタティックロジックロー(0x00)またはスタティックロジックハイ(0x01)からシャットダウンモードの定電流値(0x02~0xFE)に変化すると、シャットダウンモードでディセーブルされている他の定電流出力と同じように、その出力は、自動的にオフ(ロジックハイ、またはハイインピーダンス)となります。シャットダウンモードから抜け出すとき、他の定電流出力と同じように新しい定電流出力が開始されます。

あるポートが定電流値(0x02~0xFE)からシャットダウンモードのスタティックロー(0x00)またはスタティックハイ(0x01)に変化すると、その出力は直ちにGPIO出力としての値に設定されます。シャットダウンモードから抜け出すと、新しいGPIO出力は他のGPIO出力と同じように変化を受けません。

## CSラン(run)オプション

MAX6966/MAX6967は $\overline{CS}$ 入力に比較的長いパルスが与えられると、このドライバがシャットダウンから抜け出すように構成することができます。これはシリアルインタフェースを通してコンフィギュレーションレジスタに書き込む通常の方法の代わりとなります。CSランオプションがイネーブルされている場合に、 $\overline{CS}$ に必要なとする最小パルスが与えられると、コンフィギュレーションレジスタのランビットがセットされ、ドライバがシャットダウンから抜け出し、予め構成されていたランプアップ(少しずつ増加)動作を始めます。また、SPIインタフェースは最低のデータ速度で動作させなければなりません。それは16ビットの通常データの間の通常のアクティブローの $\overline{CS}$ がCSランコマンドと間違われないようにするためです。

CSランのタイミングはPWMクロックを用いますが、それは内蔵の公称32kHz発振器、または2重使用のDOUT/OSC端子に供給するユーザが用意するクロックとなります(PWMクロックの構成に関する詳細は「PWMクロック」の項を参照してください)。

CSランをトリガしてドライバをシャットダウンから抜け出させるための $\overline{CS}$ に与える最小幅のパルスはPWMクロックの256~257周期です。内蔵の発振器の場合は、この時間は $257/27000 = 9.52\text{ms}$ です。外部からのPWMクロックの場合、この時間は $257/OSC$ であり、OSCが許容された最大の100kHzに設定された場合、2.57msの最短可能時間となります。

CSランがトリガされない(イネーブルとされていた場合)ことを保証するための $\overline{CS}$ に印加することができる最大

パルスはPWMクロックの255周期です。内蔵発振器の場合、この時間は $255/45000 = 5.66\text{ms}$ です。シリアルインタフェース上の伝送は $\overline{CS}$ をローとして16クロックで構成されるため、最低2.83kHzのSCLK周波数でCSランがトリガされないことが保証されます。外部からのPWMクロックの場合、この時間は $255/OSC$ であり、OSCが最大許容値の周波数である100kHzに設定された場合、最短の時間は2.55msです。

SPIシリアルインタフェース回路はCSラン回路とは独立です。SCLK及びDINの動作はCSランの回路によって無視されます。したがって、MAX6966/MAX6967に対する遅いSPI伝送は、有効なデータの伝送(読取りまたは書込み)、及びシャットダウンから抜け出す場合の手段として使うことができます。CSランの動作(すなわち、コンフィギュレーションレジスタ内のランビットの設定)は、どのような同時に進行しているデータ伝送よりも前に起こります。これはランビットのクリアを行うコンフィギュレーションレジスタへの書込みコマンドを含む遅い伝送は有効に動作することを意味します。それはランビットを設定するCSランの動作の後に内部的に書込みコマンドが実行されるからです。

ほとんどの応用において、「低速伝送」のカットオフデータ速度はSPIインタフェース速度よりも遅いことが予想されます。このことが起こらない場合、CSランオプションは、なお、使用可能です。MAX6966/MAX6967がCSランオプションをイネーブルとしてシャットダウンに置かれている状況を考えてみましょう。そのアプリケーションはMAX6966/MAX6967のいくつかのポートをロジック入力、または出力として構成し、それらはシャットダウン状態でアクセスされる必要があります。SPIインタフェースの速度は遅く、したがってどのような伝送もMAX6966/MAX6967をシャットダウンから抜け出させます。その場合、どのようにしてシャットダウン状態でI/Oポートアクセスするのでしょうか？その解はCSランをディセーブルとして(ビットD1=0)コンフィギュレーションレジスタに書込み、最初のコマンドとしてシャットダウンを実行する(ビットD0=0)ことです。こうすると、MAX6966/MAX6967がシャットダウンのまま他の何れのレジスタもアクセスすることが可能です。最後に、コンフィギュレーションレジスタで再びCSラン(ビットD1=1)をイネーブルとし、シャットダウンを実行する(ビットD0=0)と元の状態に復帰させることができます。

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

## レジスタの構造

MAX6966/MAX6967は16個のレジスタを内蔵しており、そのアドレスは0x00~0x09、及び0x10~0x15であり、これらのレジスタを使って、ペリフェラルを構成し、制御します(表2)。0x0Eと0x0Fの2つのレジスタはデータを蓄積しませんが、読み取られると

ポート入力の状態を返します。4つのバーチャルアドレス、0x0A~0x0Dはソフトウェアを簡単化するために2個以上のレジスタに同じデータが書き込まれることを可能とします。無動作アドレスである0x20は読み書きに対して反応しませんが、複数のカスケード接続されたデバイスの中から1個のMAX6966/MAX6967をアクセスするときのダミーレジスタとして使われます。

表2. レジスタアドレスマップ

REGISTER	COMMAND ADDRESS								HEX CODE
	D15	D14	D13	D12	D11	D10	D9	D8	
Port P0 output level or PWM	R/W	0	0	0	0	0	0	0	0x00
Port P1 output level or PWM	R/W	0	0	0	0	0	0	1	0x01
Port P2 output level or PWM	R/W	0	0	0	0	0	1	0	0x02
Port P3 output level or PWM	R/W	0	0	0	0	0	1	1	0x03
Port P4 output level or PWM	R/W	0	0	0	0	1	0	0	0x04
Port P5 output level or PWM	R/W	0	0	0	0	1	0	1	0x05
Port P6 output level or PWM	R/W	0	0	0	0	1	1	0	0x06
Port P7 output level or PWM	R/W	0	0	0	0	1	1	1	0x07
Port P8 output level or PWM	R/W	0	0	0	1	0	0	0	0x08
Port P9 output level or PWM	R/W	0	0	0	1	0	0	1	0x09
Write ports P0 through P9 with same output level or PWM	0	0	0	0	1	0	1	0	0x0A
Read port P0 output level or PWM	1								
Write ports P0 through P3 with same output level or PWM	0	0	0	0	1	0	1	1	0x0B
Read port P0 output level or PWM	1								
Write ports P4 through P7 with same output level or PWM	0	0	0	0	1	1	0	0	0x0C
Read port P4 output level or PWM	1								
Write ports P8 or P9 with same output level or PWM	0	0	0	0	1	1	0	1	0x0D
Read port P8 output level or PWM	1								
Read ports P7 through P0 inputs	1	0	0	0	1	1	1	0	0x0E
Read ports P9 and P8 inputs	1	0	0	0	1	1	1	1	0x0F
Configuration	R/W	0	0	1	0	0	0	0	0x10
Ramp-down	R/W	0	0	1	0	0	0	1	0x11
Ramp-up	R/W	0	0	1	0	0	1	0	0x12
Output current ISET70	R/W	0	0	1	0	0	1	1	0x13
Output current ISET98	R/W	0	0	1	0	1	0	0	0x14
Global current	R/W	0	0	1	0	1	0	1	0x15
No-op	R/W	0	1	0	0	0	0	0	0x20
Factory reserved; do not write to this register	R/W	1	1	1	1	1	0	1	0x7D

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

## 最初の電源投入

電源投入ですべてのレジスタはリセットされます(表3)。電源投入状態ではP0~P9のI/Oポートはハイインピーダンスとなり、デバイスはシャットダウンモードとなります。これはどのようなLED(またはその他の)負荷も実質的にオフとなることを意味し、MAX6966/MAX6967は最低の電源消費状態でスタートします。

## PWMクロック

内蔵の32kHz発振器により、PWMタイミングが生成されます。もし、出力ポートがスタティックレベルに設定

されている場合、内部発振器及びPWMロジックが自動的にディセーブルされ、MAX6966/MAX6967の動作電流は最低となります。正確な、または同期したPWM周波数源が望まれる場合は、内蔵の32kHz発振器は、ユーザが用意する最大100kHzのクロックに代替することができます。クロックは2重用途のDOUT/OSC端子に供給されます。DOUT/OSC端子は、コンフィギュレーションレジスタのOSCビットを使用して(表4)、ポート出力及びクロック入力を切り替えて使用されます。

**表3. 電源投入時のレジスタの初期状態**

REGISTER	POWER-UP CONDITION	ADDRESS CODE (HEX)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Port P0 output level or PWM	Port 0 high impedance	0x00	1	1	1	1	1	1	1	1
Port P1 output level or PWM	Port 1 high impedance	0x01	1	1	1	1	1	1	1	1
Port P2 output level or PWM	Port 2 high impedance	0x02	1	1	1	1	1	1	1	1
Port P3 output level or PWM	Port 3 high impedance	0x03	1	1	1	1	1	1	1	1
Port P4 output level or PWM	Port 4 high impedance	0x04	1	1	1	1	1	1	1	1
Port P5 output level or PWM	Port 5 high impedance	0x05	1	1	1	1	1	1	1	1
Port P6 output level or PWM	Port 6 high impedance	0x06	1	1	1	1	1	1	1	1
Port P7 output level or PWM	Port 7 high impedance	0x07	1	1	1	1	1	1	1	1
Port P8 output level or PWM	Port 8 high impedance	0x08	1	1	1	1	1	1	1	1
Port P9 output level or PWM	Port 9 high impedance	0x09	1	1	1	1	1	1	1	1
Configuration (MAX6966 only)	Shutdown mode, CS run disabled, DOUT/OSC is DOUT output	0x10	0	0	0	0	0	0	0	0
Configuration (MAX6967 only)	Shutdown mode, CS run disabled, DOUT/OSC is OSC input		1							
Ramp-down	Fade disabled	0x11	0	0	0	0	0	0	0	0
Ramp-up	—	0x12	0	0	0	0	0	0	0	0
Output current ISET70	I <sub>PEAK</sub> = 10mA for ports P7–P0	0x13	0	0	0	0	0	0	0	0
Output current ISET98	I <sub>PEAK</sub> = 10mA for ports P9, P8	0x14	0	0	0	0	0	0	0	0
Global current	Full current	0x15	0	0	0	0	0	1	1	1

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

## PWMタイミングと位相

PWM周期は公称32kHzのPWMクロックの256サイクルで構成されます(図2)。各ポートは個別に3/256~254/256のPWMデューティに設定することができます。

PWMタイミングはコンフィギュレーションレジスタの中のスタグビットを設定する2つの方法の内の1で構成されます(表4)。スタグビットがクリアされると、同時にPWMスイッチを使用するすべての出力は図2に示すタイミングを使用します。したがって、すべての出力は同じPWM設定に対して正確に同時に負荷電流を

流します。これは、例えば、すべての出力が128/256のデューティサイクルに設定されている場合、時間の半分では電流はゼロ(すべての負荷がオフ)で、残りの半分の時間では最大(すべての負荷がオン)となります。

スタグビットがセットされていると、10個のポート出力は256カウントのPWM周期の中の32カウント(即ち、1/8)ずつスタグがされて、PWM周期の中で出力のスイッチング点を分配します(図3)。スタグによって電源のdi/dt出力スイッチングトランジェントを減少させ、また、ピーク/平均電流比の要件を緩和します。

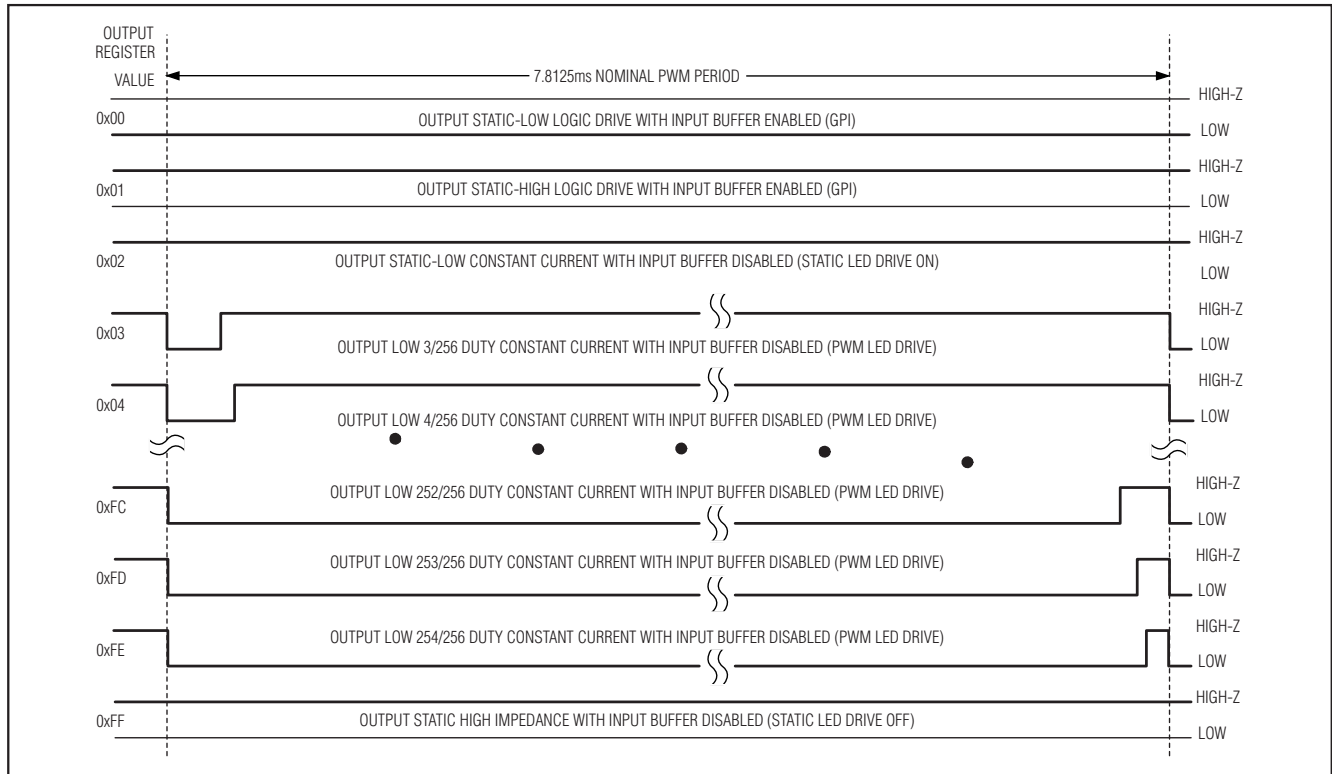


図2. スタティック及びPWM定電流波形

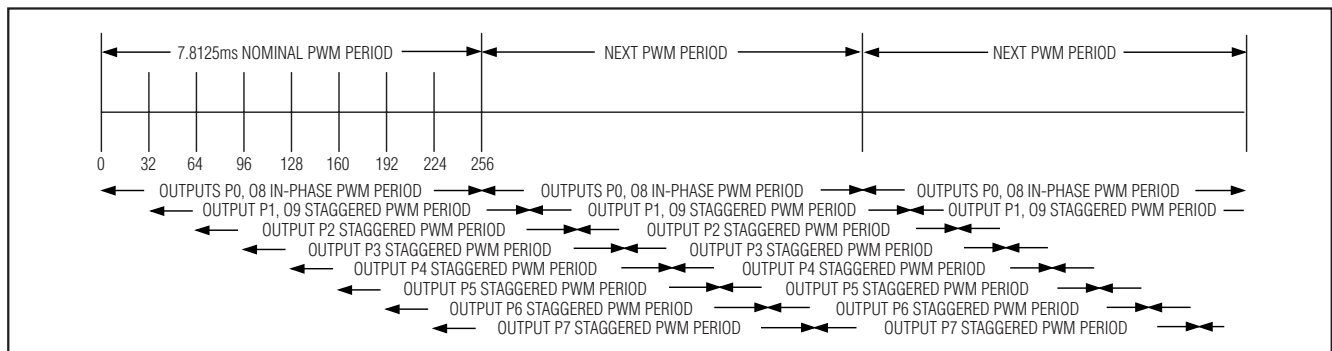


図3. スタグされたPWM波形

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

表4. コンフィギュレーションレジスタ

REGISTER	R/W	ADDRESS CODE (HEX)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
<b>CONFIGURATION</b>		0x10	<b>DOUT /OSC</b>	X	<b>PWM stagger</b>	<b>Hold-off status</b>	<b>Fade-off status</b>	<b>Ramp-up enable/status</b>	<b>CS run</b>	<b>Shutdown/run</b>
Write device configuration	0		<b>OSC</b>	X	<b>Stagger</b>	<b>Hold-off</b>	<b>Fade-off</b>	<b>Ramp-up enable</b>	<b>CS run</b>	<b>Run</b>
Read-back device configuration	1						<b>Ramp-up status</b>			
<b>Shutdown mode (CS run disabled)</b> Put or keep device in shutdown, disable CS run	0		X	X	X	X	X	X	0	0
<b>Shutdown mode (CS run enabled)</b> Put or keep device in shutdown, enable CS run	0		X	X	X	X	X	X	1	0
<b>Run mode</b> (device is currently in run mode)	0		X	X	X	0*	0*	X	X	1
<b>Run (exit shutdown) without ramp-up</b> (device is currently in shutdown); bring device out of shutdown instantly, ignoring fade register setting	0		X	X	X	0*	0*	0	X	1
<b>Run (exit shutdown) with ramp-up</b> (device is currently in shutdown); bring device out of shutdown using fade register ramp-up setting	0		X	X	X	0*	0*	1	X	1
<b>Run (abort shutdown sequence)</b> (device is currently in hold-off/fade-off sequence to shutdown); bring device out of shutdown instantly, ignoring fade register setting	0		X	X	X	0*	1*	1	X	1
	1*					0*				
	1*	1*								
<b>Status: shutdown mode</b>	1	X	X	<b>Stagger</b>	0	0	0	<b>CS run</b>	0	
<b>Status: in fade-off sequence to shutdown mode</b>	1	X	X	<b>Stagger</b>	0	1	0	<b>CS run</b>	0	
<b>Status: in hold-off sequence to shutdown mode</b>	1	X	X	<b>Stagger</b>	1	0	0	<b>CS run</b>	0	
<b>Status: run mode</b>	1	X	X	<b>Stagger</b>	0	0	0	<b>CS run</b>	1	
<b>Status: in ramp-up sequence to run mode</b>	1	X	X	<b>Stagger</b>	0	0	1	<b>CS run</b>	1	
PWM outputs are in phase	X	X	X	0	X	X	X	X	X	
PWM outputs stagger phase	X	X	X	1	X	X	X	X	X	
DOUT/OSC is DOUT output, PWM clock source is internal oscillator	X	0	X	X	X	X	X	X	X	
DOUT/OSC is OSC input, PWM clock source is OSC	X	1	X	X	X	X	X	X	X	

\* このビットの現在の読取り状態

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

スタックビットはMAX6966/MAX6967がシャットダウンモードとなっている場合は、理想的にセットされるか、またはクリアされます。そうでないと、基本となるPWMタイミングが変化しているため、PWM制御されたいずれかのLEDにトランジェントフリッカが認められる場合があります。

## コンフィギュレーションレジスタ

複数出力間のPWM位相関係を選択し、フェーディング状態(ランプアップまたはランプダウン)のテストを行い、シャットダウンからのハードウェア起動、及びシャットダウンまたはランモードを選択するために、コンフィギュレーションレジスタは使われます(表4)。

## GPIOポートの方向の構成

P0~P9の10個のI/Oポートはロジック入力、ロジック出力、及び定電流出力の任意の組合せに構成することができます。所望のポートの該当する出力レジスタを0x01に設定することによってロジック入力として構成すると、そのポート出力はハイインピーダンスとなります(表6)。

## 入力ポートレジスタ

入力ポートレジスタを読み取ると、入力ポートとして構成されていたポートのI/O端子のロジックレベルが返されます(表5)。該当するポート出力レジスタに0x01を書き込むことによってそのポートはロジック入力として構成されます(表5)。ロジック入力として構成されていないポートに対しては、入力ポートレジスタはその該当するビット位置でロジック0を返します。

入力ポートレジスタは読取り専用です。入力ポートレジスタに書き込んでも、それは無視されます。

表5. 入力ポートレジスタ

REGISTER	R/W	ADDRESS CODE (HEX)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Read input ports P7~P0	1	0x0E	Port P7	Port P6	Port P5	Port P4	Port P3	Port P2	Port P1	Port P0
Read input ports P9~P8	1	0x0F	0	0	0	0	0	0	Port P9	Port P8

## 出力レジスタとPWM輝度制御

MAX6966/MAX6967は各出力ポートを制御するために、1個の8ビットレジスタを使用します(表6)。各ポートは、ロジック入力、オープンドレインのロジック出力、またはプログラム可能な電流とデューティサイクルをもつ定電流とPWMを構成することができます。各ポートはMAX6966/MAX6967の電源とは関係なく7Vの耐圧を備えており、これはポートが、ロジック入力、ロジック出力、または定電流シンクとして使われることには依存しません。

定電流出力として構成された各ポートは出力電流レジスタ(表7)及び全体電流レジスタ(表8)によって設定される定電流をシンクします。この電流は、平均電流を減少させるために3/256~254/256の範囲のデューティサイクルを持つPWMか、またはスタティックに留まることができます。

0x00~0x09までの10個のレジスタが各I/Oポートを制御します(表6)。5個の擬似レジスタアドレスの0x0B~0x0Fは複数出力をグループとして、複数の出力レジスタに1個のコマンドで、同じ値を書き込むことによって、同じ値に設定することを可能とします。

LED輝度制御のPWMタイミングは、内蔵の32kHz発振器、またはDOUT/OSCに入力する外部クロックによって選択されます。PWMのクロック源はコンフィギュレーションレジスタのビットD7(表4)によって選択されます。MAX6966の電源投入後のデフォルト設定は、内蔵32kHz発振器が使用される構成となります。MAX6967の電源投入後のデフォルト設定は外部クロック源が使用される構成となります。

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

表6. 出力レジスタのフォーマット

REGISTER	R/W	ADDRESS CODE (HEX)	REGISTER DATA								HEX
			BINARY								
			D7	D6	D5	D4	D3	D2	D1	D0	
<b>PORT P0 LEVEL OR PWM</b>	X	0x00	<b>MSB</b>	<b>OUTPUT P0 LEVEL AND PWM</b>						<b>LSB</b>	
Port P0 is static-low logic-level logic port with logic input buffer enabled; reading this port returns 0. Still active in shutdown.	X		0	0	0	0	0	0	0	0	0x00
Port P0 is static-high logic-level logic port (high impedance without external pullup) or logic input with logic input buffer enabled; reading this port returns 0 or 1, depending on external conditions. Still active in shutdown.	X		0	0	0	0	0	0	0	1	0x01
Port P0 is static-low constant-current sink (PWM disabled). Logic input buffer is disabled; reading this port always returns 0. High impedance in shutdown.	X		0	0	0	0	0	0	1	0	0x02
Port P0 duty cycle is 3/256 current sink. GPI logic input buffer is disabled; reading this port always returns 0. High impedance in shutdown.	X		0	0	0	0	0	0	1	1	0x03
Port P0 duty cycle is 4/256 current sink. GPI logic input buffer is disabled; reading this port always returns 0. High impedance in shutdown.	X		0	0	0	0	0	1	0	0	0x04
—	X		—	—	—	—	—	—	—	—	—
Port P0 duty cycle is 253/256 current sink. GPI logic input buffer is disabled; reading this port always returns 0. High impedance in shutdown.	X		1	1	1	1	1	1	0	1	0xFD
Port P0 duty cycle is 254/256 current sink. GPI logic input buffer is disabled; reading this port always returns 0. High impedance in shutdown.	X		1	1	1	1	1	1	1	0	0xFE
Port P0 is static high impedance (PWM disabled). GPI logic input buffer is disabled; reading this port always returns 0. High impedance in shutdown.	X		1	1	1	1	1	1	1	1	0xFF

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

表6. 出力レジスタのフォーマット(続き)

REGISTER	R/W	ADDRESS CODE (HEX)	REGISTER DATA						HEX		
			BINARY								
			D7	D6	D5	D4	D3	D2		D1	D0
			MSB	OUTPUT P0 LEVEL AND PWM						LSB	
Port P1 level or PWM	X	0x01	MSB	Port P1 level or PWM					LSB	0x00 to 0xFF	
Port P2 level or PWM	X	0x02	MSB	Port P2 level or PWM					LSB		
Port P3 level or PWM	X	0x03	MSB	Port P3 level or PWM					LSB		
Port P4 level or PWM	X	0x04	MSB	Port P4 level or PWM					LSB		
Port P5 level or PWM	X	0x05	MSB	Port P5 level or PWM					LSB		
Port P6 level or PWM	X	0x06	MSB	Port P6 level or PWM					LSB		
Port P7 level or PWM	X	0x07	MSB	Port P7 level or PWM					LSB		
Port P8 level or PWM	X	0x08	MSB	Port P8 level or PWM					LSB		
Port P9 level or PWM	X	0x09	MSB	Port P9 level or PWM					LSB		
Writes ports P0 through P9 with same level or PWM	0	0x0A	MSB	Ports P0 through P9 level or PWM					LSB		
Reads port P0 level or PWM	1		MSB	Port P0 level or PWM					LSB		
Writes ports P0 through P3 with same level or PWM	0	0x0B	MSB	Ports P0 through P3 level or PWM					LSB		
Reads port P0 level or PWM	1		MSB	Port P0 level or PWM					LSB		
Writes ports P4 through P7 with same level or PWM	0	0x0C	MSB	Ports P4 through P7 level or PWM					LSB		
Reads port P4 level or PWM	1		MSB	Port P4 level or PWM					LSB		
Write ports P8 and P9 with same level or PWM	0	0x0D	MSB	Ports P8, P9 level, or PWM					LSB		
Reads port P8 level or PWM	1		MSB	Port P8 level or PWM					LSB		

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

## 出力電流レジスタ

各出力ポートの個別定電流シンクは、全体電流の半値または全値に設定することができます。個別の電流は出力電流レジスタによって設定されます(表7)。全体電流は全体電流レジスタによって設定されます(表8)。

各出力電流は個別にLED負荷の最大動作電流に適するように設定することができ、または、即座に、各出力の実効輝度制御範囲を2倍に調整することも可能です。全体電流レジスタが最大値に設定されると、個々の電流は10mA(半値)または20mA(全値)となります。

表7. 出力電流レジスタのフォーマット

REGISTER	R/W	ADDRESS CODE (HEX)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
<b>OUTPUT CURRENT IOU70</b>	X	0x13	<b>IOU7</b>	<b>IOU6</b>	<b>IOU5</b>	<b>IOU4</b>	<b>IOU3</b>	<b>IOU2</b>	<b>IOU1</b>	<b>IOU0</b>
Output P0 is set to half constant current	X		X	X	X	X	X	X	X	0
Output P0 is set to full constant current	X		X	X	X	X	X	X	X	1
Output P1 is set to half constant current	X		X	X	X	X	X	X	0	X
Output P1 is set to full constant current	X		X	X	X	X	X	X	1	X
Output P2 is set to half constant current	X		X	X	X	X	0	X	X	X
Output P2 is set to full constant current	X		X	X	X	X	1	X	X	X
Output P3 is set to half constant current	X		X	X	X	0	X	X	X	X
Output P3 is set to full constant current	X		X	X	X	1	X	X	X	X
Output P4 is set to half constant current	X		X	X	0	X	X	X	X	X
Output P4 is set to full constant current	X		X	X	1	X	X	X	X	X
Output P5 is set to half constant current	X		X	0	X	X	X	X	X	X
Output P5 is set to full constant current	X		X	1	X	X	X	X	X	X
Output P6 is set to half constant current	X		X	0	X	X	X	X	X	X
Output P6 is set to full constant current	X		X	1	X	X	X	X	X	X
Output P7 is set to half constant current	X		0	X	X	X	X	X	X	X
Output P7 is set to full constant current	X		1	X	X	X	X	X	X	X
<b>OUTPUT CURRENT IOU98</b>	0		0x14	<b>X</b>	<b>X</b>	<b>X</b>	<b>X</b>	<b>X</b>	<b>X</b>	<b>IOU9</b>
	1	<b>0</b>		<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>IOU9</b>	<b>IOU8</b>
Output P8 is set to half constant current	X	X		X	X	X	X	X	X	0
Output P8 is set to full constant current	X	X		X	X	X	X	X	X	1
Output P9 is set to half constant current	X	X		X	X	X	X	X	0	X
Output P9 is set to full constant current	X	X		X	X	X	X	X	1	X

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

表8. 全体電流レジスタのフォーマット

REGISTER	R/W	ADDRESS CODE (HEX)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
GLOBAL CURRENT	0	0x15	X	X	X	X	X	ISET2	ISET1	ISET0
	1		0	0	0	0	0	ISET2	ISET1	ISET0
Full current is 2.5mA; half current is 1.25mA	X		X	X	X	X	0	0	0	
Full current is 5mA; half current is 2.5mA	X		X	X	X	X	0	0	1	
Full current is 7.5mA; half current is 3.75mA	X		X	X	X	X	0	1	0	
Full current is 10mA; half current is 5mA	X		X	X	X	X	0	1	1	
Full current is 12.5mA; half current is 6.25mA	X		X	X	X	X	1	0	0	
Full current is 15mA; half current is 7.5mA	X		X	X	X	X	1	0	1	
Full current is 17.5mA; half current is 8.75mA	X		X	X	X	X	1	1	0	
Full current is 20mA; half current is 10mA	X		X	X	X	X	1	1	1	

## 全体電流レジスタ

全体電流レジスタはI/Oポートに流れ込む全(最大)定電流を設定します(表8)。各出力ポートの個別定電流シンクは出力電流レジスタによって全体電流の半値または全値のいずれかに設定することができます(表7)。デフォルトの最大電流は20mAであるため、デフォルトの半値は10mAです。

## ランプアップとランプダウンの制御

MAX6966/MAX6967の電流出力は、自動シャットダウンまでランプダウン、及びシャットダウンから抜け出す場合のランプアップを、なんらの相互作用もなく、自動的に行うことが可能です(図4と図5)。ランプダウンはプログラム可能なホールドオフ遅延を含んでいます。

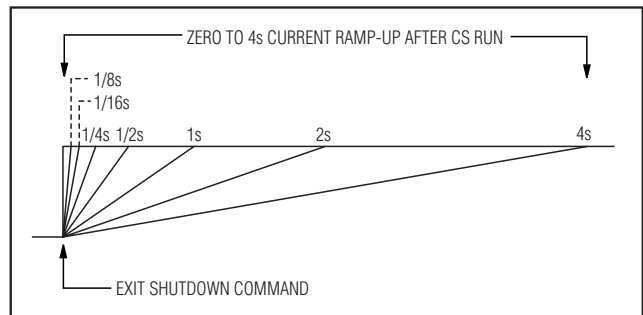


図4. ランプアップ動作

それは、電流出力がランプダウンするプログラムで設定されたフェードオフの前に、ある時間の間、出力を最大電流に維持するものです。

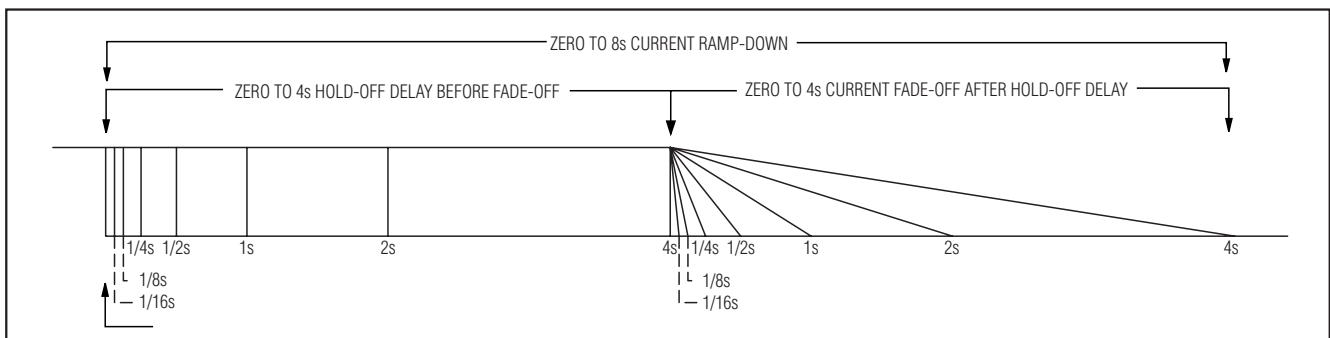


図5. ランプダウン、ホールドオフ、及びフェードオフの動作

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

ランプダウンレジスタによって、ホールドオフ及びフェードオフ時間を設定し、必要に応じて、ホールドオフ及びフェードオフをディセーブル(ゼロ遅延)とすることができます(表9)。ランプアップレジスタによって、ランプアップ時間を設定し、必要に応じてランプアップをディセーブル(ゼロ遅延)とすることができます(表10)。コンフィギュレーションレジスタは3状態表示ビットを持ち、MAX6966/MAX6967がホールドオフ、フェードオフ、またはランプアップのいずれの状態にあるかを識

別することができます(表4)。また、コンフィギュレーションレジスタによって、ランプアップをイネーブルまたはディセーブルとすることができます。(フェードレジスタにホールドオフとフェードオフの設定を行って、)コンフィギュレーションレジスタに1回、書込みを行うと、MAX6966/MAX6967をシャットダウンモードにすることが可能であり、再スタート時にCS runをイネーブルするかどうか、及びランプアップを再スタート時に使用するかどうかを決定することができます。

表9. ランプダウンレジスタのフォーマット

REGISTER	R/W	ADDRESS CODE (HEX)	REGISTER DATA								
			D7	D6	D5	D4	D3	D2	D1	D0	
Write ramp-down	0	0x11	X	X	Hold-off			Fade-off			
Read ramp-down	1		0	0							
<b>Fade-off time (f<sub>PWM</sub> = 32768Hz)</b>											
Instant going into shutdown after hold-off delay	X		X	X	X	X	0	0	0		
1/16s ramp-down from full current before shutdown after hold-off delay	X		X	X	X	X	0	0	1		
1/8s ramp-down from full current before shutdown after hold-off delay	X		X	X	X	X	0	1	0		
1/4s ramp-down from full current before shutdown after hold-off delay	X		X	X	X	X	0	1	1		
1/2s ramp-down from full current before shutdown after hold-off delay	X		X	X	X	X	1	0	0		
1s ramp-down from full current before shutdown after hold-off delay	X		X	X	X	X	1	0	1		
2s ramp-down from full current before shutdown after hold-off delay	X		X	X	X	X	1	1	0		
4s ramp-down from full current before shutdown after hold-off delay	X		X	X	X	X	1	1	1		
<b>Hold-off time (f<sub>PWM</sub> = 32768Hz)</b>											
Zero hold-off delay before fade-off going into shutdown	X		X	X	0	0	0	X	X	X	
1/16s hold-off delay before fade-off going into shutdown	X		X	X	0	0	1	X	X	X	
1/8s hold-off delay before fade-off going into shutdown	X		X	X	0	1	0	X	X	X	
1/4s hold-off delay before fade-off going into shutdown	X		X	X	0	1	1	X	X	X	
1/2s hold-off delay before fade-off going into shutdown	X	X	X	1	0	0	X	X	X		
1s hold-off delay before fade-off going into shutdown	X	X	X	1	0	1	X	X	X		
2s hold-off delay before fade-off going into shutdown	X	X	X	1	1	0	X	X	X		
4s hold-off delay before fade-off going into shutdown	X	X	X	1	1	1	X	X	X		

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

表10. ランプアップレジスタのフォーマット

REGISTER	R/W	ADDRESS CODE (HEX)	REGISTER DATA							
			D7	D6	D5	D4	D3	D2	D1	D0
Write ramp-up	0	0x12	X	X	X	X	X	Ramp-up		
Read ramp-up	1		0	0	0	0	0	Ramp-up		
Ramp-up time (f <sub>PWM</sub> = 32768Hz)										
Instant full current coming out from shutdown	X		X	X	X	X	0	0	0	
1/16s ramp-up to full current coming out from shutdown	X		X	X	X	X	0	0	1	
1/8s ramp-up to full current coming out from shutdown	X		X	X	X	X	0	1	0	
1/4s ramp-up to full current coming out from shutdown	X		X	X	X	X	0	1	1	
1/2s ramp-up to full current coming out from shutdown	X		X	X	X	X	1	0	0	
1s ramp-up to full current coming out from shutdown	X		X	X	X	X	1	0	1	
2s ramp-up to full current coming out from shutdown	X		X	X	X	X	1	1	0	
4s ramp-up to full current coming out from shutdown	X	X	X	X	X	1	1	1		

ランプアップとランプダウンはそのタイミング用にPWMクロックを用います。外部発振器が選択された場合は、このクロックはそのシーケンスの最後まで供給しなければなりません。内部発振器が選択された場合は、どのポートもPWMを用いていない場合でもフェードシーケンスの間は、内部クロックは常に動作しています。

ランプアップとランプダウン回路は3ビットDACを動作させます。このDACは全電流レジスタに対するのと同様な方法で、定電流出力を設定するために使われる内部の電流リファレンスを調整します(表8)。スケールを定めるのはマスタ電流リファレンスであるため、

すべての出力の定電流及びPWMの設定は、お互いに同じ比で調整されます。このことは、個々の輝度設定が全く異なっていたとしても、各LEDは常に同じ速度でフェードすることを意味します。図6は出力フェード用DACを示しています。

全電流レジスタ(表8)によって設定される最大ポート出力電流は、また、ランプダウンの場合の電流降下開始点、及びランプアップの場合の電流増加停止点を設定します。図7は異なった全電流レジスタの設定の場合に起こるランプ(傾斜)波形を示しています。

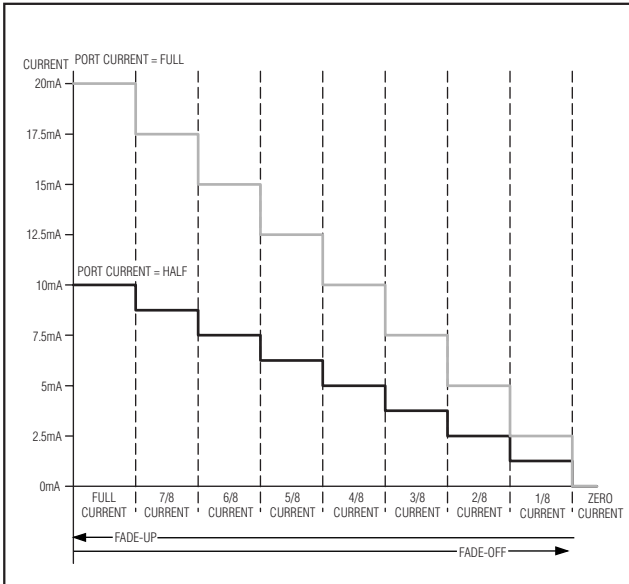


図6. 出力フェード用DAC(全電流設定 = 0x07の場合)

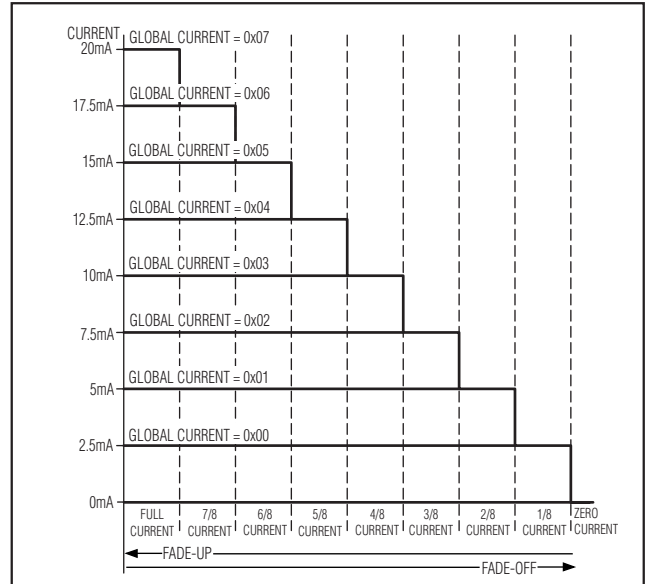


図7. 全電流がフェードの動作に与える影響

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

## シリアルインタフェース

MAX6966/MAX6967はSPI対応の4線式シリアルインタフェースを使って通信します。そのインタフェースは、クロック(SCLK)、チップ選択( $\overline{CS}$ )、及びデータ入力(DIN)の3つの入力、及びデータ出力(DOUT)の1つの出力を持っています。 $\overline{CS}$ はデバイスからデータをクロック同期出力または入力するためにはローでなければなりません。また、DINはSCLKの立上りエッジでサンプルされるときは安定でなければなりません。DOUTはSCLKの立上りエッジで安定となります。

SPIプロトコルはMAX6966/MAX6967がアクセスされていないとき、DOUTがハイインピーダンスであることを期待しています。しかし、MAX6966/MAX6967のDOUTはハイインピーダンスにはなることはありません。MAX6966/MAX6967をトライステートにする方法が必要であれば、[japan.maxim-ic.com/an1879](http://japan.maxim-ic.com/an1879)を調べてください。

SCLKとDINは他のペリフェラルヘデータを転送するために使うことができます。MAX6966/MAX6967は $\overline{CS}$ がローの場合を除いて、SCLKとDINのすべての動作を無視します。

## 4線式インタフェースを用いる制御と動作

MAX6966/MAX6967を制御するためには、16ビットのワードを送信する必要があります。D15~D8の第1バイトはコマンドであり、D7~D0の第2バイトはデータバイトです(表11)。

## 複数のMAX6966/MAX6967を4線式バスに接続する方法

複数のMAX6966/MAX6967は、各DINを相互に接続し、各SCLKを相互に接続し、また、MAX6966/MAX6967デバイスごとに個別の $\overline{CS}$ を与えることによって共通のSPIバスにインタフェースすることができます(図8)。この接続はDOUT/OSCの構成に関わりなく有効ですが、MAX6966/MAX6967を読み取ることはできません。

表11. シリアルデータフォーマット

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
R/W	MSB	ADDRESS					LSB	MSB	DATA						LSB

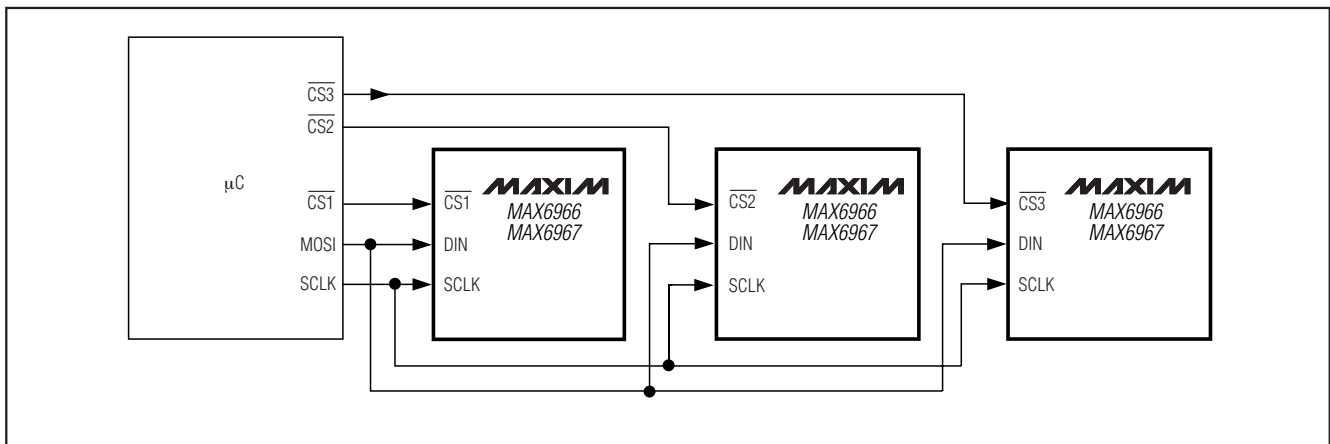


図8. MAX6966/MAX6967の複数CSを用いる接続

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

この代わりに、MAX6966/MAX6967は1つのデバイスのDOUTを次のデバイスのDINに接続し、SCLK及び $\overline{CS}$ ラインを並列に接続することによってディジーチェーンとすることができます(図9)。この接続によってMAX6966/MAX6967を読み出すことができます。DINのデータは内部のシフトレジスタを伝播してゆき、DOUTに15.5クロックサイクル後に、SCLKの立下りエッジでクロック同期出力されます。ディジーチェーン接続されたMAX6966/MAX6967にコマンドを送信するとき、すべてのデバイスは同時にアクセスされます。そのアクセスは(16 x n)クロックサイクルを要します。

ここでnはMAX6966/MAX6967の接続数です。ディジーチェーンが動作するためには、DOUT/OSCはコンフィギュレーションレジスタのビットD7をゼロにクリアすることによってDOUTとして構成しなければなりません(表4)。MAX6966はDOUT/OSCがDOUT出力のデフォルトとして起動し、一方、MAX6967はDOUT/OSCがOSCにデフォルトされて起動することを注意してください。ディジーチェーンされた場合、DOUTの伝播遅延及びDINのセットアップ時間のためにシリアルインタフェースの速度(最高のSCLK)は17.5MHzに制限されます。図10はそのタイミング図を示しています。

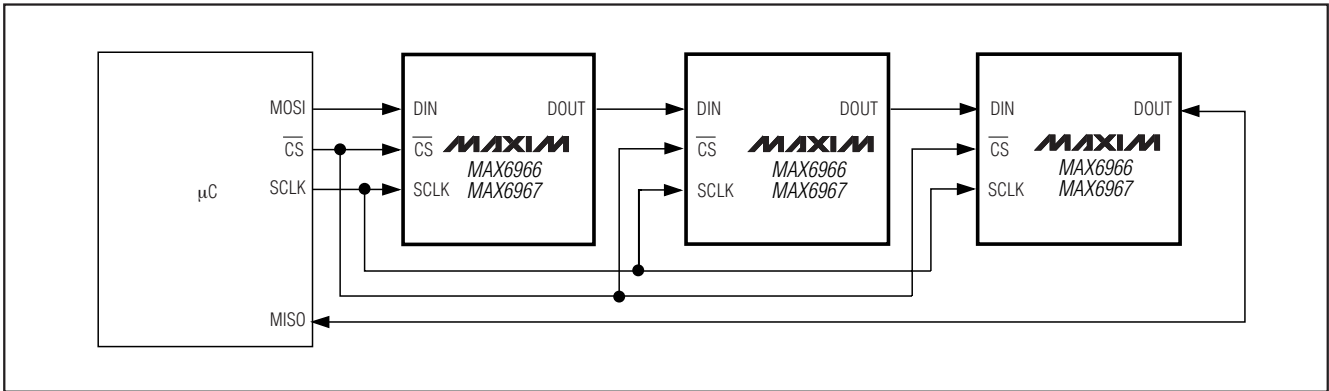


図9. MAX6966/MAX6967のディジーチェーン接続

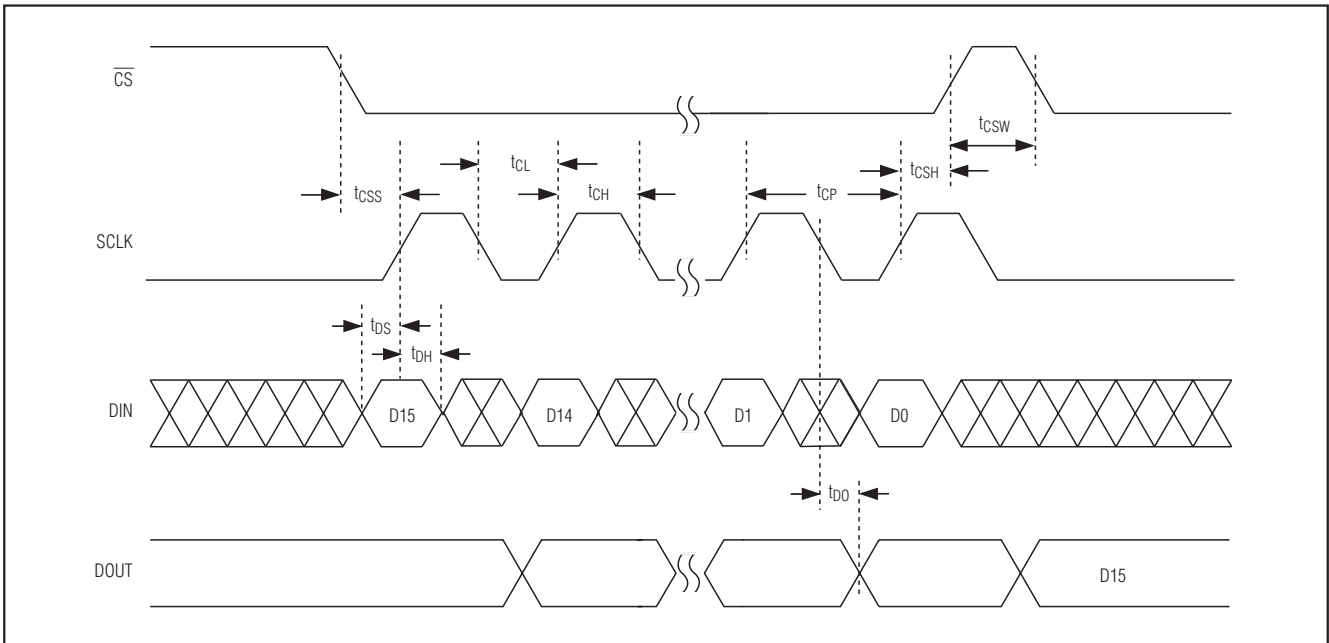


図10. タイミングダイアグラム

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967は次に示すシーケンスを用いて書き込まれます(図11)：

- 1) SCLKをローとします。
- 2)  $\overline{CS}$ をローとします。このことにより、内部の16ビットシフトレジスタがイネーブルとなります。
- 3) D15を先頭に、D0を最後にしてDINに16ビットのデータをクロック同期入力します。この場合、セットアップとホールド時間を見込んでください。ビットD15をローとすると、書込みコマンドとなります。
- 4)  $\overline{CS}$ をハイとします(最後のデータをクロック同期入力した後、まだ、SCLKがハイの場合か、またはSCLKがローとなつてからとしてください)。
- 5) SCLKをローとします(ローとなっていない場合)。

$\overline{CS}$ をローとする間にMAX6966/MAX6967に16ビットより、少ないか、または多いデータがクロック同期入力され、 $\overline{CS}$ が再びハイとされると、MAX6966/MAX6967は受信した最新の16ビットデータを格納します。この16ビットには前の伝送データも含まれます。一般的なケースはnビット(ここで $n > 16$ )がMAX6966/MAX6967が伝送される場合です。ビット{n - 15}~{n}で構成される最後のビット群が保持されて16ビットラッチにおのおのD15~D0としてそれぞれ平行入力されます(図12)。

## デバイスレジスタの読取り

MAX6966/MAX6967内のいずれのレジスタデータも、ビットD15をロジックハイとして送信することによって読み取ることができます。そのシーケンスを次に示します：

- 1) SCLKをローとします。
- 2)  $\overline{CS}$ をローとします。このことにより内部の16ビットシフトレジスタがイネーブルとなります。
- 3) D15を先頭に、D0を最後にしてDINに16ビットデータをクロック同期入力します。読取りコマンドを示すD15はハイであり、ビットD14~D8は読み取るレジスタアドレスを示します。ビットD7~D0はダミーデータであり、それは捨てられます。
- 4)  $\overline{CS}$ をハイとします(最後のデータビットのクロック同期入力の後でSCLKがまだハイの間、またはSCLKがローとなつてから)。すると、シフトレジスタの中のD7~D0の位置にビットD15~D8によってアドレスされるレジスタデータが格納されます。
- 5) SCLKをローとします(ローとなっていない場合)
- 6) さらに読出または書込みコマンドを発行してDOUTにおけるビットストリームを調べます。この場合、2番目の8ビットデータがステップ3)におけるビット

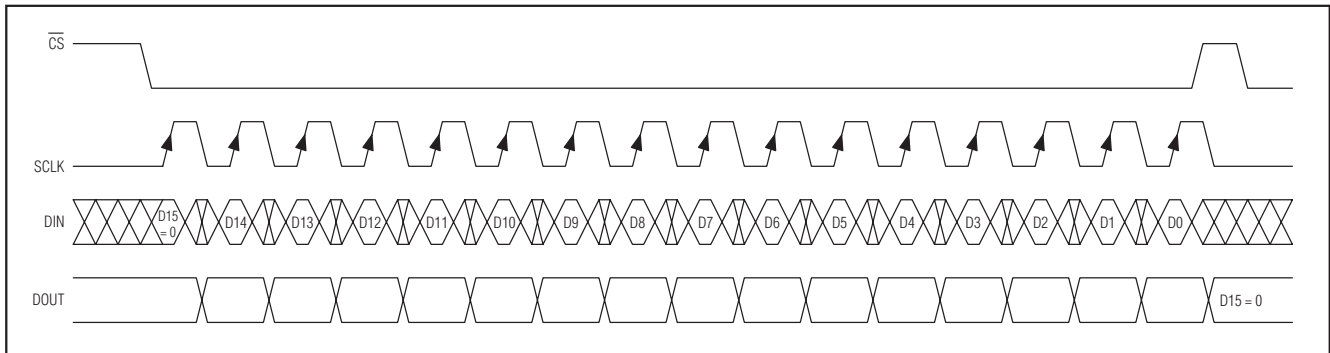


図11. MAX6966/MAX6967に対する16ビットの書込み伝送

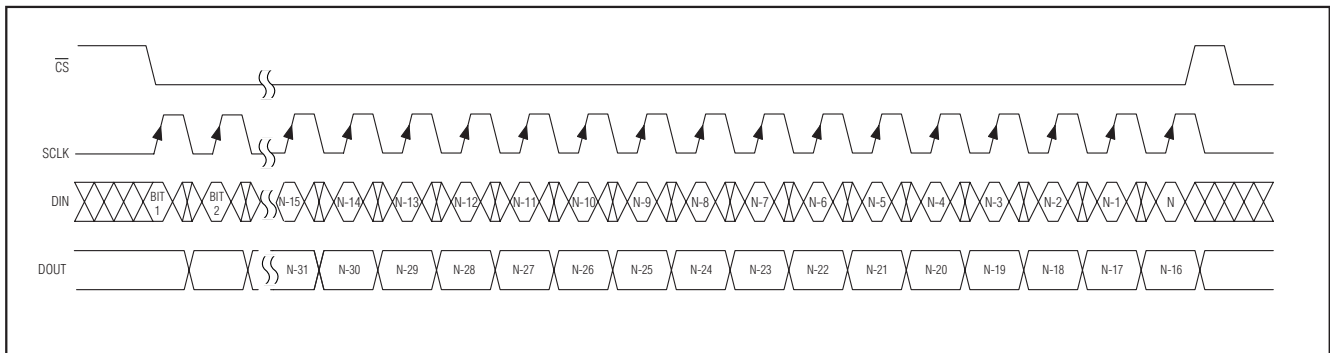


図12. MAX6966/MAX6967に対する16ビットを超える書込み伝送

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

D14~D8によってアドレスされるレジスタの内容となっています。

## アプリケーション情報

### 活線挿入

I/OポートのP0~P9はMAX6966/MAX6967が電源断となった場合( $V_+ = 0V$ )、ポートに最大8Vまで印加されても、ハイインピーダンスを維持します。MAX6966/MAX6967は、したがって、ホットスワップのアプリケーションに使うことができます。

### SPIの配線について

MAX6966/MAX6967のSPIインタフェースは2.5V電源で26Mbit/sの動作が保証され、3.3V電源では、標準的に35Mbit/sで動作します。このことは、インタフェースの接続長が100mm以上で、特に、より高い電源電圧で使う場合に伝送路問題を考える必要があることを意味します。GNDを介在させないでSCLK、DIN、及びCSの配線を長く隣接させて配置することは避けてください。さもなければ、信号にクロス結合を引き起こし、偽のクロック、またはチップ選択の変更を起こす場合があります。リングングが通信の問題を起こす可能性があり、それは間歇的であり、通常、SCLK入力のリングングによるダブルクロックにより起こります。DIN、SCLK、及びCS入力にはGNDまたは $V_+$ に対して $1k\Omega \sim 10k\Omega$ の並列終端抵抗器を接続して、長いインタフェース配線のリングングを適度に制動してください。プリント基板間を接続する場合は線路のインピーダンスマッチング終端を使用してください。

### MAX6966とMAX6967との相違

MAX6966はDOUT/OSCがデフォルトでDOUTとして構成されて起動します。MAX6967はDOUT/OSCがデフォルトでOSCとして構成されて起動します。この両方のデバイスとも、DOUT/OSC端子の機能をコンフィギュレーションレジスタによって変更することができます(表4)。もし、いずれかのポートがロジック入力として使われる場合、DOUT/OSCをDOUTとして構成すれば、MAX6966/MAX6967の読取りが可能となります。

大部分のアプリケーションでは、MAX6966またはMAX6967に合わせてDOUT/OSCが電源投入時に適切に

構成されるようにソフトウェアに書き込むことができます。DOUT/OSCがOSCとして使われる場合は、PWMクロック源とDOUT/OSC端子の間に直列抵抗を接続してください。最初は $2.2k\Omega$ の抵抗器を推奨しますが、シリアルインタフェースの速度とクロック源の駆動能力に依存して、他の値が好ましいかも知れません。このことにより、MAX6966が使われる場合は、電源投入時にPWMクロック源への負荷が制限されます。それはDOUT/OSCが出力として初期化されるからです。DOUT/OSCがDOUTとして使われる場合、MAX6967は電源投入後、DOUT/OSCがOSCからDOUTに再構成されるまでは読み取ることができないことを忘れないでください。

### LEDをブラウンアウトに駆動する

MAX6966/MAX6967は、ポート出力に最低電圧降下がある場合は、定電流を正しく、レギュレートします。このポート出力電圧は負荷(通常LED)用電源と負荷電圧降下(LEDの順方向電圧)との間の差です。もし、LEDの電源が最低のポート出力電圧を維持しない場合、ドライバの出力ステージはブラウンアウトし、負荷電流は低下します。その最低ポート電圧は10mAのシンク電流ではおよそ0.5Vであり、20mAのシンク電流ではおよそ1Vです。

バッテリーのアプリケーションでは、LEDを直接バッテリー電源から動作させることが重要かも知れません。例えば、LEDの電源電圧は充電時4.2Vで大部分の時間3.4V~3.7Vであり、放電時3Vまで低下する1個の再充電可能Li+バッテリーとすることができます。このシナリオでは、バッテリーの寿命末期には、LED電源はブラウンアウトポイント以下に大幅に低下します。

図13はLED供給電圧を2.5Vから7Vに変化させた場合、LITEONLTST-C170TBKT 3.0Vの青LEDによってシンクされる代表的な電流を示しています。示されたLED電流は10mAと20mAの定電流に設定されたポートに対して、LED電源電圧を2.5Vから7Vに変化させたものです。LEDの順方向電圧は電流と共に減少し、ブラウンアウトでは急激にはなく、滑らかにLED電流を低下させることが分かります。実際には、LED電流は3VのLED電源では6mAから7mAに低下します。これは多くのバックライトのアプリケーションにおいて、寿命末期では許容可能な性能です。

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

## 出力レベルの変換

オープンドレイン出力方式は各ポートの出力をMAX6966/MAX6967の電源より高い、またはより低い電圧にレベル変換することが可能です。外部のプルアップ抵抗器を使うと、どの出力も、ハイインピーダンスのロジックハイ状態を正の電圧レベルに変換することができます。その抵抗器は最大7Vのどのような電圧レベルにも接続することができます。プルアップまたは定電流出力を使う場合は、抵抗器の値としてはロジックローの状態数百 $\mu$ Aに満たない電流をシンクするように抵抗器の値を選んでください。このことにより、電流シンク出力がGNDに近い値で飽和します。CMOS入力とインタフェースを取る場合は、220k $\Omega$ のプルアップ抵抗器を選択することが良い出発点となります。電力消費がそれほど重要ではないか、または所定の容量性負荷に対してより速い立ち上がり時間を必要とするアプリケーションでは抵抗器の値を小さくすると、ノイズ耐性を改善することができます。

## 少ないポートの場合のスタッタの使用法

スタッタオプションを選択した場合、それは定電流出力に設定したすべてのポートに適用されます。10個のポートのPWMサイクルは8個の等間隔に隔てられたスタート点に分かれます(図3)。この位相差は10個より少ないポートが定電流出力として使われる場合は各

ポートを最も適切なスタート位置に割り当てることによって最適化することができます。8個の定電流ポートを必要とする場合は、P0~P7を選択してください。そうすることにより、すべて異なったPWMスタート位置を持つことになるからです。4個の定電流出力を必要とする場合は、P0、P2、P4、P6、またはP1、P3、P5、P7を選択してください。それはPWMスタート位置が等間隔になるからです。一般的には、PWMスタート位置が可能な限り等間隔になるように分かれたポートを選択してください。このことにより、各ポートの負荷電源からの電流要求が最適に分散されます。

## シャットダウン/ラン(run)出力

MAX6966/MAX6967からのシャットダウン/ラン出力を1つのI/Oポートを使って、自動的に発生させることができます。MAX6966/MAX6967がランモード、ホールドオフ、フェードオフ、またはランプアップであるとき、シャットダウン/ラン出力がアクティブローとなり、フェードオフの後、MAX6966/MAX6967が最後にシャットダウンに入るとき、自動的にハイとなります。ポートの出力レジスタを0x00の値に設定すると、それは出力をスタティックな定電流モードとします(表6)。動作電流を最小化するためには、ポート出力電流レジスタを半値に設定(表7)してください。220k $\Omega$ のプルアップ抵抗器をこのポートに接続してください。

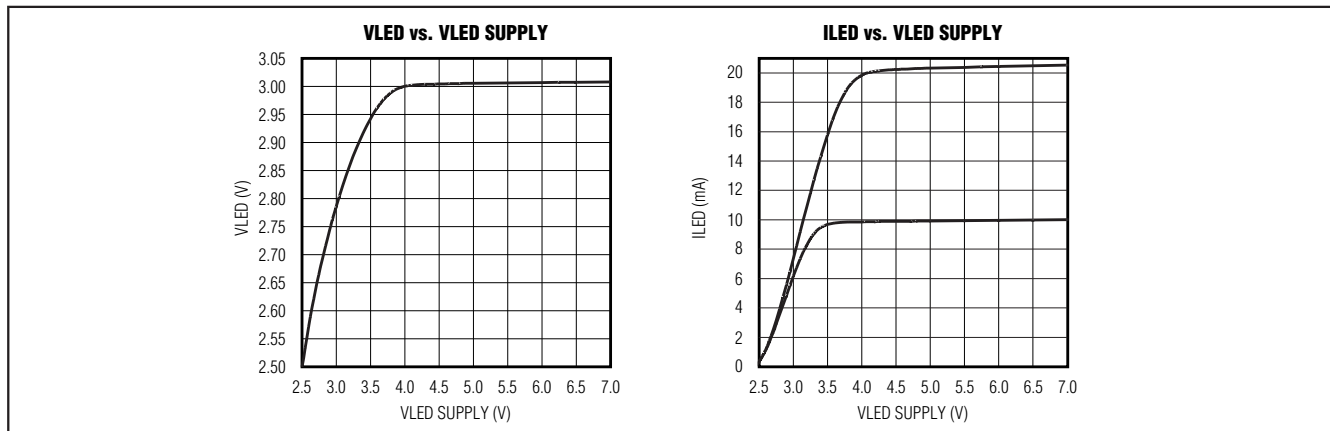


図13. LEDのブラウンアウト

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

ランモードにおいては、出力ポートはローとなり、0Vに近づきます。それはそのポートのスタティックな定電流が、220kΩのプルアップ抵抗によって供給される電流よりも大きい電流をシンクしようとするからです。

シャットダウンモードでは、出力は他の定電流出力と共にハイインピーダンスになります。この出力はランプアップ及びフェードダウンシーケンスの間はローに留まります。それは220kΩにより引き出される電流は供給可能な定電流に比べて十分に小さいからです。それは、最も小さいフェード電流ステップにおいてもそうです。

## 20mAを超える負荷電流の駆動

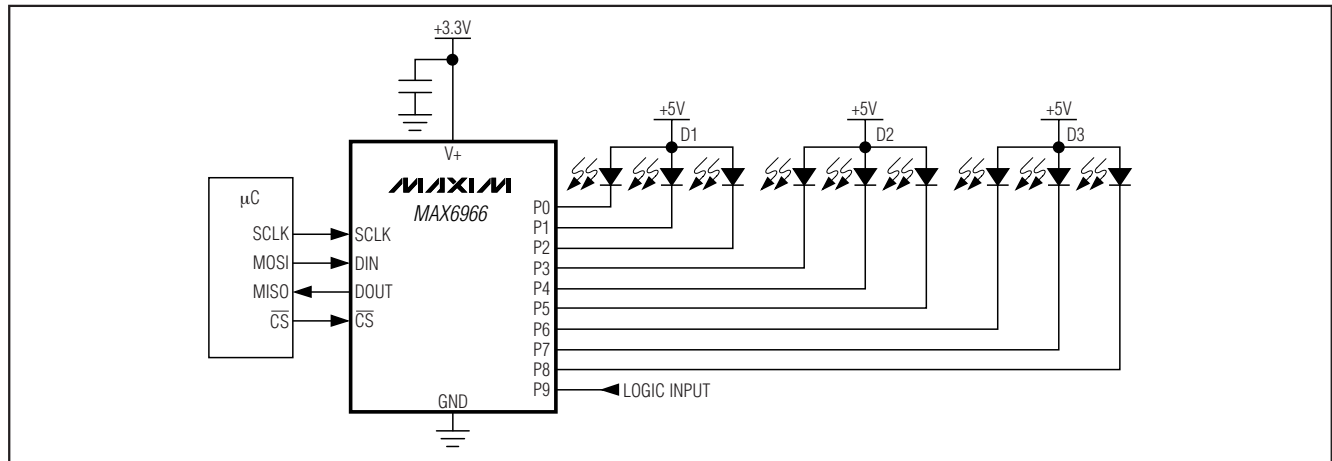
MAX6966/MAX6967は出力を並列接続することによって、大電流の白色LEDのような20mAを超える負荷を駆動するために使うことができます。例えば、70mA

で駆動することを要する白色LEDを考えてみましょう。このLEDは並列に接続したP0、P1、P2、及びP3を用いることによって、駆動することができます。その内の3つのポートは最大電流(20mA)にして、合計が70mAにするために残りのポートを半電流(10mA)に構成してください。この4つのポートはレジスタ0x0Bを用いて1回の書込みアクセスで同時に制御することができます(表6)。各出力ポートは電流制限されているため、安全な電流分配を保証するために同時にスイッチする必要はないことを注意しておきます。

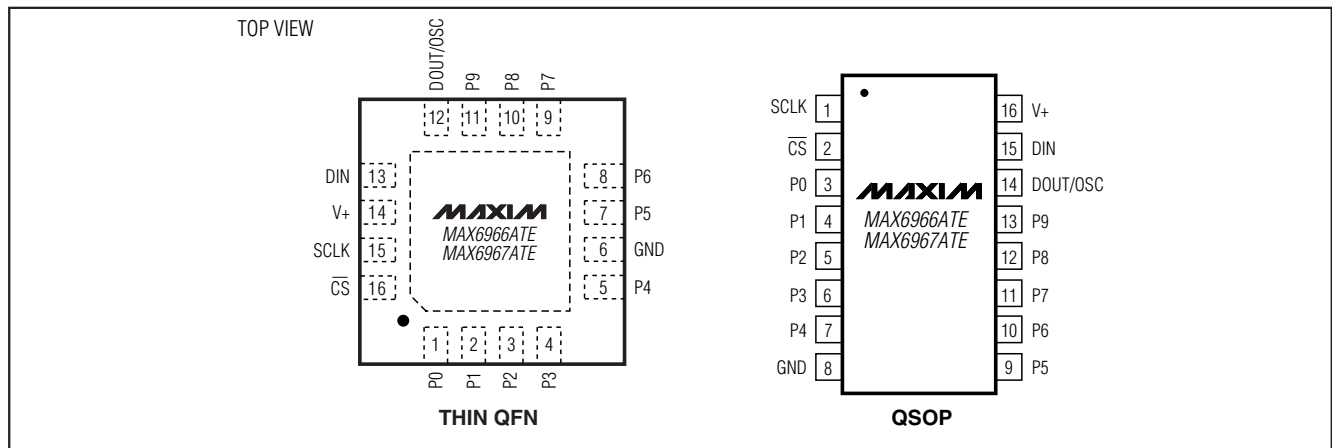
## 電源について

MAX6966/MAX6967は2.25V~3.6Vの電源で動作します。電源は0.1μFのコンデンサを使って、デバイスの可能な限り近い場所でGNDにバイパスしてください。TQFNパッケージの場合は、裏面のエクスポーズドパッドをGNDに接続してください。

## 標準動作回路

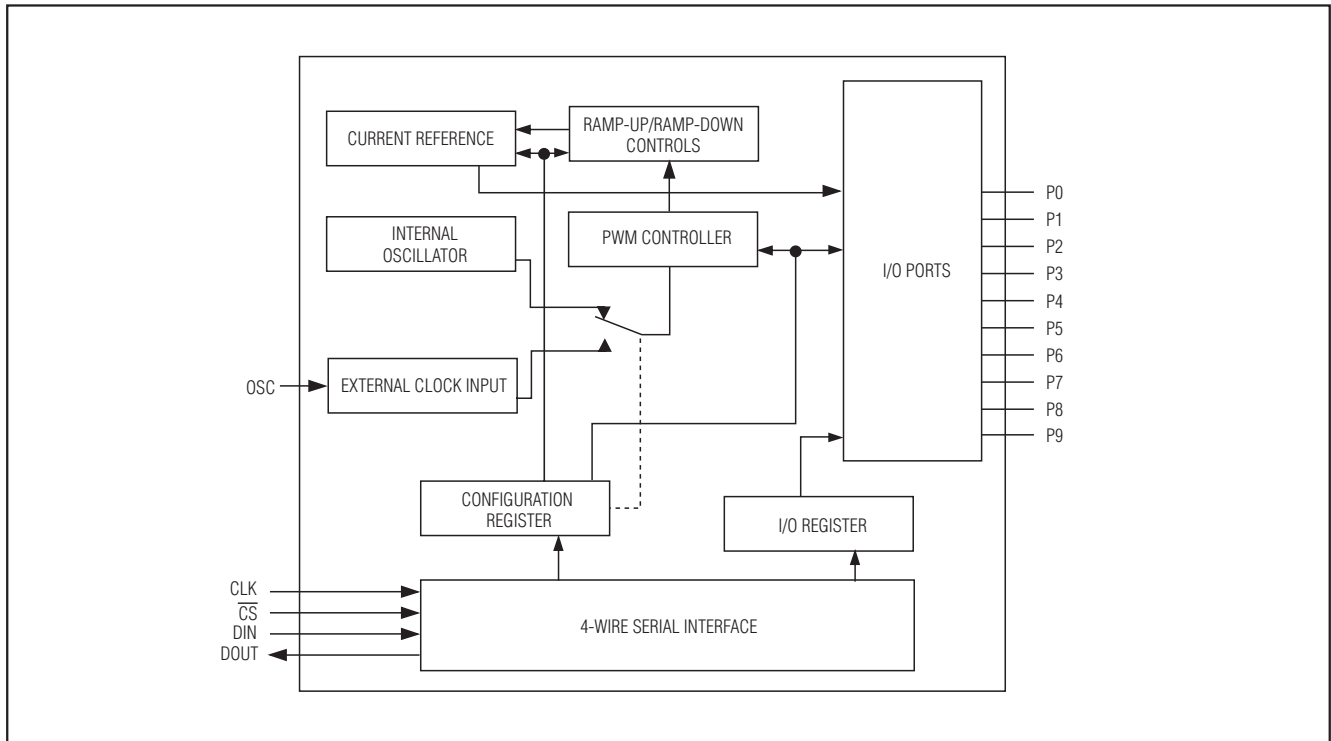


## ピン配置



# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

## ブロックダイアグラム



MAX6966/MAX6967

## チップ情報

TRANSISTOR COUNT: 14,865

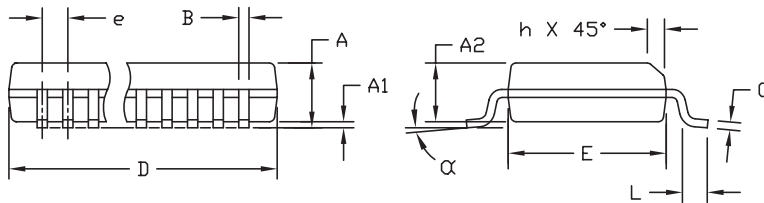
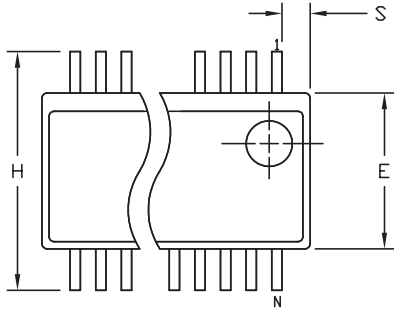
PROCESS: BiCMOS

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.30
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
α	0°	8°	0°	8°

### VARIATIONS:

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AB
S	.0020	.0070	0.05	0.18	
D	.337	.344	8.56	8.74	20 AD
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AE
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AF
S	.0250	.0300	0.635	0.762	

### NOTES:

- 1). D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
- 2). MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
- 3). CONTROLLING DIMENSIONS: INCHES.
- 4). MEETS JEDEC MO137.

**DALLAS SEMICONDUCTOR** **MAXIM**  
 PROPRIETARY INFORMATION  
 TITLE:  
 PACKAGE OUTLINE, QSOP .150", .025" LEAD PITCH  
 APPROVAL: \_\_\_\_\_ DOCUMENT CONTROL NO. 21-0055 REV. E 1/1

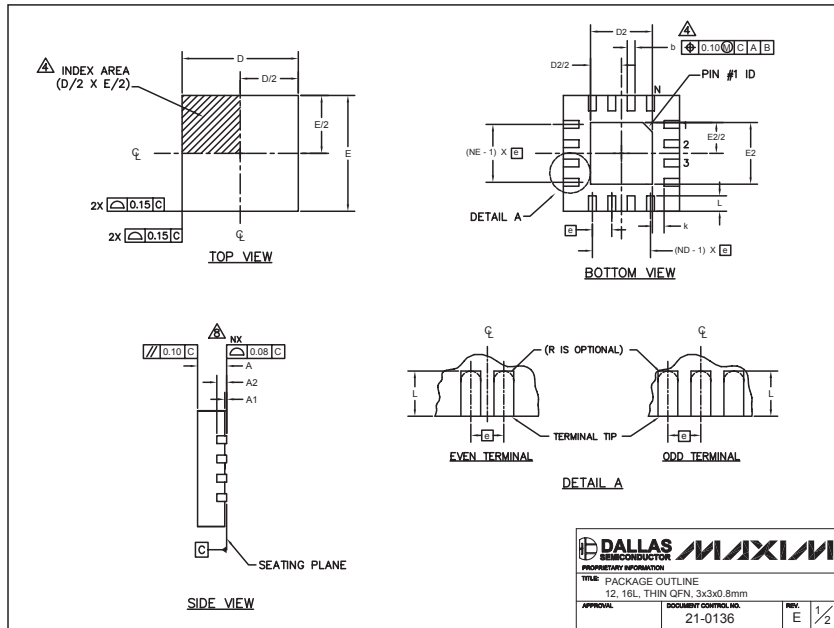
QSOP:EPS

# PWM輝度制御内蔵 10ポート定電流LEDドライバとI/Oエキスパンダ

MAX6966/MAX6967

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



PKG REF	12L 3x3			16L 3x3		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80
b	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10
e	0.50 BSC.			0.50 BSC.		
L	0.45	0.55	0.65	0.30	0.40	0.50
N	12			16		
ND	3			4		
NE	3			4		
A1	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-

PKG CODES	D2			E2			PIN ID	JEDEC	DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	NO
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1	YES
T1633-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	YES
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2	N/A
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2	NO

**NOTES:**

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS, ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.

**DALLAS SEMICONDUCTOR**  
MAXIM  
PROPRIETARY INFORMATION

TITLE: PACKAGE OUTLINE  
12, 16L, THIN QFN, 3x3x0.8mm

APPROVAL: DOCUMENT CONTROL NO. 21-0136 REV: E 2/2

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 29