

EVALUATION KIT
AVAILABLE

MAXIM

バッファ付き、高速セトリング、クワッド、
12/10/8ビット、電圧出力DAC

概要

クワッド、12/10/8ビット、電圧出力、デジタルアナログコンバータ(DAC)のMAX5580~MAX5585は、バッファ付き出力を備えており、12ビットレベルの最大セトリングタイムが3 μ sです。このDACは、+2.7V~+5.25Vのアナログ電源、及び+1.8V~+5.25Vのデジタル電源で動作します。20MHz、3線式シリアルインタフェースは、SPI™、QSPI™、MICROWIRE™、及びデジタル信号プロセッサ(DSP)プロトコルの各アプリケーションに対応しています。複数のデバイスが、ダイレクトアクセスやデジチチェーン構成でシリアルインタフェースを共有することができます。MAX5580~MAX5585は、2個の多機能、ユーザプログラマブルのデジタルI/Oポートを備えています。外部から選択可能なDAC出力の電源投入後の状態は、ゼロスケール、ミッドスケール、またはフルスケールのいずれかです。MAX5580~MAX5585は、ソフトウェアによって選択可能なFAST及びSLOWセトリングモードを備えており、FASTモードではセトリングタイムが短縮し、SLOWモードでは消費電流が低減します。

MAX5580/MAX5581は12ビットDACであり、MAX5582/MAX5583は10ビットDACであり、MAX5584/MAX5585は8ビットDACです。MAX5580/MAX5582/MAX5584はユニティゲイン方式の出力バッファを備えており、MAX5581/MAX5583/MAX5585はフォース/センス方式の出力バッファを備えています。MAX5580~MAX5585は-40°C~+85°Cの拡張温度範囲で動作し、省スペースの5mm x 5mm x 0.8mm、20ピン薄型QFN及びTSSOPの各パッケージで提供されます。

アプリケーション

ポータブル計測機器
自動試験装置(ATE)
デジタル式オフセット及びゲイン調整
自動チューニング
プログラマブル電圧及び電流源
プログラマブルアッテネータ
工業プロセス制御
モーションコントロール
マイクロプロセッサ(μ P)制御システム
パワーアンプ制御
高速パラレルDACからシリアルDACへのアップグレード

ピン配置はデータシートの最後に記載されています。

SPI/QSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

特長

- ◆ 0.5 LSBまでの12ビットセトリングタイム：
3 μ s(max)
- ◆ TSSOP及びThin QFN(5mm x 5mm x 0.8mm)
パッケージのクワッド、12/10/8ビットシリアルDAC
- ◆ 12ビット分解能におけるINL及びDNL：
 ± 1 LSB(max)
- ◆ 2つのユーザプログラマブルデジタルI/Oポート
- ◆ 単一アナログ電源：+2.7V~+5.25V
- ◆ デジタル電源：+1.8V~AV_{DD}
- ◆ 20MHz、3線式SPI/QSPI/MICROWIRE/DSP対応
シリアルインタフェース
- ◆ PUピンによる、グリッチフリー出力がゼロスケール、
ミッドスケール、またはフルスケールにパワーアップ
- ◆ ユニティゲインまたはフォース/センス構成出力バッファ

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX5580AEUP*	-40°C to +85°C	20 TSSOP-EP**
MAX5580AETP*	-40°C to +85°C	20 Thin QFN-EP**

* 開発中の製品。入手性についてはお問い合わせください。
暫定仕様。

** EP = エクスポートパッド

型番はデータシートの最後に続いています。

選択ガイド

PART	OUTPUT BUFFER CONFIGURATION	RESOLUTION (BITS)	INL (LSB max)
MAX5580AEUP	Unity gain	12	± 1
MAX5580AETP	Unity gain	12	± 1
MAX5580BEUP	Unity gain	12	± 4
MAX5580BETP	Unity gain	12	± 4
MAX5581AEUP	Force sense	12	± 1
MAX5581AETP	Force sense	12	± 1
MAX5581BEUP	Force sense	12	± 4
MAX5581BETP	Force sense	12	± 4
MAX5582EUP	Unity gain	10	± 1
MAX5582ETP	Unity gain	10	± 1
MAX5583EUP	Force sense	10	± 1
MAX5583ETP	Force sense	10	± 1
MAX5584EUP	Unity gain	8	± 0.5
MAX5584ETP	Unity gain	8	± 0.5
MAX5585EUP	Force sense	8	± 0.5
MAX5585ETP	Force sense	8	± 0.5

MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

MAX5580-MAX5585

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

ABSOLUTE MAXIMUM RATINGS

AV _{DD} to DV _{DD}	±6V	Maximum Current into Any Pin	±50mA
AGND to DGND	±0.3V	Continuous Power Dissipation (T _A = +70°C)	
AV _{DD} to AGND, DGND.....	-0.3V to +6V	20-Pin TSSOP (derate 21.7mW/°C above +70°C).....	1739mW
DV _{DD} to AGND, DGND	-0.3V to +6V	20-Pin Thin QFN (derate 20.8mW/°C above +70°C)....	1667mW
FB ₋ , OUT ₋		Operating Temperature Range	-40°C to +85°C
REF to AGND.....	-0.3V to the lower of (AV _{DD} + 0.3V) or +6V	Storage Temperature Range	-65°C to +150°C
SCLK, DIN, CS, PU,		Junction Temperature	+150°C
DSP to DGND	-0.3V to the lower of (DV _{DD} + 0.3V) or +6V	Lead Temperature (soldering, 10s)	+300°C
UPIO1, UPIO2			
to DGND	-0.3V to the lower of (DV _{DD} + 0.3V) or +6V		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = 2.7V to 5.25V, DV_{DD} = 1.8V to AV_{DD}, AGND = 0, DGND = 0, V_{REF} = 2.5V (for AV_{DD} = 2.7V to 5.25V), V_{REF} = 4.096V (for AV_{DD} = 4.5V to 5.25V), R_L = 10kΩ, C_L = 100pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY						
Resolution	N	MAX5580/MAX5581	12		Bits	
		MAX5582/MAX5583	10			
		MAX5584/MAX5585	8			
Integral Nonlinearity	INL	V _{REF} = 2.5V at AV _{DD} = 2.7V and V _{REF} = 4.096V at AV _{DD} = 5.25V (Note 2)	MAX5580A/MAX5581A (12 bit)	±1		LSB
			MAX5580B/MAX5581B (12 bit)	±2	±4	
			MAX5582/MAX5583 (10 bit)	±0.5	±1	
			MAX5584/MAX5585 (8 bit)	±0.125	±0.5	
Differential Nonlinearity	DNL	Guaranteed monotonic (Note 2)	±1		LSB	
Offset Error	V _{OS}	MAX5580A/MAX5581A (12 bit), decimal code = 40	±5		mV	
		MAX5580B/MAX5581B (12 bit), decimal code = 40	±5	±25		
		MAX5582/MAX5583 (10 bit), decimal code = 20	±5	±25		
		MAX5584/MAX5585 (8 bit), decimal code = 5	±5	±25		
Offset-Error Drift			5		ppm of FS/°C	
Gain Error	GE	Full-scale output	MAX5580A/MAX5581A (12 bit)	±4		LSB
			MAX5580B/MAX5581B (12 bit)	±20	±40	
			MAX5582/MAX5583 (10 bit)	±5	±10	
			MAX5584/MAX5585 (8 bit)	±2	±3	
Gain-Error Drift			1		ppm of FS/°C	

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

ELECTRICAL CHARACTERISTICS (continued)

($AV_{DD} = 2.7V$ to $5.25V$, $DV_{DD} = 1.8V$ to AV_{DD} , $AGND = 0$, $DGND = 0$, $V_{REF} = 2.5V$ (for $AV_{DD} = 2.7V$ to $5.25V$), $V_{REF} = 4.096V$ (for $AV_{DD} = 4.5V$ to $5.25V$), $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Supply Rejection Ratio	PSRR	Full-scale output, $AV_{DD} = 2.7V$ to $5.25V$		200		$\mu V/V$
REFERENCE INPUT						
Reference-Input Range	V_{REF}		0.25		AV_{DD}	V
Reference-Input Resistance	R_{REF}	Normal operation (no code dependence)	145	200		$k\Omega$
Reference Leakage Current		Shutdown mode		0.5	1	μA
DAC OUTPUT CHARACTERISTICS						
Output-Voltage Noise		SLOW mode, full scale	Unity gain		85	μV_{RMS}
			Force sense		67	
		FAST mode, full scale	Unity gain		140	
			Force sense		110	
Output-Voltage Range (Note 3)		Unity-gain output		0	AV_{DD}	V
		Force-sense output		0	$AV_{DD}/2$	
DC Output Impedance				38		Ω
Short-Circuit Current		$AV_{DD} = 5V$, OUT_+ to AGND, full scale, FAST mode		57		mA
		$AV_{DD} = 3V$, OUT_+ to AGND, full scale, FAST mode		45		
Power-Up Time		From DV_{DD} , applied until interface is functional	30	60		μs
Wake-Up Time		Coming out of shutdown, outputs settled	40			μs
Output OUT_+ and FB_+ Open-Circuit Leakage Current		Programmed in shutdown mode, force-sense outputs only		0.01		μA
DIGITAL OUTPUTS (UPIO_)						
Output High Voltage	V_{OH}	$I_{SOURCE} = 0.5mA$	$DV_{DD} - 0.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 2mA$			0.4	V
DIGITAL INPUTS (SCLK, \overline{CS}, DIN, \overline{DSP}, UPIO_)						
Input High Voltage	V_{IH}	$DV_{DD} \geq 2.7V$		2.4		V
		$DV_{DD} < 2.7V$		$0.7 \times DV_{DD}$		
Input Low Voltage	V_{IL}	$DV_{DD} > 3.6V$			0.8	V
		$2.7V \leq DV_{DD} \leq 3.6V$			0.6	
		$DV_{DD} < 2.7V$			0.2	
Input Leakage Current	I_{IN}			± 0.1	± 1	μA
Input Capacitance	C_{IN}			10		pF

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.25V$, $DV_{DD} = 1.8V$ to V_{DD} , $AGND = 0$, $DGND = 0$, $V_{REF} = 2.5V$ (for $V_{DD} = 2.7V$ to $5.25V$), $V_{REF} = 4.096V$ (for $V_{DD} = 4.5V$ to $5.25V$), $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PU INPUT						
Input High Voltage	V_{IH-PU}		$DV_{DD} - 200mV$			V
Input Low Voltage	V_{IL-PU}				200	mV
Input Leakage Current	I_{IN-PU}	PU still considered floating when connected to a tri-state bus			± 200	nA
DYNAMIC PERFORMANCE						
Voltage-Output Slew Rate	SR	FAST mode		3.6		V/ μs
		SLOW mode		1.6		
Voltage-Output Settling Time (Note 4), Figure 5	t_s	FAST mode	MAX5580/MAX5581 from code 322 to code 4095 to 0.5 LSB	2	3	μs
			MAX5582/MAX5583 from code 10 to code 1023 to 0.5 LSB	1.5	3	
			MAX5584/MAX5585 from code 3 to code 255 to 0.5 LSB	1	2	
		SLOW mode	MAX5580/MAX5581 from code 322 to code 4095 to 0.5 LSB	3	6	
			MAX5582/MAX5583 from code 10 to code 1023 to 0.5 LSB	2.5	6	
			MAX5584/MAX5585 from code 3 to code 255 to 0.5 LSB	2	4	
FB_ Input Voltage			0	$V_{REF} / 2$		V
FB_ Input Current					0.1	μA
Reference -3dB Bandwidth (Note 5)		Unity gain		200		kHz
		Force sense		150		
Digital Feedthrough		$\overline{CS} = DV_{DD}$, code = zero scale, any digital input from 0 to DV_{DD} and DV_{DD} to 0, $f = 100kHz$		0.1		nV-s
Digital-to-Analog Glitch Impulse		Major carry transition		2		nV-s
DAC-to-DAC Crosstalk		(Note 6)		15		nV-s

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = 2.7V$ to $5.25V$, $DV_{DD} = 1.8V$ to AV_{DD} , $AGND = 0$, $DGND = 0$, $V_{REF} = 2.5V$ (for $AV_{DD} = 2.7V$ to $5.25V$), $V_{REF} = 4.096V$ (for $AV_{DD} = 4.5V$ to $5.25V$), $R_L = 10k\Omega$, $C_L = 100pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER REQUIREMENTS							
Analog Supply Voltage Range	AV_{DD}			2.70		5.25	V
Digital Supply Voltage Range	DV_{DD}			1.8		AV_{DD}	V
Operating Supply Current	$I_{AV_{DD}} + I_{DV_{DD}}$	SLOW mode, all digital inputs at DGND or DV _{DD} , no load, $V_{REF} = 4.096V$	Unity gain		0.9	1.6	mA
			Force sense		1.6	2.4	
		FAST mode, all digital inputs at DGND or DV _{DD} , no load, $V_{REF} = 4.096V$	Unity gain		1.6	4	
			Force sense		2.3	4	
Shutdown Supply Current	$I_{AV_{DD}(SHDN)} + I_{DV_{DD}(SHDN)}$	No clocks, all digital inputs at DGND or DV _{DD} , all DACs in shutdown mode			0.5	1	μA

Note 1: For the force-sense versions, FB₋ is connected to its respective OUT₋, and $V_{OUT} (max) = V_{REF} / 2$, unless otherwise noted.

Note 2: Linearity guaranteed from decimal code 40 to code 4095 for the MAX5580B/MAX5581B (12 bit, B grade), code 20 to code 1023 for the MAX5582/MAX5583 (10 bit), and code 5 to code 255 for the MAX5584/MAX5585 (8 bit).

Note 3: Represents the functional range. The linearity is guaranteed at $V_{REF} = 2.5V$ (for AV_{DD} from 2.7V to 5.25V), and $V_{REF} = 4.096V$ (for $AV_{DD} = 4.5V$ to 5.25V). See the *Typical Operating Characteristics* section for linearity at other voltages.

Note 4: Guaranteed by design.

Note 5: The reference -3dB bandwidth is measured with a 0.1V_{P-P} sine wave on V_{REF} and with full-scale input code.

Note 6: DC crosstalk is measured as follows: outputs of DACA–DACD are set to full scale and the output of DACD is measured. While keeping DACD unchanged, the outputs of DACA–DACC are transitioned to zero scale and the ΔV_{OUT} of DACD is measured.

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

TIMING CHARACTERISTICS—DSP Mode Disabled (3V, 3.3V, 5V Logic) (Figure 1)

(DVDD = 2.7V to 5.25V, AGND = DGND = 0, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	f _{SCLK}	2.7V < DVDD < 5.25V			20	MHz
SCLK Pulse-Width High	t _{CH}	(Note 7)	20			ns
SCLK Pulse-Width Low	t _{CL}	(Note 7)	20			ns
$\overline{\text{CS}}$ Fall to SCLK Rise Setup Time	t _{CSS}		10			ns
SCLK Rise to $\overline{\text{CS}}$ Rise Hold Time	t _{CSH}		5			ns
SCLK Rise to $\overline{\text{CS}}$ Fall Setup Time	t _{CS0}		10			ns
DIN to SCLK Rise Setup Time	t _{DS}		12			ns
DIN to SCLK Rise Hold Time	t _{DH}		5			ns
SCLK Rise to DOUTDC1 Valid Propagation Delay	t _{DO1}	C _L = 20pF, UPIO_ = DOUTDC1 mode			30	ns
SCLK Fall to DOUT_ Valid Propagation Delay	t _{DO2}	C _L = 20pF, UPIO_ = DOUTDC0 or DOUTRB mode			30	ns
$\overline{\text{CS}}$ Rise to SCLK Rise Hold Time	t _{CS1}	MICROWIRE and SPI modes 0 and 3	10			ns
$\overline{\text{CS}}$ Pulse-Width High	t _{CSW}		45			ns
UPIO_ TIMING CHARACTERISTICS						
DOUT Tri-State Time when Exiting DOUTDC0, DOUTDC1, and UPIO Modes	t _{DOZ}	C _L = 20pF, from end of write cycle to UPIO_ in high impedance			100	ns
DOUTRB Tri-State Time from $\overline{\text{CS}}$ Rise	t _{DRBZ}	C _L = 20pF, from rising edge of $\overline{\text{CS}}$ to UPIO_ in high impedance			20	ns
DOUTRB Tri-State Enable Time from 8th SCLK Rise	t _{ZEN}	C _L = 20pF, from 8th rising edge of SCLK to UPIO_ driven out of tri-state			20	ns
$\overline{\text{LDAC}}$ Pulse-Width Low	t _{LDL}	Figure 5	20			ns
$\overline{\text{LDAC}}$ Effective Delay	t _{LDS}	Figure 6	100			ns
$\overline{\text{CLR}}$, $\overline{\text{MID}}$, $\overline{\text{SET}}$ Pulse-Width Low	t _{CMS}	Figure 5	20			ns
GPO Output Settling Time	t _{GP}	Figure 6			100	ns
GPO Output High-Impedance Time	t _{GPZ}				100	ns

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

TIMING CHARACTERISTICS—DSP Mode Disabled (1.8V Logic) (Figure 1)

(DVDD = 1.8V to 2.7V, AGND = DGND = 0, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	f _{SCLK}	1.8V < DVDD < 2.7V			10	MHz
SCLK Pulse-Width High	t _{CH}	(Note 7)	40			ns
SCLK Pulse-Width Low	t _{CL}	(Note 7)	40			ns
$\overline{\text{CS}}$ Fall to SCLK Rise Setup Time	t _{CS}		20			ns
SCLK Rise to $\overline{\text{CS}}$ Rise Hold Time	t _{CSH}		5			ns
SCLK Rise to $\overline{\text{CS}}$ Fall Setup Time	t _{CS0}		10			ns
DIN to SCLK Rise Setup Time	t _{DS}		20			ns
DIN to SCLK Rise Hold Time	t _{DH}		5			ns
SCLK Rise to DOUTDC1 Valid Propagation Delay	t _{DO1}	C _L = 20pF, UPIO_ = DOUTDC1 mode			60	ns
SCLK Fall to DOUT_ Valid Propagation Delay	t _{DO2}	C _L = 20pF, UPIO_ = DOUTDC0 or DOUTRB mode			60	ns
$\overline{\text{CS}}$ Rise to SCLK Rise Hold Time	t _{CS1}	MICROWIRE and SPI modes 0 and 3	20			ns
$\overline{\text{CS}}$ Pulse-Width High	t _{CSW}		90			ns
UPIO_ TIMING CHARACTERISTICS						
DOUT Tri-State Time when Exiting DOUTDC0, DOUTDC1, and UPIO Modes	t _{DOZ}	C _L = 20pF, from end of write cycle to UPIO_ in high impedance			200	ns
DOUTRB Tri-State Time from $\overline{\text{CS}}$ Rise	t _{DRBZ}	C _L = 20pF, from rising edge of $\overline{\text{CS}}$ to UPIO_ in high impedance			40	ns
DOUTRB Tri-State Enable Time from 8th SCLK Rise	t _{ZEN}	C _L = 20pF, from 8th rising edge of SCLK to UPIO_ driven out of tri-state			40	ns
$\overline{\text{LDAC}}$ Pulse-Width Low	t _{LDL}	Figure 5	40			ns
$\overline{\text{LDAC}}$ Effective Delay	t _{LDS}	Figure 6	200			ns
$\overline{\text{CLR}}$, $\overline{\text{MID}}$, $\overline{\text{SET}}$ Pulse-Width Low	t _{CMS}	Figure 5	40			ns
GPO Output Settling Time	t _{GP}	Figure 6			200	ns
GPO Output High-Impedance Time	t _{GPZ}				200	ns

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

TIMING CHARACTERISTICS—DSP Mode Enabled (3V, 3.3V, 5V Logic) (Figure 2)

(DVDD = 2.7V to 5.25V, AGND = DGND = 0, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	fSCLK	2.7V < DVDD < 5.25V			20	MHz
SCLK Pulse-Width High	tCH	(Note 7)	20			ns
SCLK Pulse-Width Low	tCL	(Note 7)	20			ns
$\overline{\text{CS}}$ Fall to SCLK Fall Setup Time	tCSS		10			ns
DSP Fall to SCLK Fall Setup Time	tDSS		10			ns
SCLK Fall to $\overline{\text{CS}}$ Rise Hold Time	tCSH		5			ns
SCLK Fall to $\overline{\text{CS}}$ Fall Delay	tCS0		10			ns
SCLK Fall to $\overline{\text{DSP}}$ Fall Delay	tDS0		10			ns
DIN to SCLK Fall Setup Time	tDS		12			ns
DIN to SCLK Fall Hold Time	tDH		5			ns
SCLK Rise to DOUT_ Valid Propagation Delay	tDO1	C _L = 20pF, UPIO_ = DOUTDC1 or DOUTRB mode			30	ns
SCLK Fall to DOUT_ Valid Propagation Delay	tDO2	C _L = 20pF, UPIO_ = DOUTDC0 mode			30	ns
$\overline{\text{CS}}$ Rise to SCLK Fall Hold Time	tCS1	MICROWIRE and SPI modes 0 and 3	10			ns
$\overline{\text{CS}}$ Pulse-Width High	tCSW		45			ns
$\overline{\text{DSP}}$ Pulse-Width High	tDSW		20			ns
$\overline{\text{DSP}}$ Pulse-Width Low	tDSPWL	(Note 8)	20			ns
UPIO_ TIMING CHARACTERISTICS						
DOUT Tri-State Time when Exiting DOUTDC0, DOUTDC1, and UPIO Modes	tDOZ	C _L = 20pF, from end of write cycle to UPIO_ in high impedance			100	ns
DOUTRB Tri-State Time from $\overline{\text{CS}}$ Rise	tDRBZ	C _L = 20pF, from rising edge of $\overline{\text{CS}}$ to UPIO_ in high impedance			20	ns
DOUTRB Tri-State Enable Time from 8th SCLK Fall	tZEN	C _L = 20pF, from 8th falling edge of SCLK to UPIO_ driven out of tri-state			20	ns
$\overline{\text{LDAC}}$ Pulse-Width Low	tLDL	Figure 5	20			ns
$\overline{\text{LDAC}}$ Effective Delay	tLDS	Figure 6	100			ns
$\overline{\text{CLR}}$, $\overline{\text{MID}}$, $\overline{\text{SET}}$ Pulse-Width Low	tCMS	Figure 5	20			ns
GPO Output Settling Time	tGP	Figure 6			100	ns
GPO Output High-Impedance Time	tGPZ				100	ns

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

TIMING CHARACTERISTICS—DSP Mode Enabled (1.8V Logic) (Figure 2)

(DVDD = 1.8V to 2.7V, AGND = DGND = 0, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Frequency	f _{SCLK}	1.8V < DVDD < 2.7V			10	MHz
SCLK Pulse-Width High	t _{CH}	(Note 7)	40			ns
SCLK Pulse-Width Low	t _{CL}	(Note 7)	40			ns
$\overline{\text{CS}}$ Fall to SCLK Fall Setup Time	t _{CSS}		20			ns
$\overline{\text{DSP}}$ Fall to SCLK Fall Setup Time	t _{DSS}		20			ns
SCLK Fall to $\overline{\text{CS}}$ Rise Hold Time	t _{CSH}		5			ns
SCLK Fall to $\overline{\text{CS}}$ Fall Delay	t _{CS0}		10			ns
SCLK Fall to $\overline{\text{DSP}}$ Fall Delay	t _{DS0}		15			ns
DIN to SCLK Fall Setup Time	t _{DS}		20			ns
DIN to SCLK Fall Hold Time	t _{DH}		5			ns
SCLK Rise to DOUT_ Valid Propagation Delay	t _{DO1}	C _L = 20pF, UPIO_ = DOUTDC1 or DOUTRB mode			60	ns
SCLK Fall to DOUT_ Valid Propagation Delay	t _{DO2}	C _L = 20pF, UPIO_ = DOUTDC0 mode			60	ns
$\overline{\text{CS}}$ Rise to SCLK Fall Hold Time	t _{CS1}	MICROWIRE and SPI modes 0 and 3	20			ns
$\overline{\text{CS}}$ Pulse-Width High	t _{CSW}		90			ns
$\overline{\text{DSP}}$ Pulse-Width High	t _{DSW}		40			ns
$\overline{\text{DSP}}$ Pulse-Width Low	t _{DSPWL}	(Note 8)	40			ns
UPIO_ TIMING CHARACTERISTICS						
DOUT Tri-State Time when Exiting DOUTDC0, DOUTDC1, and UPIO Modes	t _{DOZ}	C _L = 20pF, from end of write cycle to UPIO_ in high impedance			200	ns
DOUTRB Tri-State Time from $\overline{\text{CS}}$ Rise	t _{DRBZ}	C _L = 20pF, from rising edge of $\overline{\text{CS}}$ to UPIO_ in high impedance			40	ns
DOUTRB Tri-State Enable Time from 8th SCLK Fall	t _{ZEN}	C _L = 20pF, from 8th falling edge of SCLK to UPIO_ driven out of tri-state			40	ns
LDAC Pulse-Width Low	t _{LDL}	Figure 5	40			ns
LDAC Effective Delay	t _{LDS}	Figure 6	200			ns
$\overline{\text{CLR}}$, $\overline{\text{MID}}$, $\overline{\text{SET}}$ Pulse-Width Low	t _{CMS}	Figure 5	40			ns
GPO Output Settling Time	t _{GP}	Figure 6			200	ns
GPO Output High-Impedance Time	t _{GPZ}				200	ns

Note 7: In some daisy-chain modes, data is required to be clocked in on one clock edge and the shifted data clocked out on the following edge. In the case of a 0.5 clock-period delay, it is necessary to increase the minimum high/low clock times to 25ns (2.7V) or 50ns (1.8V).

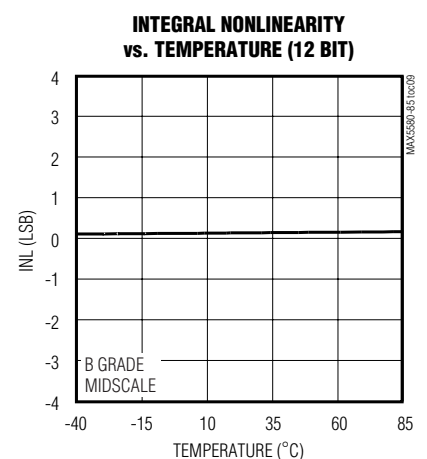
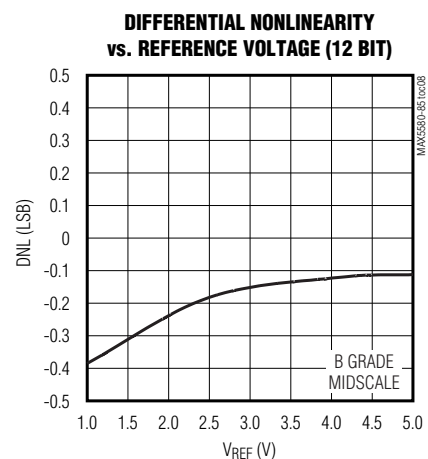
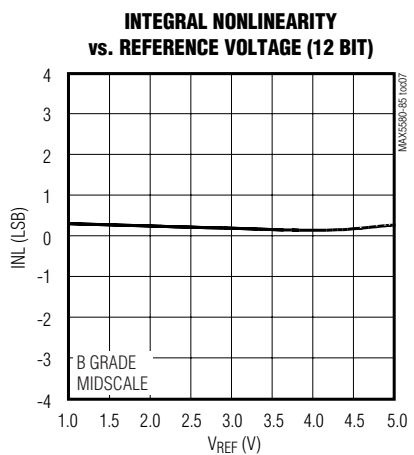
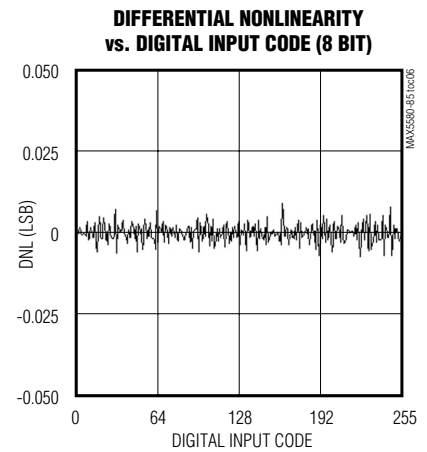
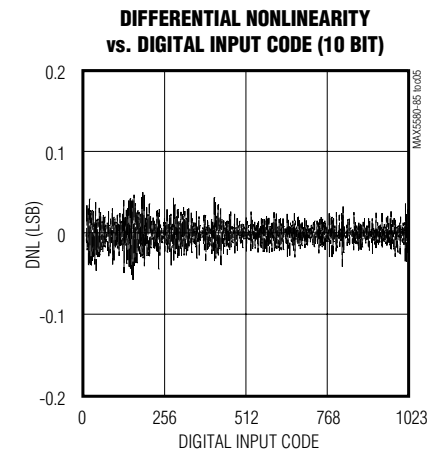
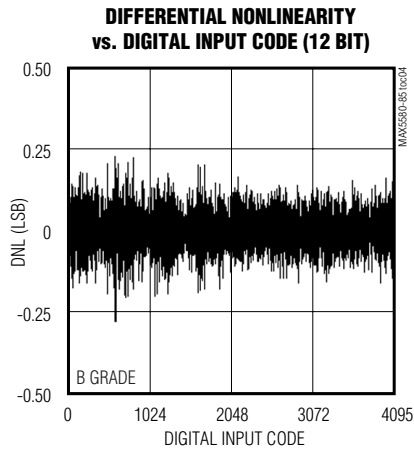
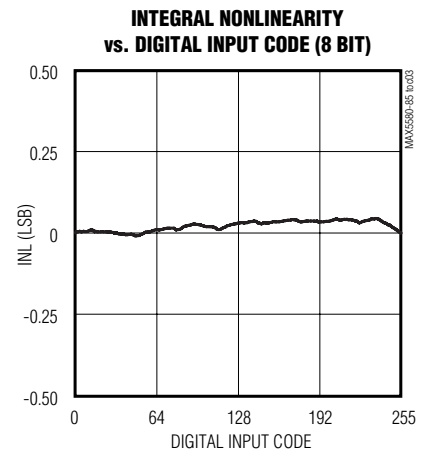
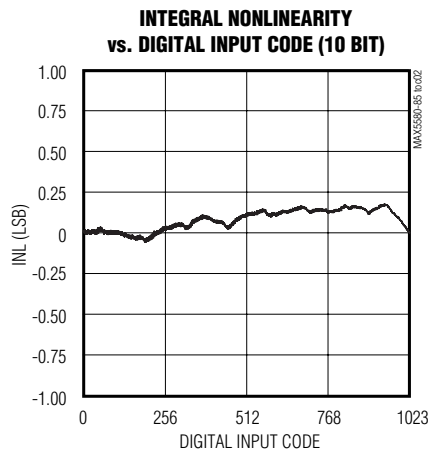
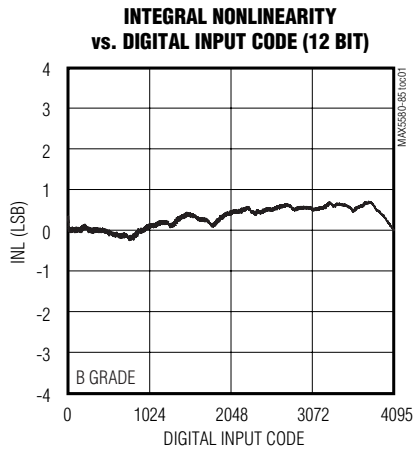
Note 8: The falling edge of $\overline{\text{DSP}}$ starts a DSP-type bus cycle, provided that $\overline{\text{CS}}$ is also active low to select the device. $\overline{\text{DSP}}$ active low and $\overline{\text{CS}}$ active low must overlap by a minimum of 10ns (2.7V) or 20ns (1.8V). $\overline{\text{CS}}$ can be permanently low in this mode of operation.

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

標準動作特性

($AV_{DD} = DV_{DD} = 5V$, $V_{REF} = 4.096V$, $R_L = 10k\Omega$, $C_L = 100pF$, speed mode = FAST, PU = floating, $T_A = +25^\circ C$, unless otherwise noted.)

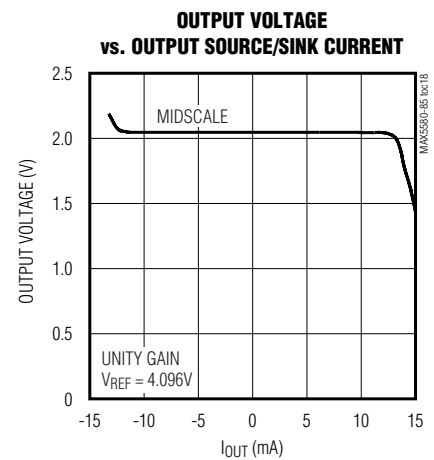
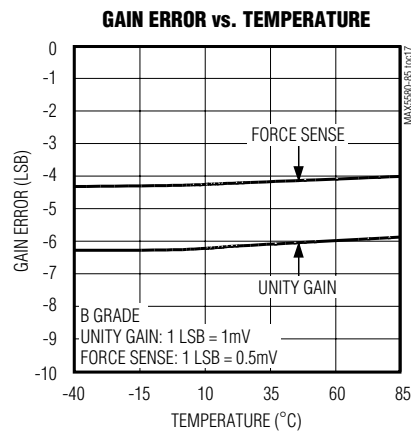
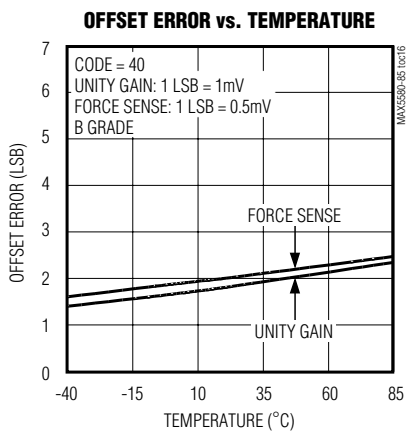
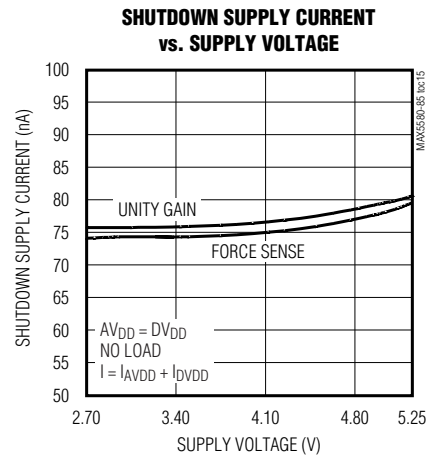
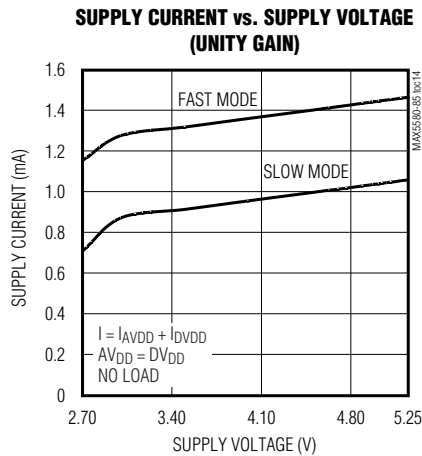
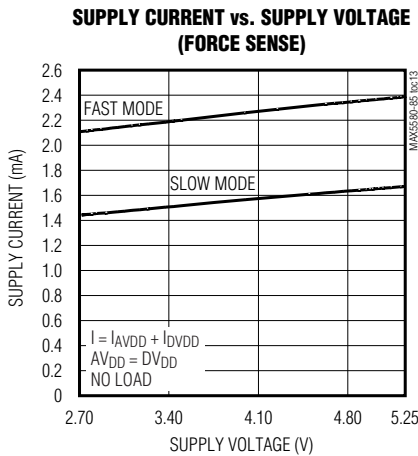
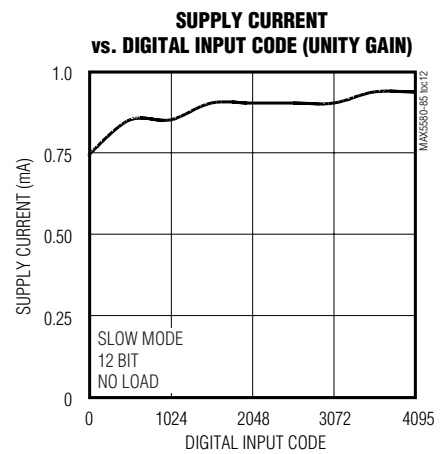
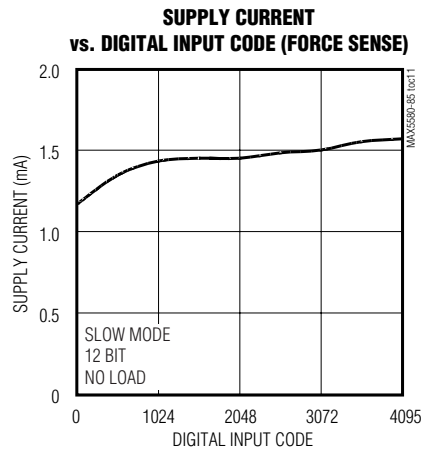
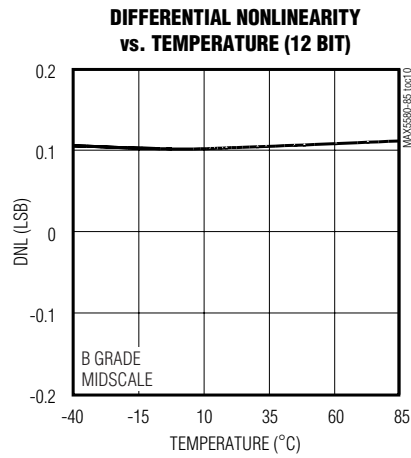


バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

標準動作特性(続き)

($AV_{DD} = DV_{DD} = 5V$, $V_{REF} = 4.096V$, $R_L = 10k\Omega$, $C_L = 100pF$, speed mode = FAST, PU = floating, $T_A = +25^\circ C$, unless otherwise noted.)

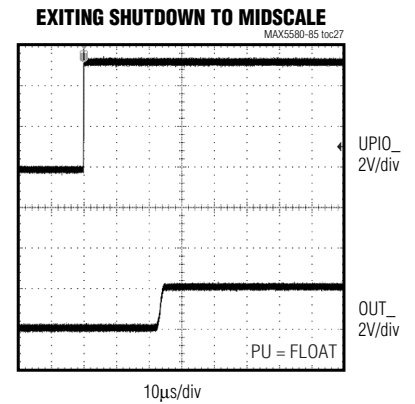
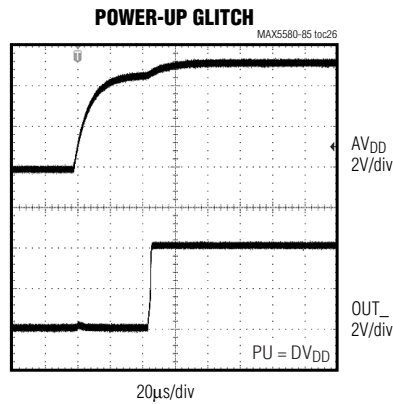
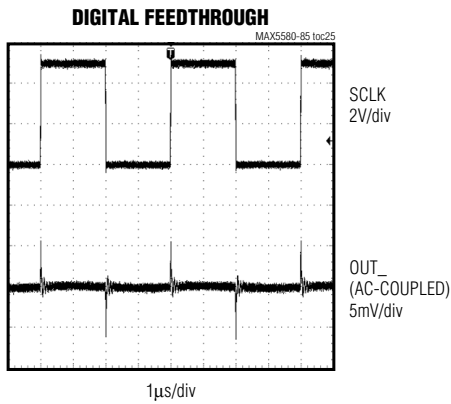
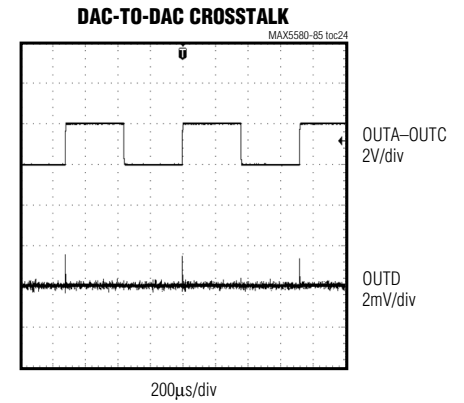
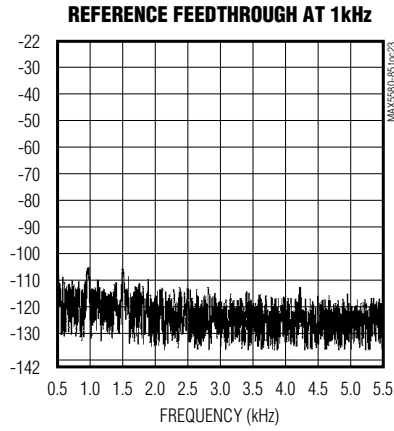
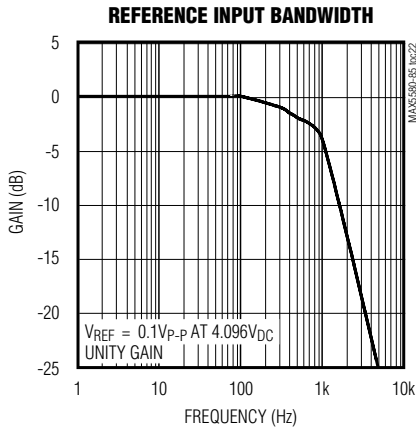
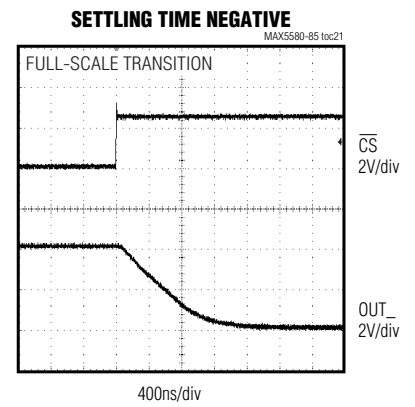
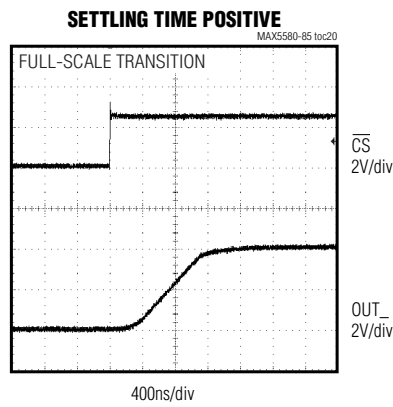
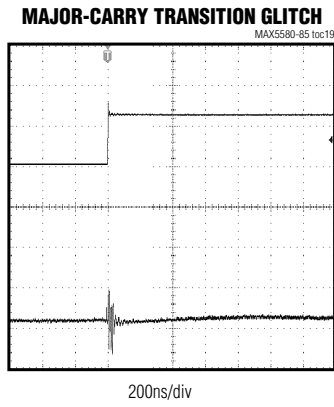


バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

標準動作特性(続き)

($AV_{DD} = DV_{DD} = 5V$, $V_{REF} = 4.096V$, $R_L = 10k\Omega$, $C_L = 100pF$, speed mode = FAST, PU = floating, $T_A = +25^\circ C$, unless otherwise noted.)



バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

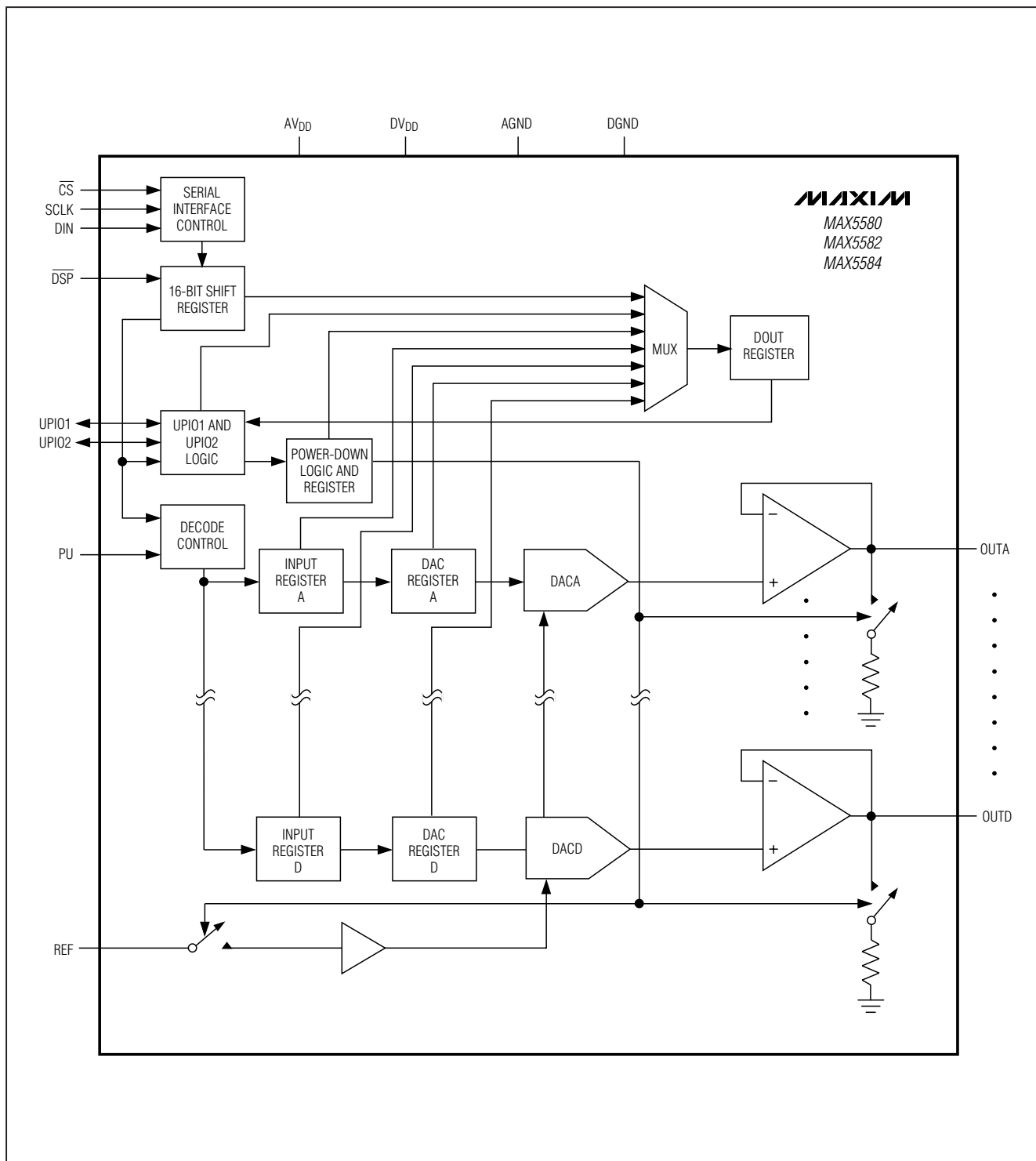
端子説明

端子				名称	機能
MAX5580 MAX5582 MAX5584		MAX5581 MAX5583 MAX5585			
TSSOP	THIN QFN	TSSOP	THIN QFN		
1	19	1	19	AGND	アナロググランド。
2	20	2	20	AV _{DD}	アナログ電源。
3, 5, 17, 19	1, 3, 15, 17	—	—	N.C.	無接続。内部接続なし。
—	—	3	1	FBB	DACB用フィードバック。
4	2	4	2	OUTB	DACB出力。
—	—	5	3	FBA	DACA用フィードバック。
6	4	6	4	OUTA	DACA出力。
7	5	7	5	PU	パワーアップ状態選択入力。電源投入時のOUT ₋ をフルスケールに設定するには、PUをDV _{DD} に接続します。電源投入時のOUT ₋ をゼロスケールに設定するには、PUをDGNDに接続します。電源投入時のOUT ₋ をミッドスケールに設定するには、PUをフローティングにします。
8	6	8	6	\overline{CS}	アクティブローのチップセレクト入力。
9	7	9	7	SCLK	シリアルクロック入力。
10	8	10	8	DIN	シリアルデータ入力。
11	9	11	9	UPIO1	ユーザプログラマブル入力/出力1。
12	10	12	10	UPIO2	ユーザプログラマブル入力/出力2。
13	11	13	11	DV _{DD}	デジタル電源。
14	12	14	12	DGND	デジタルグランド。
15	13	15	13	\overline{DSP}	クロックイネーブル。SCLKの立上りエッジでデータを転送するには、 \overline{DSP} をDV _{DD} に接続します。SCLKの立下りエッジでデータを転送するには、 \overline{DSP} をDGNDに接続します。
16	14	16	14	OUTD	DACD出力。
—	—	17	15	FBD	DACD用フィードバック。
18	16	18	16	OUTC	DACC出力。
—	—	19	17	FBC	DACC用フィードバック。
20	18	20	18	REF	リファレンス入力。
EP	EP	EP	EP	Exposed Pad	エクスポーズドパッド。AGNDに接続します。

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

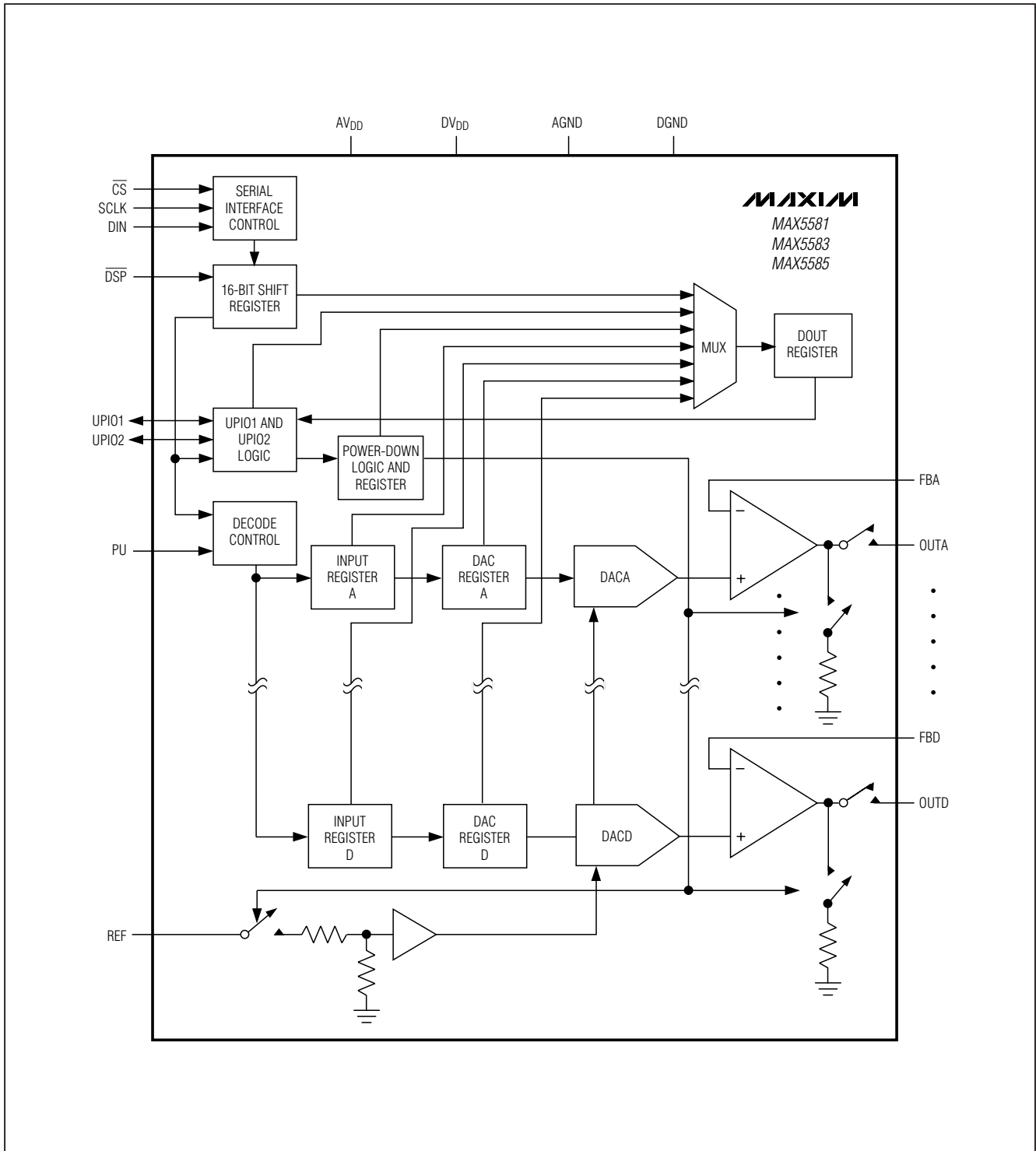
MAX5580-MAX5585

ファンクションダイアグラム



バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

ファンクションダイアグラム(続き)



MAX5580-MAX5585

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

詳細

クワッド、12/10/8ビット、電圧出力DACのMAX5580~MAX5585は、バッファ付き出力を備えており、12ビットレベルにおける最大セトリングタイムが3 μ sです。DACは、2.7V~5.25Vのアナログ単一電源、及び1.8V~AV_{DD}のデジタル電源で動作します。MAX5580~MAX5585は、各チャンネルに対する入力レジスタとDACレジスタ及び16ビットのデータイン/データアウトシフトレジスタを内蔵しています。3線式シリアルインタフェースは、SPI、QSPI、MICROWIRE、及びDSPの各アプリケーションに対応します。MAX5580~MAX5585は、シリアルインタフェースによってプログラムされる2つのユーザプログラマブルデジタルI/Oポートを備えています。外部から選択可能なDAC出力のパワーアップ状態は、ゼロスケール、ミッドスケール、またはフルスケールのいずれかです。

リファレンス入力

リファレンス入力のREFは、電圧範囲がアナロググランド(AGND)からAV_{DD}までのAC及びDCの両方の値を受け入れます。REFにおける電圧はDACのフルスケール出力を設定します。次式を用いて出力電圧を決定します。

ユニティゲインバージョン：

$$V_{OUT} = (V_{REF} \times \text{CODE}) / 2^N$$

フォース/センスバージョン(FBがOUT₋に接続された)：

$$V_{OUT} = 0.5 \times (V_{REF} \times \text{CODE}) / 2^N$$

ここで、CODEはDACの2進入力コードの数値で、Nは分解能(ビット数)です。MAX5580/MAX5581の場合は、N = 12でCODEは0~4095です。MAX5582/MAX5583の場合は、N = 10でCODEは0~1023です。MAX5584/MAX5585の場合は、N = 8でCODEは0~255です。最適な性能を得るには、低ドロップアウト、超低ノイズリファレンスの小型MAX6126を使用してください。

出力バッファ

MAX5580~MAX5585のDACA~DACD出力バッファアンプは、出力電圧スイングがレイルトゥレイルでユニティゲイン安定で、標準スルーレートが3.6V/ μ s (FASTモード)です。MAX5580/MAX5582/MAX5584はユニティゲイン出力を備えています。MAX5581/MAX5583/MAX5585はフォース/センス出力を備えています。MAX5581/MAX5583/MAX5585の場合、出力アンプの反転入力を利用して出力ゲインの設定と信号調整を柔軟に行うことができます(「アプリケーション情報」の項参照)。

MAX5580~MAX5585は、FASTとSLOWのセトリングタイムモードを備えています。SLOWモードでは、セトリングタイムが6 μ s(max)で、消費電流が1.6mA(max)

です。FASTモードでは、セトリングタイムが3 μ s(max)で、消費電流が4mA(max)です。セトリングタイムモードプログラミングの詳細については、「デジタルインタフェース」の項を参照してください。

シリアルインタフェースを使用して、MAX5580/MAX5582/MAX5584ではアンプのシャットダウン出力インピーダンスを1k Ω または100k Ω に設定し、MAX5581/MAX5583/MAX5585では1k Ω またはハイインピーダンスに設定します。DAC出力は、10k Ω (typ)負荷を駆動することができ、最大500pF(typ)の容量性負荷に対して安定です。

パワーオンリセット

電源投入の際、すべてのDAC出力がPU入力の設定に応じてフルスケール、ミッドスケール、またはゼロスケールにパワーアップします。電源投入時にOUT₋をフルスケールに設定するには、PUをDV_{DD}に接続します。電源投入時にOUT₋をゼロスケールに設定するには、PUをデジタルグランド(DGND)に接続します。OUT₋をミッドスケールに設定するには、PUをフローティングにしておきます。

デジタルインタフェース

MAX5580~MAX5585では、SPI、QSPI、MICROWIRE、及びDSPの各プロトコルアプリケーションに対応した3線式シリアルインタフェースを使用します(図1と2)。SCLKの立上りエッジでデータをクロックインするには、電源投入前に \overline{DS} をDV_{DD}に接続します。SCLKの立下りエッジでデータをクロックインするには、電源投入前に \overline{DSP} をDGNDに接続します。電源投入後、デバイスはDSPの最初の立上りエッジでDSPフレーム同期モードに入ります。詳細については、「MAX5580-MAX5585 Programmer's Handbook」を参照してください。

MAX5580~MAX5585は、16ビット、入力シフトレジスタを内蔵しています。データは、シリアルインタフェースを経由して入力シフトレジスタにロードされます。この16ビットは、2つのシリアル8ビットパケットまたは1つの16ビットワードで送信することができます(16ビットすべてが転送されるまで \overline{CS} をローにしておく必要があります)。データは、MSBが最初にロードされます。MAX5580/MAX5581の場合、16ビットは4制御ビット(C3~C0)と12データビット(D11~D0)で構成されます(表1参照)。10ビットのMAX5582/MAX5583デバイスの場合、D11~D2がデータビットでD1とD0がサブビットです。8ビットのMAX5584/MAX5585デバイスの場合、D11~D4がデータビットで、D3~D0がサブビットです。最適な性能を得るには、すべてのサブビットをゼロに設定します。

各DACチャンネルは、入力レジスタとDACレジスタの2個のレジスタを内蔵しています。電源投入の際、DAC出力はPUの状態に従って設定されます。DACは、ダブルバッファ付きで、各チャンネルに対して次のいずれかが可能です。

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

- DACレジスタを更新することなく入力レジスタにロード
- 入力レジスタを更新することなくDACレジスタにロード及びDACレジスタを更新
- 入力レジスタのデータでDACレジスタを更新
- 入力及びDACレジスタを同時に更新

シリアルインタフェースのプログラムコマンド

表2a、2b、及び2cは、MAX5580~MAX5585に対するすべてのシリアルインタフェースのプログラムコマンドを示します。表2aは基本的なDACプログラムコマンドを示し、表2bは拡張機能プログラムコマンドを示し、

表2cは24ビットの読取りコマンドを示します。図3と4は、書き込み動作に対するシリアルインタフェース図を示します。

入力及びDACレジスタへのロード

MAX5580~MAX5585は、各チャネルに対して、16ビットシフトレジスタとこれに続く12ビット入力レジスタ及び12ビットDACレジスタを内蔵しています(「ファンクションダイアグラム」参照)。表3、4、及び5に、入力及びDACレジスタへのロードを処理する重要なコマンドを示してあります。全DACプログラムコマンドについては、表2aを参照してください。

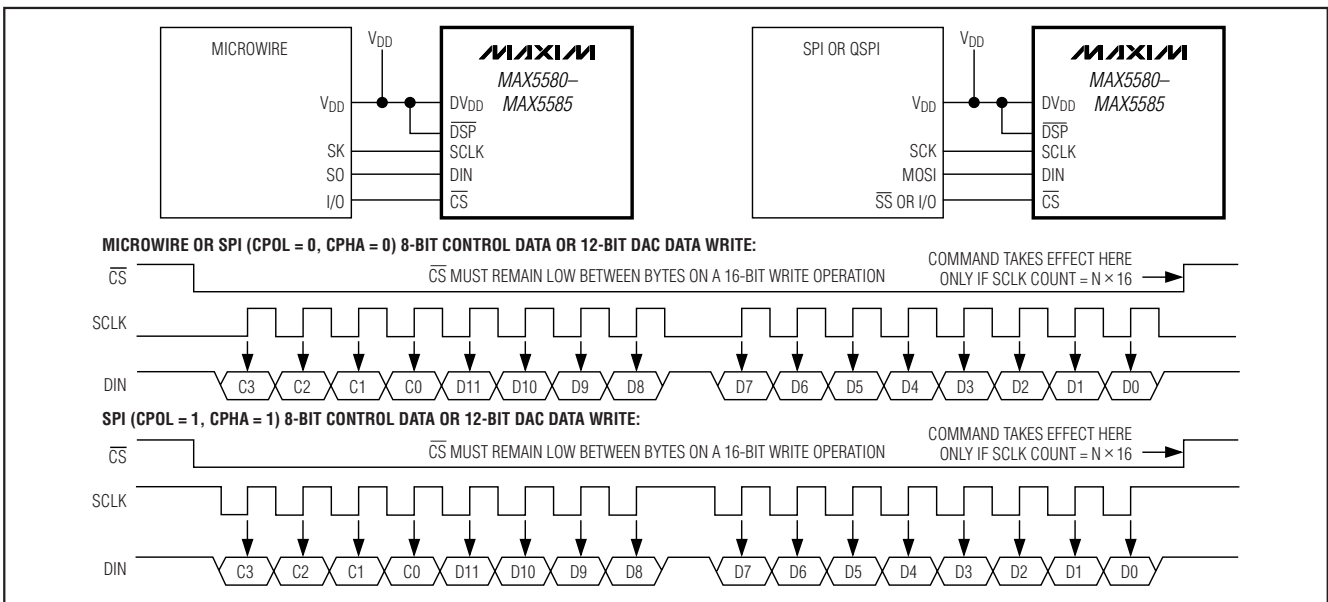


図3. MICROWIRE及びSPIシングルDAC書き込み(CPOL = 0、CPHA = 0、またはCPOL = 1、CPHA = 1)

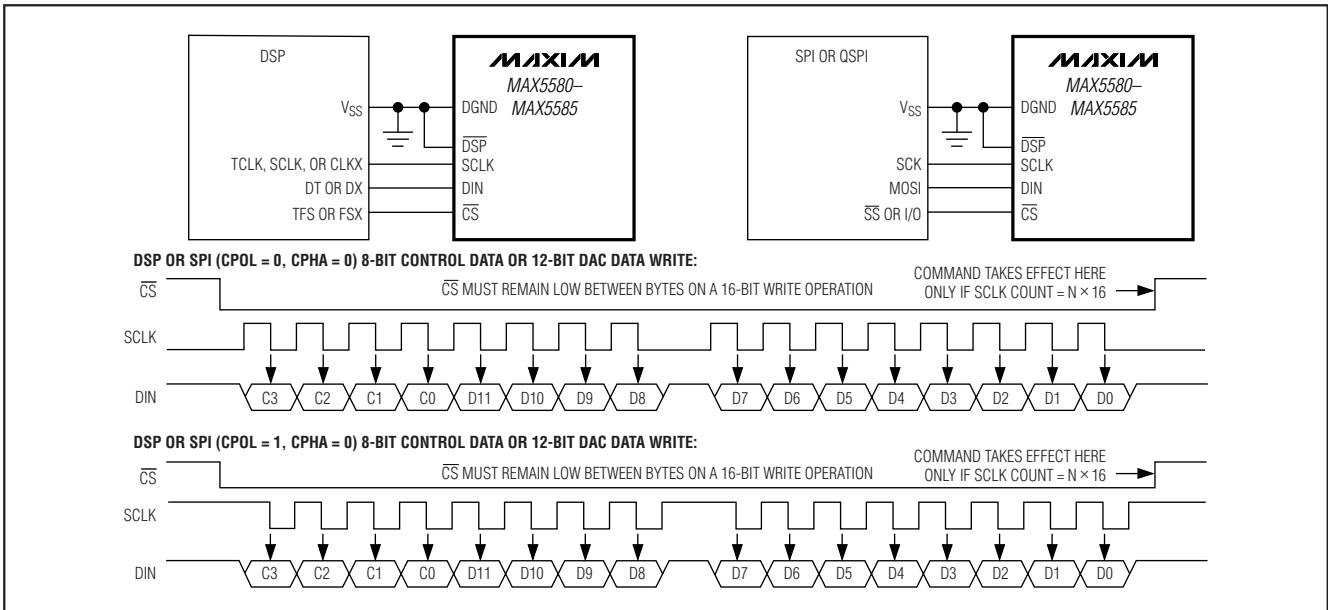


図4. DSP及びSPIシングルDAC書き込み(CPOL = 0、CPHA = 1、またはCPOL = 1、CPHA = 0)

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

表2a. DACのプログラムコマンド

DATA	CONTROL BITS				DATA BITS												FUNCTION
	C3	C2	C1	C0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
INPUT REGISTERS (A-D)																	
DIN	0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACA input register from shift register; DACA output register is unchanged; DACA output is unchanged.*
DIN	0	0	0	1	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACA output register from shift register; input register is unchanged; DACA output is updated.*
DIN	0	0	1	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACA input register and output register from shift register; DACA output is updated.*
DIN	0	0	1	1	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACB input register from shift register; DACB output register is unchanged; DACB output is unchanged.*
DIN	0	1	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACB output register from shift register; input register is unchanged. DACB output is updated.*
DIN	0	1	0	1	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACB input register and output register from shift register; DACB output is updated.*
DIN	0	1	1	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACB input register from shift register; DACB output register is unchanged; DACB output is unchanged.*
DIN	0	1	1	1	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACB output register from shift register; input register is unchanged; DACB output is updated.*
DIN	1	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACB input register and output register from shift register; DACB output is updated.*
DIN	1	0	0	1	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACD input register from shift register; DACD output register is unchanged; DACD output is unchanged.*
DIN	1	0	1	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACD output register from shift register; input register is unchanged; DACD output is updated.*

MAX5580-MAX5585

バッファ付き、高速セトリング、クワッド、
12/10/8ビット、電圧出力DAC

表2a. DACのプログラムコマンド(続き)

DATA	CONTROL BITS				DATA BITS												FUNCTION
	C3	C2	C1	C0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
INPUT REGISTERS (A-D)																	
DIN	1	0	1	1	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load DACD input register and output register from shift register; DACD output is updated.*
DIN	1	1	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load all DAC input registers from the shift register; all DAC output registers are unchanged; all DAC outputs are unchanged.*
DIN	1	1	0	1	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0	Load all DAC input and output registers from shift register; DAC outputs are updated.*

* MAX5582/MAX5583(10ビットバージョン)では、D11~D2は重要ビットであり、D1及びD0はサブビットです。MAX5584/MAX5585(8ビットバージョン)では、D11~D4は重要ビットであり、D3~D0はサブビットです。書き込みコマンドの間は、すべてのサブビットをゼロに設定してください。

表2b. 拡張機能のプログラムコマンド

DATA	CONTROL BITS				DATA BITS												Function
	C3	C2	C1	C0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
SELECT BITS																	
DIN	1	1	1	0	0	0	0	X	X	X	X	X	MD	MC	MB	MA	Load DAC_ output register from input register when M_ is one; DAC_ output register is unchanged if M_ is zero.
SHUTDOWN-MODE BITS																	
DIN	1	1	1	0	0	1	0	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0	Write DAC_ shutdown-mode bits; see Table 8.
DIN	1	1	1	0	0	1	1	X	X	X	X	X	X	X	X	X	Read DAC_ shutdown-mode bits.
DOUTr	X	X	X	X	X	X	X	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0	
UPIO CONFIGURATION BITS																	
DIN	1	1	1	0	1	0	0	X	UPSL2	UPSL1	UP3	UP2	UP1	UP0	X	X	Write UPIO configuration bits; see Table 18.
DIN	1	1	1	0	1	0	1	X	X	X	X	X	X	X	X	X	Read UPIO configuration bits.
DOUTr	X	X	X	X	X	X	X	X	UP3-2	UP2-2	UP1-2	UP0-2	UP3-1	UP2-1	UP1-1	UP0-1	
SETTLING-TIME-MODE BITS																	
DIN	1	1	1	0	1	1	0	X	X	X	X	X	SPDD	SPDC	SPDB	SPDA	Write DAC_ settling-time-mode bits; see Table 11.

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

表2b. 拡張機能のプログラムコマンド(続き)

DATA	CONTROL BITS				DATA BITS												Function			
	C3	C2	C1	C0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0				
DIN	1	1	1	0	1	1	1	X	X	X	X	X	X	X	X	X	Read DAC_ settling-time-mode bits.			
DOU _{TR}	X	X	X	X	X	X	X	X	X	X	X	X	SPDD	SPDC	SPDB	SPDA				
DAC CPOL/CPHA BITS																				
DIN	1	1	1	1	0	0	0	0	X	X	X	X	X	X	CPOL	CPHA	Write CPOL, CPHA control bits.			
DIN	1	1	1	1	0	0	1	X	X	X	X	X	X	X	X	X	Read CPOL, CPHA control bits.			
DOU _{TR}	X	X	X	X	X	X	X	X	X	X	X	X	X	X	CPOL	CPHA				
UPIO_AS GPI (GENERAL-PURPOSE INPUT)																				
DIN	1	1	1	1	0	0	1	X	X	X	X	X	RTP2	LF2	LR2	RTP1	LF1	LR1	Read UPIO_ inputs (valid only when UPIO1 or UPIO2 is configured as a general-purpose input); see Table 21.	
DOU _{TRB}	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	
OTHER COMMANDS																				
DIN	1	1	1	1	1	1	0	0	X	X	X	X	X	X	X	X	X	X	X	Command is ignored.
DIN	1	1	1	1	1	1	0	1	X	X	X	X	X	X	X	X	X	X	X	Command is ignored.
DIN	1	1	1	1	1	1	0	1	X	X	X	X	X	X	X	X	X	X	X	Command is ignored.
DIN	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	16-bit no-op command, all DACs are unaffected.

X = 任意

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

表2c. 24ビット読取りコマンド

DATA	CONTROL BITS								DATA BITS																								FUNCTION
	C3	C2	C1	C0	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
READ INPUT AND DAC REGISTERS A—D																																	
DIN	1	1	1	1	0	1	0	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	X	Read input register A and DAC register A (all 24 bits).**†
DOUTRB	X	X	X	X	X	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	X	Read input register B and DAC register B (all 24 bits).**†	
DIN	1	1	1	1	0	1	0	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	X	Read input register C and DAC register C (all 24 bits).**†	
DOUTRB	X	X	X	X	X	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	X	Read input register D and DAC register D (all 24 bits).**†	

X = 任意

** D23~D12は適正なDAC出力レジスタからの12ビットデータを示します。D11~D0は、それに対応する入力レジスタからの12ビットデータを示します。MAX5582/MAX5583で、D13、D12、D11、及びD0は任意ビットです。MAX5584/MAX5585で、D15~D12及びD3~D0は任意ビットです。

† フリードバックの間、すべての1(0xFF)は全24ビットについてDINにクロックインする必要があり、全24ビットがクロックアウトされるまでコマンドは出されません。全24ビットがクロックアウトされている間は、CSはローに保つ必要があります。

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

DACのプログラミング例：

DACレジスタAの内容を変更せずに(DAC出力を変更せずに)シフトレジスタから入力レジスタAにデータをロードするには、表3のコマンドを使用します。

MAX5580~MAX5585では、表4のコマンドを使用することによって、DACレジスタの内容を変更せずに(DAC出力を変更せずに)シフトレジスタからすべての入力レジスタ(A~D)にデータを同時にロードすることができます。

すべての入力レジスタ(A~D)及びすべてのDACレジスタ(A~D)にデータを同時にロードするには、表5のコマンドを使用します。

10ビットと8ビットのバージョンでは、最良の性能を得るためにサブビット = 0を設定します。

拡張機能

プログラムコマンド

選択ビット(M_l)

選択ビットによって、チャンネルを任意に組み合わせて同時に更新することができます。選択ビットは、各チャンネルの入力レジスタからDACレジスタへのデータのロードを命令します。入力レジスタ「_l」からデータをDACレジスタ「_l」にロードするには、選択ビットM_l = 1を設定します。ここで、「_l」は選択されたチャンネルに応じてA、B、C、またはDで置き換えます。選択ビットM_l = 0を設定すると、そのチャンネルは動作しません(表6)。

選択ビットのプログラミング例：

他のチャンネル(A、C、D)を変更せずに入力レジスタBからDACレジスタBにデータをロードするには、MB = 1とM_l = 0を設定します(表7)。

表3. シフトレジスタから入力レジスタAにデータをロード

DATA	CONTROL BITS				DATA BITS											
DIN	0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0

表4. シフトレジスタから入力レジスタ(A~D)にデータをロード

DATA	CONTROL BITS				DATA BITS											
DIN	1	1	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0

表5. シフトレジスタから入力レジスタ(A~D)及びDACレジスタ(A~D)にデータをロード

DATA	CONTROL BITS				DATA BITS											
DIN	1	1	0	1	D11	D10	D9	D8	D7	D6	D5	D4	D3/0	D2/0	D1/0	D0/0

表6. 選択ビット(M_l)

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	0	0	X	X	X	X	X	X	MD	MC	MB	MA

X = 任意

表7. 選択ビットのプログラミング例

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	0	0	X	X	X	X	X	X	0	0	1	0

X = 任意

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

MAX5580-MAX5585

シャットダウンモードビット(PD_0、PD_1)
各DACを別々にシャットダウンするには、シャットダウンモードビットと制御ビットを使用します。シャットダウンモードビットは、選択されたチャネルの出力状態を決定します。シャットダウン制御ビットは、選択されたチャネルをシャットダウンモードに入れます。DACA~DACDに対してシャットダウンモードを選択するには、表8に従ってPD_0とPD_1を設定します(ここで、「_」は選択されたチャネル(A~D)の1つで置き換えます)。ユニティゲインのバージョンでは、1) 通常動作、2) 出力インピーダンスが1kΩのシャットダウン、3) 出力インピーダンスが100kΩのシャットダウン、の3つの状態が可能です。フォース/センス

バージョンに対する3つの可能な状態は、1) 通常動作、2) 出力インピーダンスが1kΩのシャットダウン、3) 出力がハイインピーダンス状態のシャットダウンです。表9は、シャットダウンモードビットに対する書込みコマンドを示します。表10は、シャットダウン制御ビットの書込み例を示します。このコマンドは、DACAをグラウンドに1kΩでシャットダウンし、DACB~DACDをグラウンドに100kΩでシャットダウンします。

選択したチャネルを正常にシャットダウンするには、必ずシャットダウンモードビットコマンドを最初書き込んだ後で、シャットダウン制御ビットコマンドを書き込んでください。シャットダウン制御ビットコマンドは、シャットダウンモードビットコマンドの後であればいつでも書き込むことができます。シャットダウン制御ビットコマンドを、シャットダウンモードビットコマンドのすぐ後に続ける必要はありません。

表8. シャットダウンモードビット

PD_1	PD_0	DESCRIPTION
0	0	Shutdown with 1kΩ termination to ground on DAC_ output.
0	1	Shutdown with 100kΩ termination to ground on DAC_ output for unity-gain versions. Shutdown with high-impedance output for force-sense versions.
1	0	Ignored.
1	1	DAC_ is powered up in its normal operating mode.

セトリングタイムモードビット(SPD_)

セトリングタイムモードビットは、MAX5580~MAX5585のセトリングタイム(FASTモードまたはSLOWモード)を選択します。FASTモードを選択するにはSPD_ = 1を設定し、SLOWモードを選択するにはSPD_ = 0を設定します。ここで、「_」は選択されたチャネルに応じてA、B、C、またはDによって置き換えます(表11)。FASTモードは最大セトリングタイムが3μsで、SLOWモードは最大セトリングタイムが6μsです。

表9. シャットダウンモードの書込みコマンド

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	0	1	0	X	PDD1	PDD0	PDC1	PDC0	PDB1	PDB0	PDA1	PDA0

X = 任意

表10. シャットダウンモードビットの書込み例

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	0	1	0	X	0	1	0	1	0	1	0	0

X = 任意

表11. セトリングタイムモードの書込みコマンド

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	1	1	0	X	X	X	X	X	SPDD	SPDC	SPDB	SPDA

X = 任意

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

セトリングタイムモードの書込み例：

DACAとDACDをFASTモードに設定し、DACBとDACCをSLOWモードに設定するには、表12のコマンドを使用します。

セトリングタイムモードビットを読み戻すには、表13のコマンドを使用します。

CPOL及びCPHAの制御ビット

MAX5580~MAX5585のCPOL及びCPHA制御ビットは、SPI規格のCPOL及びCPHAビットと同様に規定されます。SCLKの立上りエッジでデータのクロックインを必要とするMICROWIRE及びSPIアプリケーションでは、DACのCPOL及びCPHAビットをCPOL = 0及びCPHA = 0、またはCPOL = 1及びCPHA=1に設定し

ます。SCLKの立下りエッジでデータのクロックインを必要とするDSP及びSPIアプリケーションでは、DACのCPOL及びCPHAビットをCPOL = 0及びCPHA = 1、またはCPOL = 1及びCPHA = 0に設定します(詳細については、「Programmer's Handbook」と表14を参照してください)。電源投入の際、 $\overline{DSP} = DV_{DD}$ であればCPHAのデフォルト値は0であり、 $\overline{DSP} = DGND$ であればCPHAのデフォルト値は1です。電源投入時におけるCPOLのデフォルト値は0です。

CPOL及びCPHAビットに書き込むには、表15のコマンドを使用します。

デバイスのCPOL及びCPHAビットを読み戻すには、表16のコマンドを使用します。

表12. セトリングタイムモードの書込み例

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	1	1	0	X	X	X	X	X	1	0	0	1

X = 任意

表13. セトリングタイムモードの読取りコマンド

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	1	1	1	1	X	X	X	X	X	X	X	X
DOURB	X	X	X	X	X	X	X	X	X	X	X	X	SPDD	SPDC	SPDB	SPDA

X = 任意

表14. CPOL及びCPHAビット

CPOL	CPHA	DESCRIPTION
0	0	Default values at power-up when \overline{DSP} is connected to DV_{DD} . Data is clocked in on the rising edge of SCLK.
0	1	Default values at power-up when \overline{DSP} is connected to $DGND$. Data is clocked in on the falling edge of SCLK.
1	0	Data is clocked in on the falling edge of SCLK.
1	1	Data is clocked in on the rising edge of SCLK.

表15. CPOL及びCPHAの書込みコマンド

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	1	0	0	0	0	X	X	X	X	X	X	CPOL	CPHA

X = 任意

表16. CPOL及びCPHAの読取りコマンド

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	1	0	0	0	1	X	X	X	X	X	X	X	X
DOURB	X	X	X	X	X	X	X	X	X	X	X	X	X	X	CPOL	CPHA

X = 任意

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

UPIOビット(UPSL1、UPSL2、UP0~UP3)

MAX5580~MAX5585は、UPIO1とUPIO2の2つのユーザプログラマブル入力/出力(UPIO)ポートを備えています。これらのポートは、表21に示すように、15種類の設定が可能です。UPIO1とUPIO2は、UPSL1、UPSL2、及びUP0~UP3ビットに書き込むことによって別々にも、同時にプログラムすることができます(表17)。

表18は、設定のためのUPIO1とUPIO2の選択方法を示します。UP0~UP3ビットによって、UPIO1とUPIO2に対する所望機能を選択します(表21)。

UPIOのプログラミング例：

UPIO1のみをLDACとして設定し、UPIO2を変更しないておくには、表19のコマンドを使用します。

UPIO選択及び設定ビットは、UPIO1またはUPIO2をDOUTRB出力として設定するときMAX5580~MAX5585から読み戻すことができます。表20は、UPIOビットの読戻しデータ形式を示します。表20のコマンドを書き込むと、UPIOビットの読取り動作が始まります。データのクロックアウトは、シーケンスの9番目のクロックサイクルで始まります。ビットUP3-2~UP0-2はUPIO2に対するUP3~UP0設定ビットを示し(表21)、ビットUP3-1~UP0-1はUPIO1に対するUP3~UP0設定ビットを示します。

表17. UPIOの書き込みコマンド

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	1	0	0	X	UPSL2	UPSL1	UP3	UP2	UP1	UP0	X	X

X = 任意

表18. UPIOの選択ビット(UPSL1とUPSL2)

UPSL2	UPSL1	UPIO PORT SELECTED
0	0	None selected
0	1	UPIO1 selected
1	0	UPIO2 selected
1	1	Both UPIO1 and UPIO2 selected

表19. UPIOのプログラミング例

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	1	0	0	X	0	1	0	0	0	0	X	X

X = 任意

表20. UPIOの読取りコマンド

DATA	CONTROL BITS								DATA BITS							
DIN	1	1	1	0	1	0	1	X	X	X	X	X	X	X	X	X
DOUTRB	X	X	X	X	X	X	X	X	UP3-2	UP2-2	UP1-2	UP0-2	UP3-1	UP2-1	UP1-1	UP0-1

X = 任意

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

UPIOの設定

表21は、UPIO1とUPIO2に関する可能な設定を示します。UPIO1とUPIO2では、UP3～UP0設定ビットを設定することによって選択された機能が使用することができます。

LDAC

LDACは、DACレジスタのロードを制御します。LDACがハイのときDACレジスタがラッチされ、入力レジスタの内容が変化してもDACレジスタの内容やDAC出力に影響しません。LDACがローのときDACレジスタは透過であり、入力レジスタに保存された値はDACレジスタに直接ロードされ、DAC出力が更新されます。

入力レジスタからこれに対応するDACレジスタに非同期でデータをロードするには、LDACをローに駆動します(シャットダウン状態のDACはシャットダウンのままです)。LDAC入力に対して、CS、SCLK、またはDINがアクティブである必要はありません。LDACがCS(いずれかのDAC入力レジスタの値を変更するシリアルコマンドを実行)の立上りエッジに同期してローになると、LDACはCSの立上りエッジに続いて少なくとも120nsの間アクティブな状態を持続する必要があります。この条件は、DAC入力レジスタの値を変更するシリアルコマンドのみに適用されます。タイミングの詳細については、図5と6を参照してください。

表21. UPIO設定レジスタのビット(UP3～UP0)

UPIO CONFIGURATION BITS				FUNCTION	DESCRIPTION
UP3	UP2	UP1	UP0		
0	0	0	0	LDAC	Active-Low Load DAC Input. Drive low to asynchronously load all DAC registers with data from input registers.
0	0	0	1	SET	Active-Low Input. Drive low to set all input and DAC registers to full scale.
0	0	1	0	MID	Active-Low Input. Drive low to set all input and DAC registers to midscale.
0	0	1	1	CLR	Active-Low Input. Drive low to set all input and DAC registers to zero scale.
0	1	0	0	PDL	Active-Low Power-Down Lockout Input. Drive low to disable software shutdown.
0	1	0	1	Reserved	This mode is reserved. Do not use.
0	1	1	0	SHDN1K	Active-Low 1kΩ Shutdown Input. Overrides PD_1 and PD_0 settings. For the MAX5580/MAX5582/MAX5584, drive SHDN1K low to pull OUTA–OUTD to AGND with 1kΩ. For the MAX5581/MAX5583/MAX5585, drive SHDN1K low to leave OUTA–OUTD high impedance.
0	1	1	1	SHDN100K	Active-Low 100kΩ Shutdown Input. Overrides PD_1 and PD_0 settings. For the MAX5580/MAX5582/MAX5584, drive SHDN100K low to pull OUTA–OUTD to AGND with 100kΩ. For the MAX5581/MAX5583/MAX5585, drive low to leave OUTA–OUTD high impedance.
1	0	0	0	DOUTRB	Data Read-Back Output
1	0	0	1	DOUTDC0	Mode 0 Daisy-Chain Data Output. Data is clocked out on the falling edge of SCLK.
1	0	1	0	DOUTDC1	Mode 1 Daisy-Chain Data Output. Data is clocked out on the rising edge of SCLK.
1	0	1	1	GPI	General-Purpose Logic Input
1	1	0	0	GPOL	General-Purpose Logic-Low Output
1	1	0	1	GPOH	General-Purpose Logic-High Output
1	1	1	0	TOGG	Toggle Input. Toggles DAC outputs between data in input registers and data in DAC registers. Drive low to set all DAC outputs to values stored in input registers. Drive high to set all DAC outputs to values stored in DAC registers.
1	1	1	1	FAST	Fast/Slow Settling-Time-Mode Input. Drive low to select FAST (3μs) mode or drive high to select SLOW (6μs) settling mode. Overrides the SPDA–SPDD settings.

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

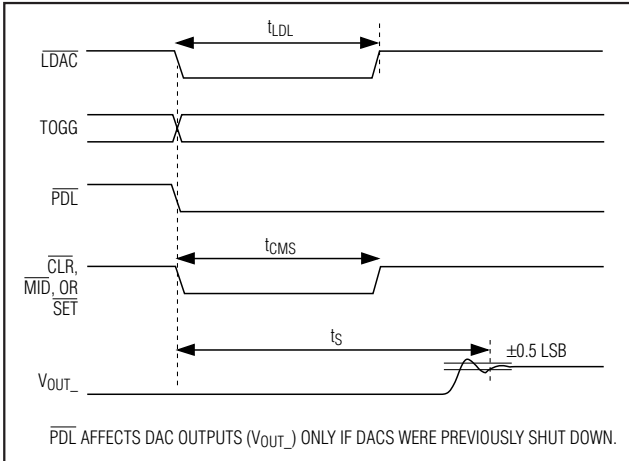


図5. 非同期信号のタイミング

SET、MID、CLR

SET、MID、及びCLRの各信号は、DAC出力を強制的にフルスケール、ミッドスケール、またはゼロスケールに駆動します(図5)。これらの信号は、同時にアクティブにはなりません。

アクティブローのSET入力は、SETがローのときDAC出力を強制的にフルスケールに駆動します。SETがハイのとき、DAC出力はDACレジスタのデータを出力します。

アクティブローのMID入力は、MIDがローのときDAC出力を強制的にミッドスケールにします。MIDがハイのとき、DAC出力はDACレジスタのデータを出力します。

アクティブローのCLR入力は、CLRがローのときDAC出力を強制的にゼロスケールにします。CLRがハイのとき、DAC出力はDACレジスタのデータを出力します。

CLR、MID、またはSET信号が書き込みコマンド中にローになる場合、データを再ロードして正確な結果を保証します。

パワーダウンロックアウト(PDL)

PDLアクティブローのソフトウェアシャットダウンロックアウト入力は、PD_0とPD_1シャットダウンモードビットを無効(上書きではなく)にします。PDLは、SHDN1KまたはSHDN100Kと同時にアクティブにはなり得ません(「シャットダウンモード(SHDN1K、SHDN100K)」の項参照)。

PDLがローになる前にPD_0及びPD_1ビットがDACにシャットダウンを命令すると、PDLがハイになった直後にDACはシャットダウンモードに戻ります。ただし、PD_0及びPD_1ビットはその間にシリアルインタフェースによって変更されないものとします。

シャットダウンモード(SHDN1K、SHDN100K)

SHDN1KとSHDN100Kは、PD_1及びPD_0ビット設定を無効にする(上書きではなく)アクティブロー信号です。

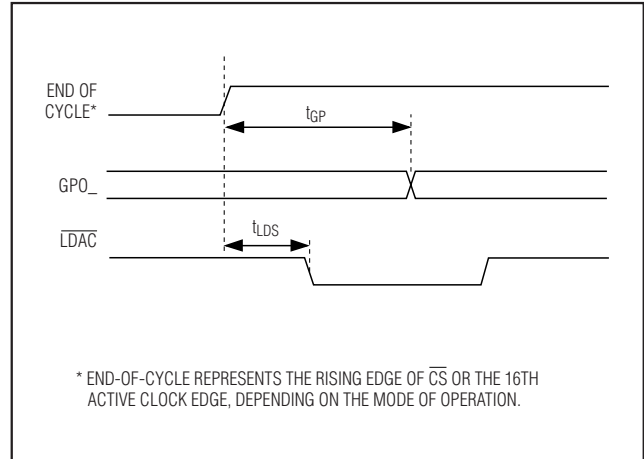


図6. GPO_及びLDAC信号のタイミング

MAX5580/MAX5582/MAX5584の場合、OUTA～OUTDがグランドに1kΩで内部終端されたシャットダウンモードを選択するにはSHDN1Kをローに駆動し、100kΩの内部終端でのシャットダウンモードを選択するにはSHDN100Kをローに駆動します。MAX5581/MAX5583/MAX5585の場合、1kΩの出力終端のシャットダウンモードにするにはSHDN1Kをローに駆動し、ハイインピーダンス出力のシャットダウンにするにはSHDN100Kをローに駆動します。

データ出力(DOUTRB、DOUTDC0、DOUTDC1)

UPIO1とUPIO2は、シリアルデータ出力DOUTRB(読戻し用データアウト)、DOUTDC0(デジチェーン用データアウト、モード0)、及びDOUTDC1(デジチェーン用データアウト、モード1)として設定することができます。DOUTRBとDOUTDC0(または、DOUTDC1)の違いは以下の通りです。

- DOUTRBの読戻しデータ源は、DOUTレジスタです。デジチェーンDOUTDC_データはシフトレジスタから直接得られます。
- DOUTRBの読戻しデータは、DAC読取りコマンドの後のみ存在します。デジチェーンデータは、最初の16ビットが書き込まれた後、すべてのDAC書き込み用DOUTDC_に存在します。
- 読戻し用DOUTRBアイドル状態(\overline{CS} = ハイ)は、ハイインピーダンスです。デジチェーンDOUTDC_は、非アクティブのときハイのアイドル状態にあり、デジチェーンにおける次のデバイスのデータ入力が入力フローティングになるのを防止します。

タイミングの詳細については、図1と2を参照してください。

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

GPI、GPOL、GPOH

UPIO1とUPIO2は、各々、汎用入力(GPI)、汎用出力ロー(GPOL)、または汎用出力ハイ(GPOH)として設定することができます。

GPIは、μPまたはマイクロコントローラからの割込み検出に使用することができます。GPIには下記の3つの機能があります。

- 1) 読取り時にGPIで信号をサンプリング(RTP1とRTP2)
- 2) 最終読取り以後またはリセット以後に立下りエッジが発生したかどうかを検出(LF1とLF2)
- 3) 最終読取り以後またはリセット以後に立下りエッジが発生したかどうかを検出(LR1とLR2)

RTP1、LF1、及びLR1は、UPIO1から読み取られたデータを表わし、RTP2、LF2、及びLR2は、UPIO2から読み取られたデータを表わします。

GPIとして設定されたUPIOの読取りコマンドを発生させるには、表22のコマンドを使用します。

コマンドが発生すると、RTP1とRTP2はそれぞれUPIO1またはUPIO2における読取り時点での入力のリアルタイムステータス(0または1)を出力します。

LF2またはLF1が1であれば、最終読取りまたはリセット以後に、それぞれUPIO1またはUPIO2入力に立下りエッジが現れます。LR2またはLR1が1であれば、最終読取りまたはリセット以後に立上りエッジが現れます。

GPOLは常にローを出力し、GPOHは常にハイを出力します。図6を参照してください。

TOGG

TOGG入力を使用して、入力レジスタとDACレジスタの値の間でDAC出力をトグルします。TOGG信号で新しい値と過去に保存された値が確実に切り替わるには、前の書込みコマンドの終了時点から100ns以上後である必要があります。TOGG = 0のとき、出力は入力レジスタの情報に従います。TOGG = 1のとき、出力はDACレジスタの情報に従います(図5)。

FAST

MAX5580~MAX5585には、FAST(3μs、max)とSLOW(6μs、max)の2つのセトリングタイムモードオプションがあります。FASTモードを選択するにはFASTをローに駆動し、SLOWモードを選択するにはFASTをハイに駆動します。これで、SPDA~SPDDビット設定が無効(上書きではなく)になります。

表22. GPIの読取りコマンド

DATA	CONTROL BITS								DATA BITS								
	DIN	1	1	1	0	0	1	X	X	X	X	X	X	X	X	X	
DOUTRB	X	X	X	X	X	X	X	X	X	X	X	RTP2	LF2	LR2	RTP1	LF1	LR1

X = 任意

表23. ユニポーラコード表(ゲイン = +1)

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
1111	1111	1111	+VREF (4095 / 4096)
1000	0000	0001	+VREF (2049 / 4096)
1000	0000	0000	+VREF (2048 / 4096) = VREF / 2
0111	1111	1111	+VREF (2047 / 4096)
0000	0000	0001	+VREF (1 / 4096)
0000	0000	0000	0

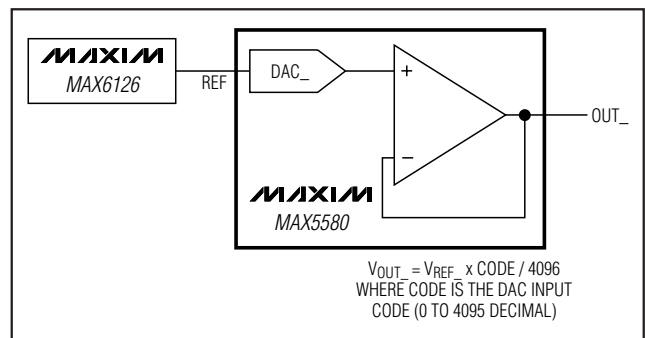


図7. ユニポーラ出力回路

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

アプリケーション情報

ユニポーラ出力

図7は、ユニポーラ出力構成のユニティゲインMAX5580を示します。表23は、ユニポーラ出力コードを示します。

バイポーラ出力

MAX5580出力は、図8に示すように、バイポーラ動作用に設定することができます。出力電圧は、次式で表わされます。

$$V_{OUT_} = V_{REF} \times (\text{CODE} - 2048) / 2048$$

ここで、CODEはDACの2進入力コード(10進0~4095)の数値を表わします。表24は、デジタルコードとこれに対応する図8の回路の出力電圧を示します。

設定可能な出力ゲイン

MAX5581/MAX5583/MAX5585は、フォース/センス出力を備えており、この出力は出力オペアンプの反転端子に直接接続されているため、きわめて高い自由度があります。フォース/センス出力の長所は、所定のアプリケーションに対して特定のゲインを外部で設定可能なことです。MAX5581/MAX5583/MAX5585のゲイン誤差は、ユニティゲイン構成(オペアンプ出力と反転入力端子が接続された構成)で規定されており、これ以外に外付け抵抗器の許容差によるゲイン誤差が生じます。フォース/センスDACを使用すると、多くの有用な回路がわずかな外付け部品だけで構成可能です。

MAX5581のフォース/センス出力を使用したカスタムの、固定ゲインの例を図9に示します。この例では、外部リファレンスが1.25Vに設定され、ゲインは外付けディスクリット抵抗器を用いて+1.1V/Vに設定されており、約0~1.375VのDAC出力電圧が得られます。

$$V_{OUT} = [(0.5 \times V_{REF_} \times \text{CODE}) / 4096] \times [1 + (R2 / R1)]$$

ここで、CODEはDACの2進入力コードの数値(10進0~4095)を表わします。

この例では、ゲイン = 1.1V/Vを設定するために、R2 = 12kΩでR1 = 10kΩとしてあります。

$$V_{OUT} = [(0.5 \times 1.25V \times \text{CODE}) / 4096] \times 2.2$$

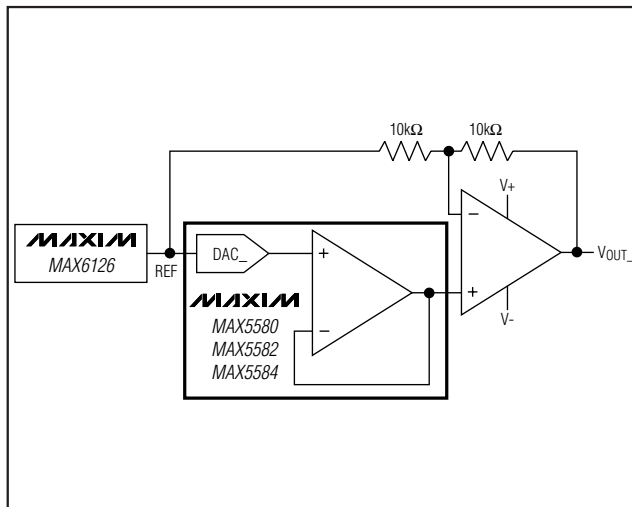


図8. バイポーラ出力回路

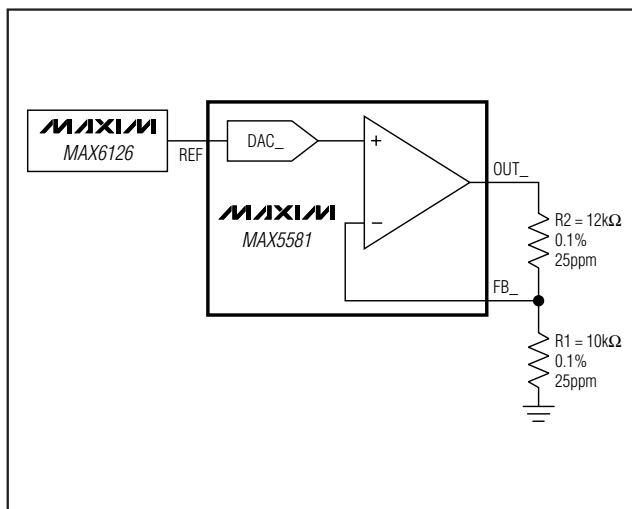


図9. 設定可能な出力ゲイン

表24. バイポーラコード表(ゲイン = +1)

DAC CONTENTS			ANALOG OUTPUT
MSB	LSB		
1111	1111	1111	+VREF (2047 / 2048)
1000	0000	0001	+VREF (1 / 2048)
1000	0000	0000	0
0111	1111	1111	-VREF (1 / 2048)
0000	0000	0001	-VREF (2047 / 2048)
0000	0000	0000	-VREF (2048 / 2048) = -VREF

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

電源及びレイアウトに関して

0.1 μ Fのコンデンサと10 μ Fのコンデンサを並列にして、AGNDとDGNDに接続し、アナログ及びデジタル電源をバイパスします(図10)。リードのインダクタンスを減らすために長さをできる限り短くしてください。遮蔽やフェライトビーズを使用してアイソレーションを強化します。

デジタル及びAC過渡信号がAGNDに結合すると、出力にノイズを発生します。AGNDを可能な範囲で最高品質のグラウンドに接続します。インダクタンスの小さい

グラウンド面のある多層基板など、適切な接地方法を使用してください。ワイヤラップボードやソケットの使用は避けてください。最適なシステム性能を得るには、アナログとデジタルのグラウンド面が別々になったプリント基板を使用します。これら2つのグラウンド面を、低インピーダンスの電源に接続してください。

AV_{DD}とDV_{DD}に別電源を使用すると、ノイズ耐性が向上します。AGNDとDGNDは、低インピーダンスの電源に接続してください(図11)。

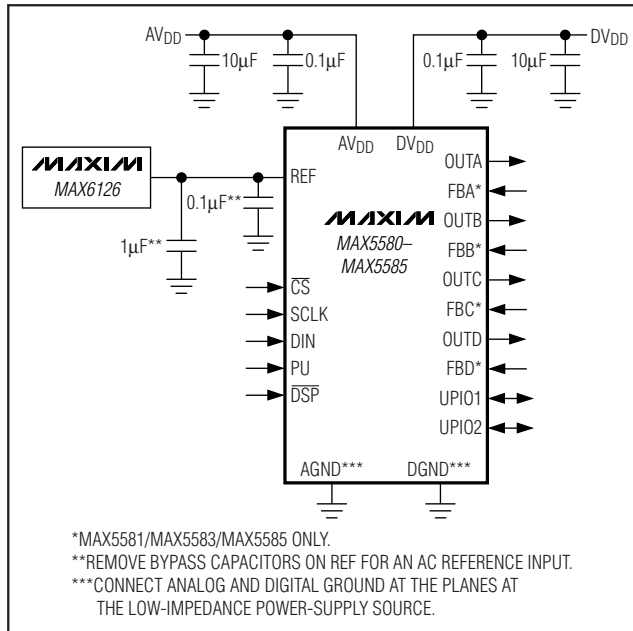


図10. 電源AV_{DD}、DV_{DD}、及びREFのバイパス

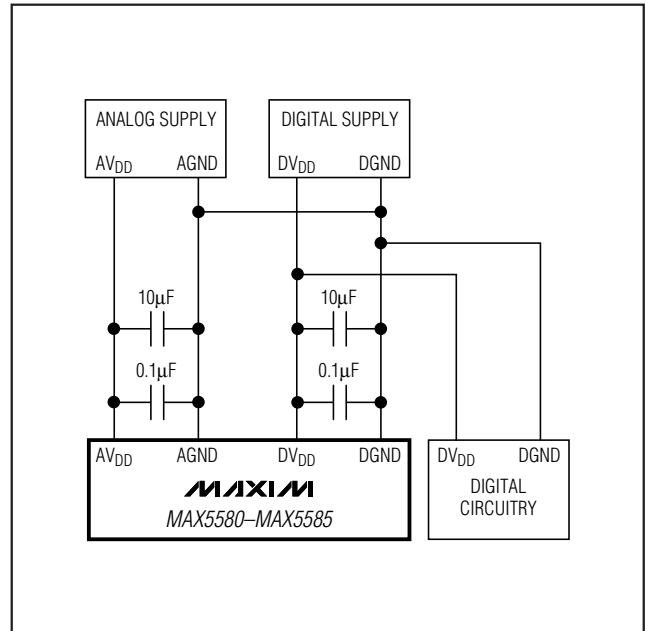
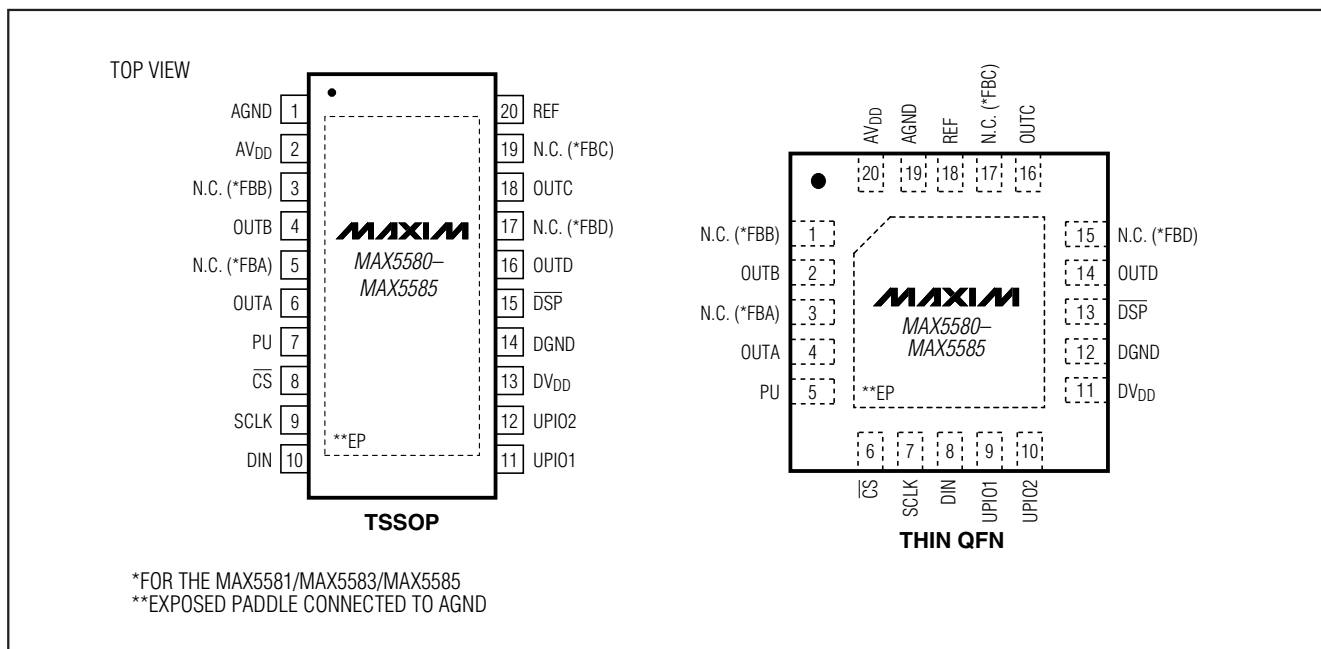


図11. 独立のアナログ及びデジタル電源

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

ピン配置



型番(続き)

PART	TEMP RANGE	PIN-PACKAGE
MAX5580BEUP	-40°C to +85°C	20 TSSOP-EP**
MAX5580BETP	-40°C to +85°C	20 Thin QFN-EP**
MAX5581 AEUP*	-40°C to +85°C	20 TSSOP-EP**
MAX5581AETP*	-40°C to +85°C	20 Thin QFN-EP**
MAX5581BEUP	-40°C to +85°C	20 TSSOP-EP**
MAX5581BETP	-40°C to +85°C	20 Thin QFN-EP**
MAX5582 EUP	-40°C to +85°C	20 TSSOP-EP**
MAX5582ETP	-40°C to +85°C	20 Thin QFN-EP**
MAX5583 EUP	-40°C to +85°C	20 TSSOP-EP**
MAX5583ETP	-40°C to +85°C	20 Thin QFN-EP**
MAX5584 EUP	-40°C to +85°C	20 TSSOP-EP**
MAX5584ETP	-40°C to +85°C	20 Thin QFN-EP**
MAX5585 EUP	-40°C to +85°C	20 TSSOP-EP**
MAX5585ETP	-40°C to +85°C	20 Thin QFN-EP**

* 開発中の製品。入手性についてはお問い合わせください。
暫定仕様。

** EP = エクスポートパッド

チップ情報

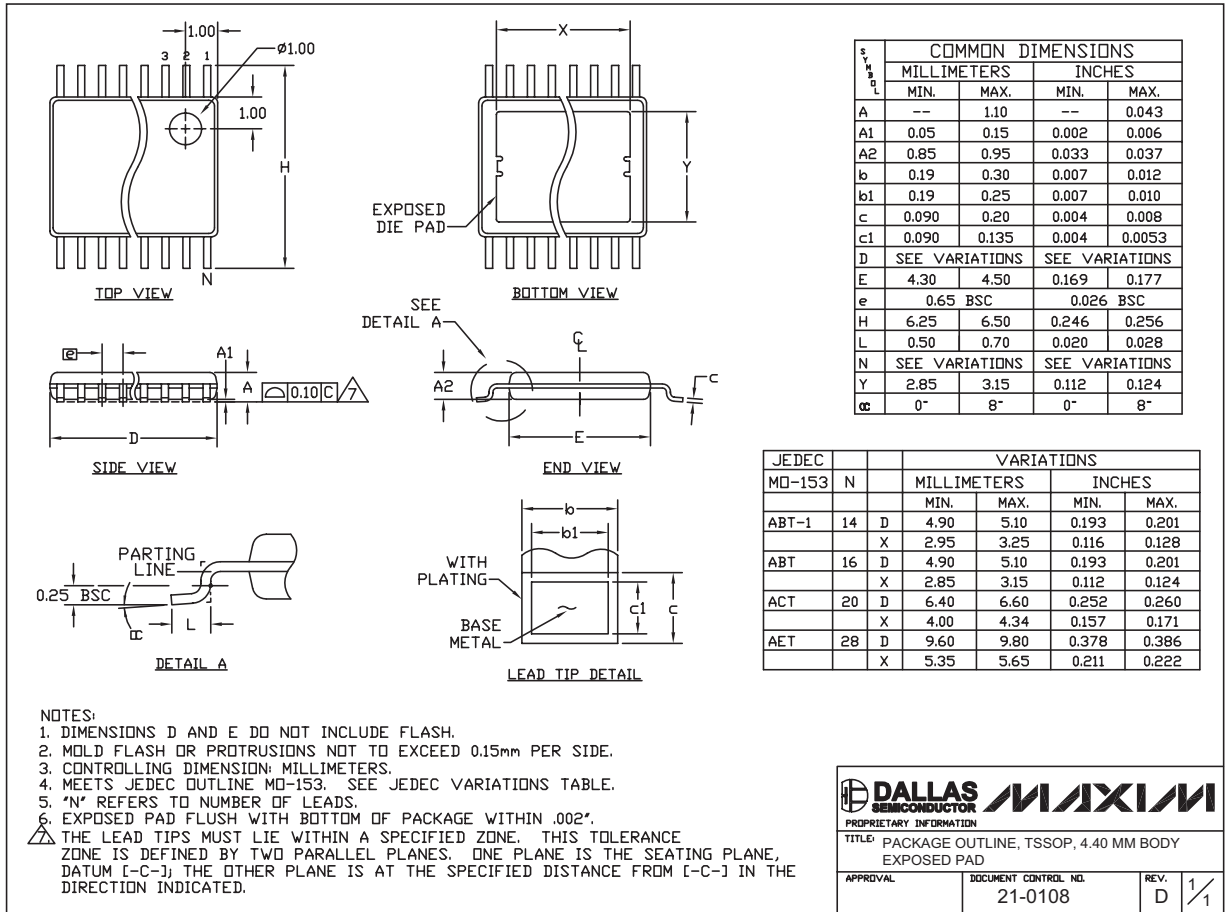
TRANSISTOR COUNT: 24,393

PROCESS: BiCMOS

バッファ付き、高速セトリング、クワッド、 12/10/8ビット、電圧出力DAC

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



TSSOP 4.4mm BODY:EPS

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

34 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**