

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

概要

MAX5548はデュアル、8ビット、デジタル-アナログコンバータ(DAC)で、大出力電流能力が特長です。MAX5548はDAC当たり最大30mAを供給し、PINダイオードバイアスアプリケーションに最適です。また、出力は、大電流アプリケーション(最大60mA、typ)用に並列化も可能です。MAX5548は+2.7V~+5.25Vの単一電源で動作し、通常動作での標準消費電流はDAC当たり1.5mAで、シャットダウンモードでは1 μ A(max)以下です。また、MAX5548は、外付けPINダイオードをオフにするのに不可欠なシャットダウンモード($\pm 1\mu$ A、max)における低出力漏洩電流が特長です。

その他の機能としては、+1.25Vの内部バンドギャップリファレンス、高精度および低ノイズ性能を実現する制御アンプなどがあります。独立したリファレンス入力(REFIN)を通じて、MAX6126などの外部リファレンスソースを使用することができ、利得精度が向上します。ピン選択可能なI²C/SPI™対応シリアルインタフェースによって、MAX5548は最適な柔軟性が得られます。プログラマブルな出力電流の最大値は、ソフトウェアおよび可変抵抗を使って設定します。

MAX5548は3mm x 3mmの16ピンTQFNパッケージで提供され、拡張温度範囲(-40°C~+85°C)での動作が保証されています。

アプリケーション

PINダイオードバイアス
RF減衰器制御
VCO同調

SPIはMotorola, Inc.の商標です。

ピン配置はデータシートの最後に記載されています。

特長

- ◆ ピン選択可能なI²CまたはSPI対応インタフェース
- ◆ シャットダウンモード($\pm 1\mu$ A、max)で低出力漏洩電流を保証
- ◆ 拡張温度範囲で単調動作を保証
- ◆ デュアル出力でバランスのとれたシステム
- ◆ 電流出力はDAC当たり最大30mAを供給
- ◆ 60mAアプリケーション用の並列可能な出力
- ◆ RFフィルタで安定した出力
- ◆ 内部または外部リファレンス機能
- ◆ SPIモードにおけるデジチーチェーン用デジタル出力(DOUT)
- ◆ 単一電源動作：+2.7V~+5.25V
- ◆ 16ピンTQFNパッケージ(3mm x 3mm)
- ◆ ソフトウェアおよび可変抵抗によって設定されるプログラマブルな出力電流範囲

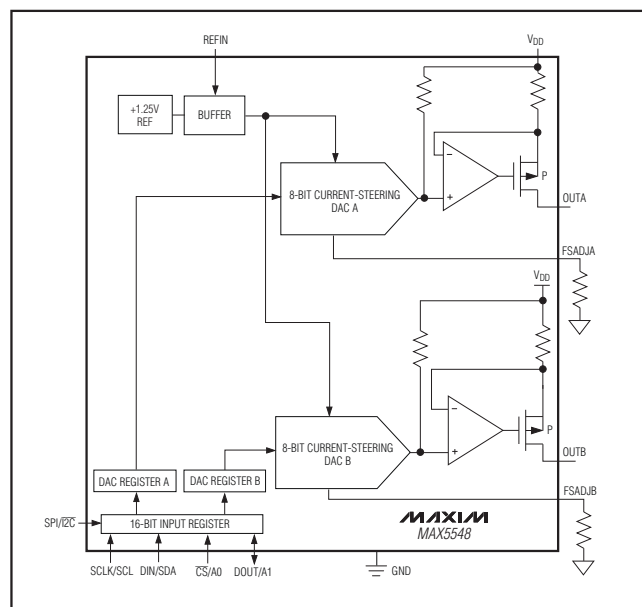
型番

PART	PIN-PACKAGE	PKG CODE	TOP MARK
MAX5548ETE	16 Thin QFN-EP*	T1633F-3	ACY

*EP = エクスポートパッド

注：デバイスは-40°C~+85°Cの動作範囲での動作が保証されています。

ファンクションダイアグラム



デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

MAX5548

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +6V
 OUTA, OUTB to GND-0.3V to (V_{DD} + 0.3V)
 REFIN CS/AO, DOUT/AI, SPI/I²C, FSADJA,
 FSADJB to GND-0.3V to (V_{DD} + 0.3V)
 SCLK/SCL, DIN/SDA-0.3V to +6V
 Continuous Power Dissipation (T_A = +85°C)
 16-Pin Thin QFN (derate 17.5mW/°C above +70°C) ..1398.6mW

Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +5.25V, GND = 0, V_{REFIN} = +1.25V, internal reference, R_{FSADJ_} = 20kΩ; compliance voltage = (V_{DD} - 0.6V), V_{SCLK/SCL} = 0, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{DD} = +3.0V and T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE—ANALOG SECTION						
Resolution			8			Bits
Integral Nonlinearity	INL	I _{OUT_} = 1mA to 30mA (Note 2)		±1		LSB
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Offset	I _{OS}		-13	-4		LSB
Zero-Scale Error		I _{OUT_} = 1mA to 30mA, code = 0x00			1	μA
Full-Scale Error		I _{OUT_} = 1mA to 30mA, code = 0xFF, includes offset		-4		LSB
REFERENCE						
Internal Reference Range			1.21	1.25	1.29	V
Internal Reference Tempco				30		ppm/°C
External Reference Range			0.5		1.5	V
External Reference Input Current				108	225	μA
DAC OUTPUTS						
Full-Scale Current		(Note 3)	1		30	mA
Output Current Leakage in Shutdown					±1	μA
Output Capacitance				10		pF
Current Source Dropout Voltage (V _{DD} - V _{OUT_})		I _{OUT_} = 30mA	1		V	
		I _{OUT_} = 20mA	T _A = +25°C	0.55		
			T _A = -40°C to +85°C	0.6		
Output Impedance at Full-Scale Current				100		kΩ
Capacitive Load to Ground	C _{LOAD}			10		nF
Series Inductive Load	L _{LOAD}			100		nH
Maximum FSADJ_ Capacitive Load	C _{FSADJ_}			75		pF
DYNAMIC PERFORMANCE						
Settling Time	t _S	C _{LOAD} = 24pF, L _{LOAD} = 27nH (Note 4)		30		μs
Digital Feedthrough				2		nVs
Digital-to-Analog Glitch Impulse				40		nVs

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

MAX5548

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+5.25V$, $GND = 0$, $V_{REFIN} = +1.25V$, internal reference, $R_{FSADJ_} = 20k\Omega$; compliance voltage = ($V_{DD} - 0.6V$), $V_{SCLK/SCL} = 0$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$ and $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DAC-to-DAC Current Matching				2		%
Wake-Up Time		$V_{DD} = +3V$, $R_L = 65\Omega$, $C_L = 24pF$		400		μs
		$V_{DD} = +5V$, no load		10		
POWER SUPPLIES						
Supply Voltage	V_{DD}		+2.70		+5.25	V
Supply Current	I_{DD}	$V_{DD} = +5.25V$, no load		3	6	mA
Shutdown Current					1.2	μA
LOGIC AND CONTROL INPUTS						
Input High Voltage (Note 5)	V_{IH}	$+2.7V \leq V_{DD} \leq +3.4V$		$0.7 \times V_{DD}$		V
		$+34V < V_{DD} \leq +5.25V$		2.4		
Input Low Voltage	V_{IL}	(Note 5)			0.8	V
Input Hysteresis	V_{HYS}			$0.1 \times V_{DD}$		V
Input Capacitance	C_{IN}			10		pF
Input Leakage Current	I_{IN}				± 1	μA
Output Low Voltage	V_{OL}	$I_{SINK} = 3mA$			0.6	V
Output High Voltage	V_{OH}	$I_{SOURCE} = 2mA$		$V_{DD} - 0.5$		V
I²C TIMING CHARACTERISTICS (Figure 2)						
SCL Clock Frequency	f_{SCL}				400	kHz
Setup Time for START Condition	$t_{SU:STA}$		600			ns
Hold Time for START Condition	$t_{HD:STA}$		600			ns
SCL Pulse-Width Low	t_{LOW}		130			ns
SCL Pulse-Width High	t_{HIGH}		600			ns
Data Setup Time	$t_{SU:DAT}$		100			ns
Data Hold Time	$t_{HD:DAT}$		0		70	ns
SCL Rise Time	t_{RCL}		$20 + 0.1 \times C_B$		300	ns
SCL Fall Time	t_{FCL}		$20 + 0.1 \times C_B$		300	ns
SDA Rise Time	t_{RDA}		$20 + 0.1 \times C_B$		300	ns
SDA Fall Time	t_{FDA}		$20 + 0.1 \times C_B$		300	ns
Bus Free Time Between a STOP and START Condition	t_{BUF}		1.3			μs

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

MAX5548

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+5.25V$, $GND = 0$, $V_{REFIN} = +1.25V$, internal reference, $R_{FSADJ_} = 20k\Omega$; compliance voltage = $(V_{DD} - 0.6V)$, $V_{SCLK/SCL} = 0$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{DD} = +3.0V$ and $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Setup Time for STOP Condition	$t_{SU:STO}$		160			ns
Maximum Capacitive Load for Each Bus Line	C_B			400		pF
SPI TIMING CHARACTERISTICS (Figure 6)						
SCLK Clock Period	t_{CP}		100			ns
SCLK Pulse-Width High	t_{CH}		40			ns
SCLK Pulse-Width Low	t_{CL}		40			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		25			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		50			ns
DIN Setup Time	t_{DS}		40			ns
DIN Hold Time	t_{DH}		0			ns
SCLK Fall to DOUT Transition	t_{DO1}	$C_{LOAD} = 30pF$			40	ns
\overline{CS} Fall to DOUT Enable	t_{CSE}	$C_{LOAD} = 30pF$			40	ns
\overline{CS} Rise to DOUT Disable	t_{CSD}	$C_{LOAD} = 30pF$			40	ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		50			ns
\overline{CS} Rise to SCLK Rise Hold Time	t_{CS1}		40			ns
\overline{CS} Pulse-Width High	t_{CSW}		100			ns
SPI TIMING CHARACTERISTICS FOR DAISY CHAINING (Figure 6)						
SCLK Clock Period	t_{CP}		200			ns
SCLK Pulse-Width High	t_{CH}		80			ns
SCLK Pulse-Width Low	t_{CL}		80			ns
\overline{CS} Fall to SCLK Rise Setup Time	t_{CSS}		25			ns
SCLK Rise to \overline{CS} Rise Hold Time	t_{CSH}		50			ns
DIN Setup Time	t_{DS}		40			ns
DIN Hold Time	t_{DH}		0			ns
SCLK Fall to DOUT Transition	t_{DO1}	$C_{LOAD} = 30pF$			40	ns
\overline{CS} Fall to DOUT Enable	t_{CSE}	$C_{LOAD} = 30pF$			40	ns
\overline{CS} Rise to DOUT Disable	t_{CSD}	$C_{LOAD} = 30pF$			40	ns
SCLK Rise to \overline{CS} Fall Delay	t_{CS0}		50			ns
\overline{CS} Rise to SCLK Rise Hold Time	t_{CS1}		40			ns
\overline{CS} Pulse-Width High	t_{CSW}		100			ns

Note 1: 100% production tested at $T_A = +25^\circ C$. Limits over temperature are guaranteed by design.

Note 2: INL linearity is guaranteed from code 15 to code 255.

Note 3: Connect a resistor from $FSADJ_$ to GND to adjust the full-scale current. See the *Reference Architecture and Operation* section.

Note 4: Settling time is measured from (0.25 x full scale) to (0.75 x full scale).

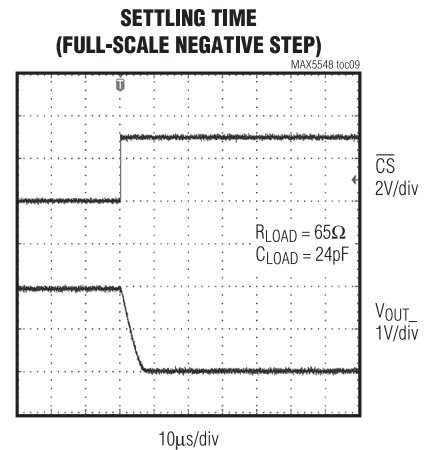
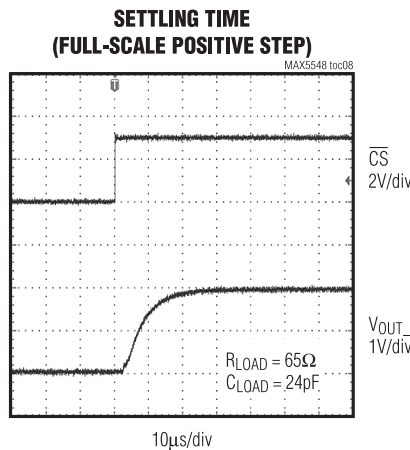
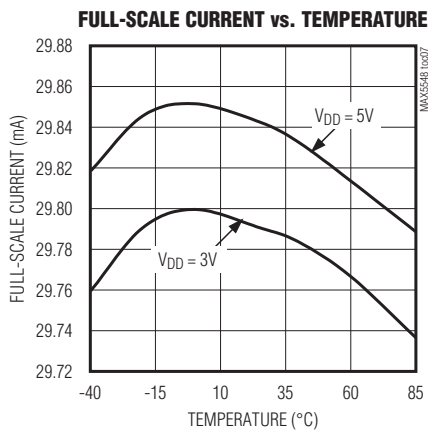
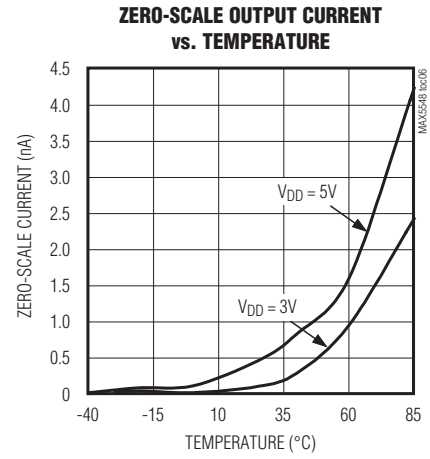
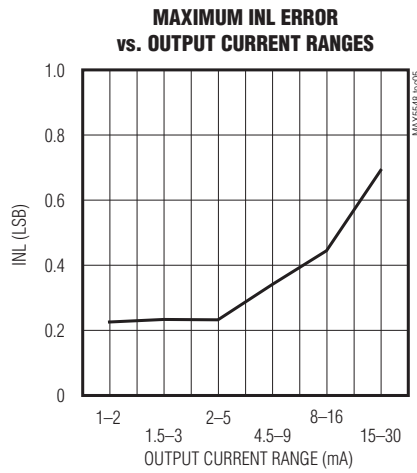
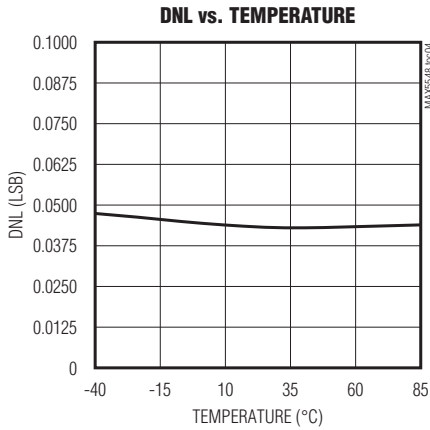
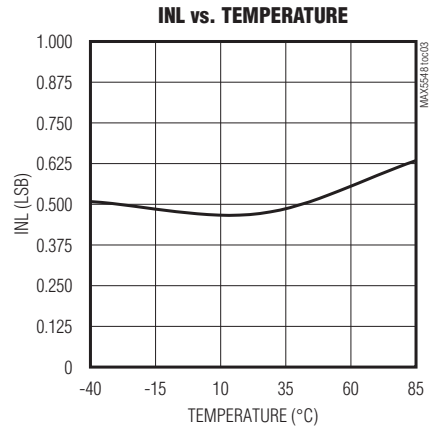
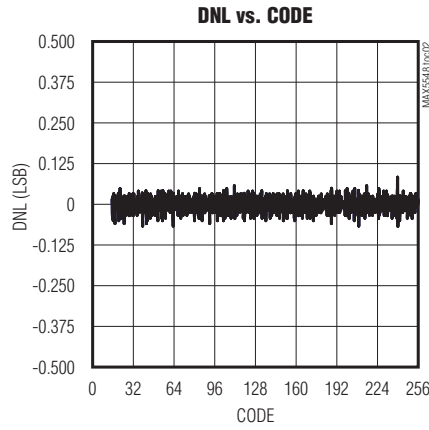
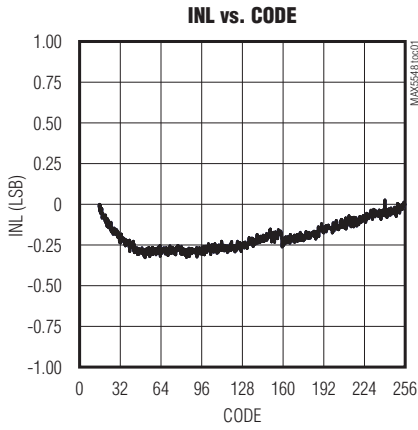
Note 5: The device draws higher supply current when the digital inputs are driven with voltages between $(V_{DD} - 0.5V)$ and $(GND + 0.5V)$. See the Supply Current vs. Digital Input Voltage graph in the *Typical Operating Characteristics*.

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

MAX5548

標準動作特性

($V_{DD} = +3.0V$, $GND = 0$, $V_{REFIN} = +1.25V$, internal reference, $R_{FSADJ_} = 20k\Omega$, $T_A = +25^\circ C$. unless otherwise noted).

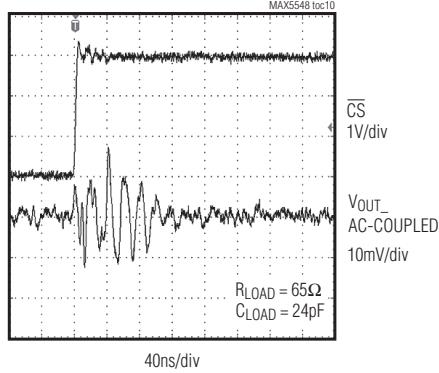


デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

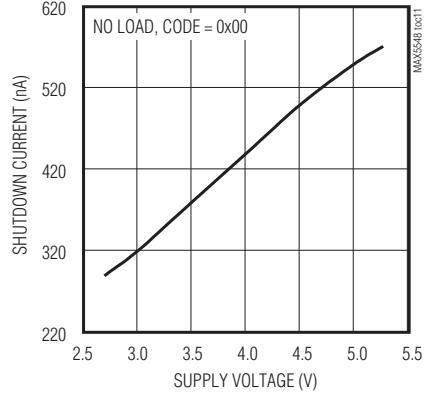
標準動作特性(続き)

($V_{DD} = +3.0V$, $GND = 0$, $V_{REFIN} = +1.25V$, internal reference, $R_{FSADJ_} = 20k\Omega$, $T_A = +25^\circ C$. unless otherwise noted).

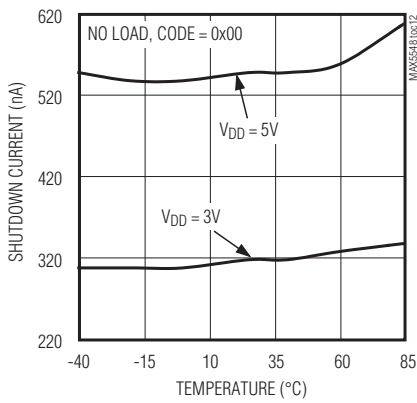
GLITCH IMPULSE



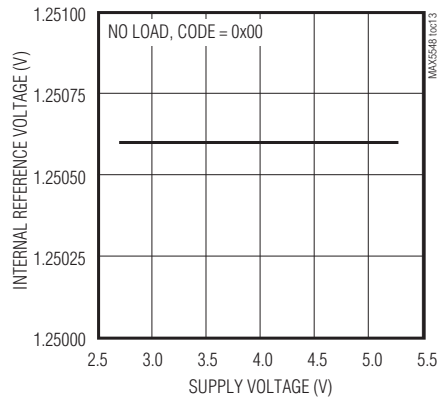
SHUTDOWN CURRENT vs. SUPPLY VOLTAGE



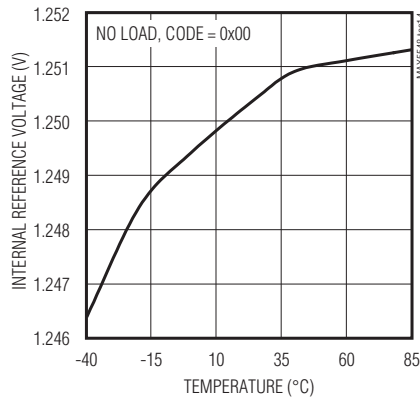
SHUTDOWN CURRENT vs. TEMPERATURE



INTERNAL REFERENCE VOLTAGE vs. SUPPLY VOLTAGE



INTERNAL REFERENCE VOLTAGE vs. TEMPERATURE

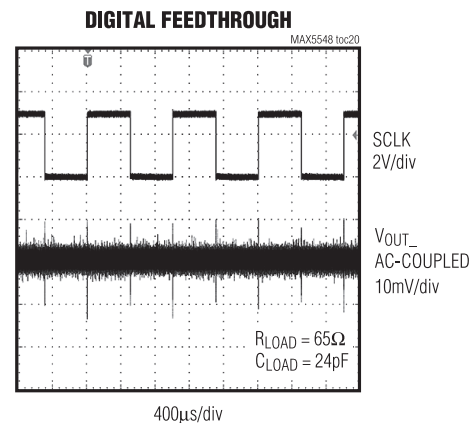
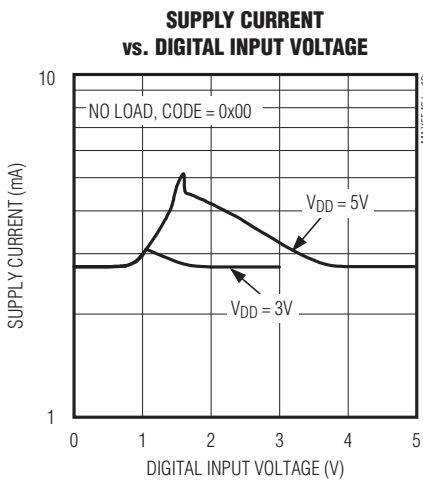
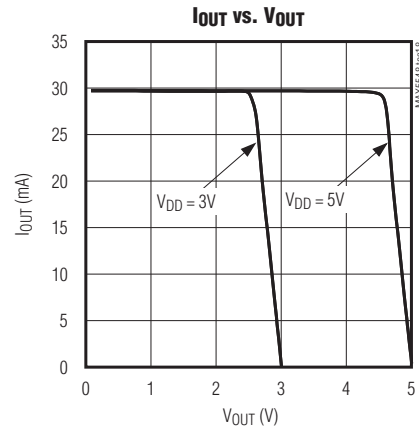
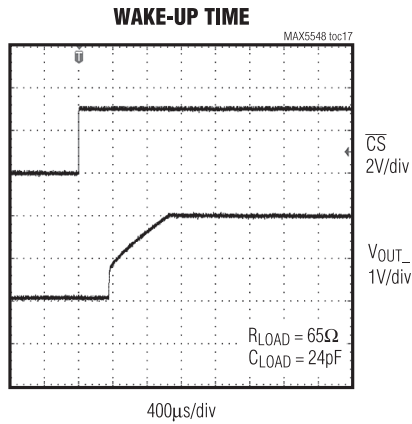
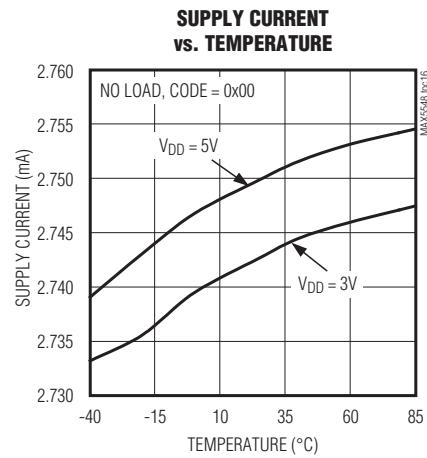
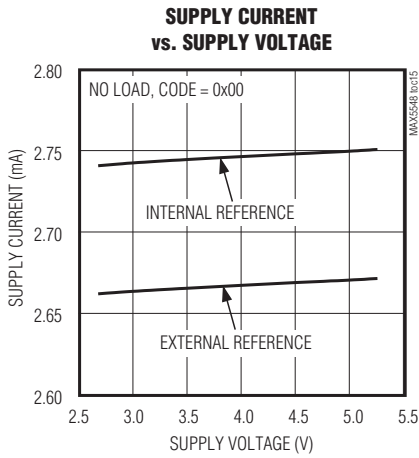


デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

MAX5548

標準動作特性(続き)

($V_{DD} = +3.0V$, $GND = 0$, $V_{REFIN} = +1.25V$, internal reference, $R_{FSADJ_} = 20k\Omega$, $T_A = +25^\circ C$. unless otherwise noted).



デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

端子説明

端子	名称	機能
1	SCLK/SCL	シリアルクロック入力。I ² Cモードでは、2.4kΩの抵抗を通じてSCLをV _{DD} に接続してください。
2	DIN/SDA	シリアルデータ入力。I ² Cモードでは、2.4kΩの抵抗を通じてSDAをV _{DD} に接続してください。
3	$\overline{CS}/A0$	SPIモードにおけるチップ選択入力、またはI ² Cモードにおけるアドレス選択0。 \overline{CS} はアクティブロー入力です。I ² Cモードでデバイスアドレスを設定するには、A0をV _{DD} またはGNDに接続してください。
4	SPI/I ² C	SPI/I ² C選択入力。SPIモードを選択するにはSPI/I ² CをV _{DD} に接続してください。また、I ² Cモードを選択するにはSPI/I ² CをGNDに接続してください。
5	DOUT/A1	SPIモードにおけるシリアルデータ出力、またはI ² Cモードにおけるアドレス選択1。SPIモードでは、DOUTを使って、MAX5548を他のデバイスにデジタイチェーン接続するか、またはリードバックしてください。デジタルデータがSCLKの立下りエッジでクロックアウトされます。I ² Cモードでデバイスアドレスを設定するには、A1をV _{DD} またはGNDに接続してください。
6, 13, 15	N.C.	接続なし。未接続状態にするか、またはGNDに接続してください。
7	REFIN	リファレンス入力。外部リファレンスソースはREFINを+0.5V~+1.5Vにしてください。内部リファレンスモードではREFINを未接続状態にしてください。デバイスにできる限り近接して0.1μFコンデンサでREFINをGNDにバイパスしてください。
8, 16	GND	グラウンド
9	OUTB	DACB出力。OUTBは、最大30mAの出力電流を供給します。
10	FSADJB	DACBフルスケール調整入力。最大のフルスケール出力電流を得るには、20kΩ抵抗をFSADJBとGNDの間に接続してください。最小のフルスケール出力電流を得るには、40kΩ抵抗をFSADJBとGNDの間に接続してください。
11	FSADJA	DACAフルスケール調整入力。最大のフルスケール出力電流を得るには、20kΩ抵抗をFSADJAとGNDの間に接続してください。最小のフルスケール出力電流を得るには、40kΩ抵抗をFSADJAとGNDの間に接続してください。
12	OUTA	DACA出力。OUTAは、最大30mAの出力電流を供給します。
14	V _{DD}	電源入力。V _{DD} を+2.7V~+5.25Vの電源に接続してください。デバイスにできるだけ近接して0.1μFコンデンサでV _{DD} をGNDにバイパスしてください。
—	EP	エクスポーズドパッド。GNDに接続してください。代替のグラウンド接続部として使用しないでください。

詳細

アーキテクチャ

MAX5548は8ビット、デュアル、電流ステアリングDAC（「ファンクションダイアグラム」を参照）で、SPIモードにおいて最高10Msps、I²Cモードにおいて最高400kspsのDAC更新レートで動作します。このコンバータは、16ビットシフトレジスタおよび入力DACレジスタ、続いて電流ステアリングアレイから構成されます。電流ステアリングアレイは、DAC当り30mAの最大フルスケール電流を生成します。+1.25Vの内部バンドギャップリファレンス、制御アンプ、および外付け抵抗によって、各データコンバータのフルスケール出力範囲が決まります。

リファレンスアーキテクチャおよび動作

MAX5548は+1.25Vの内蔵バンドギャップリファレンスか、または+0.5V~+1.5Vの外部リファレンス電圧源を使用できます。REFINは、外部ローインピーダンスリファレンスソースの入力として機能します。内部リファ

レンスモードではREFINを未接続状態にしてください。SPI/I²Cシリアルインタフェースを通じて、内部リファレンスモード、または外部リファレンスモードをソフトウェアで選択することができます。

MAX5548のリファレンス回路(図1)は制御アンプを使って、DACの電流出力のフルスケール電流(I_{FS})を安定化します。このデバイスは、ソフトウェアでフルスケール電流範囲を選択可能です(表4の「コマンド概要」を参照)。電流範囲を選択した後に、外付け抵抗(R_{FSADJ})によってフルスケール電流を設定します。I_{FS}およびR_{FSADJ}の選択のマトリックスについては、表1を参照してください。

起動時に電源が初めて印加されると、MAX5548は、デフォルトで外部リファレンスモードと1mA~2mAのフルスケール電流範囲モードに設定されます。

DACデータ

8ビットDACデータは、まずMSBから先に、1 LSB = I_{FS} / 256でオフセットバイナリとしてデコードされ、表2に示すように対応する電流に変換されます。

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

シリアルインタフェース

MAX5548は、端子で選択可能なSPI/I²Cシリアルインタフェースを備えています。I²Cモードを選択するにはSPI/I²CをGNDに接続してください。また、SPIモードを選択するにはSPI/I²CをV_{DD}に接続してください。SDAおよびSCL (I²Cモード)、ならびにDIN、SCLK、およびCS (SPIモード)によって、MAX5548とマスタ間の通信が容易になります。シャットダウンモードでは、シリアルインタフェースはアクティブ状態を維持します。

I²C互換(SPI/I²C= GND)

MAX5548は既存のI²Cシステムに対応しています(図2)。SCLおよびSDAはハイインピーダンス入力であり、SDAは、9番目のクロックパルス時にデータラインをローにプルするオープンドレイン出力を備えています。SDAおよびSCLには、V_{DD}へのプルアップ抵抗(2.4kΩ以上)が必要です。SDAおよびSCLと直列であるオプションの抵抗(24Ω)によって、デバイス入力がバスラインの高電圧スパイクから保護されます。また、直列抵抗は、バス信号のアンダシュートとクロストークを最小限に抑制します。通信プロトコルは、標準的なI²C、

8ビット通信をサポートしています。このデバイスのアドレスは、7ビットのI²Cアドレス指定プロトコルのみに対応しています。10ビットアドレス形式には未対応です。書き込みコマンドのみをMAX5548は受け付けます。
注：I²Cリードバックには未対応です。

ビット転送

1データビットが、各SCL立上りエッジの間に転送されます。MAX5548では、DACレジスタとの間でデータを転送するのに9クロックサイクルが必要です。SDAのデータは、SCLクロックパルスがハイの間は、安定状態を維持する必要があります。SCLがハイ状態である間のSDAの変化は制御信号と解釈されます(「STARTおよびSTOP条件」の項を参照)。SDAおよびSCLはともに、ハイでアイドル状態です。

STARTおよびSTOP条件

マスタはSTART条件(S)で送信を開始します(SCLがハイ状態で、SDAはハイからローに遷移)。マスタはSTOP条件(P)で送信を終了します(SCLがハイ状態で、SDAはローからハイに遷移)(図3)。マスタからのSTART条件に

表1. +1.25V (typ)のリファレンス電圧に基づくフルスケール出力電流およびR_{FSADJ_}の選択

FULL-SCALE OUTPUT CURRENT (mA)*						R _{FSADJ_} (kΩ)	
1mA–2mA	1.5mA–3mA	2.5mA–5mA	4.5mA–9mA	8mA–16mA	15mA–30mA	Calculated	1% EIA Std.
1.00	1.500	2.500	4.500	8.00	15.00	40	40.2
1.25	1.875	3.125	5.625	10.00	18.75	35	34.8
1.50	2.250	3.750	6.750	12.00	22.50	30	30.1
1.75	2.625	4.375	7.875	14.00	26.25	25	24.9
2.00	3.000	5.000	9.000	16.00	30.00	20	20.0

*表4の「コマンド概要」を参照してください。

表2. DAC出力コード表

DAC CODE	I _{OUT_}
1111 1111	$255 \times \frac{I_{FS} - I_{OS} }{256}$
1000 0000	$128 \times \frac{I_{FS} - I_{OS} }{256}$
0000 0001*	$\frac{I_{FS} - I_{OS} }{256}$
0000 0000	0

*負出力電流値= 0

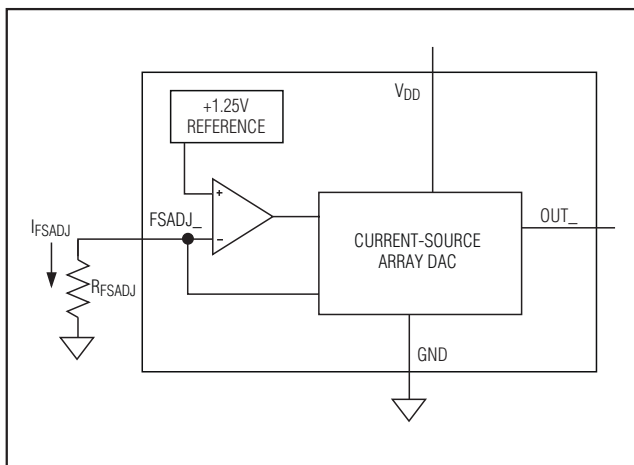


図1. リファレンスアーキテクチャおよび出力電流の調整

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

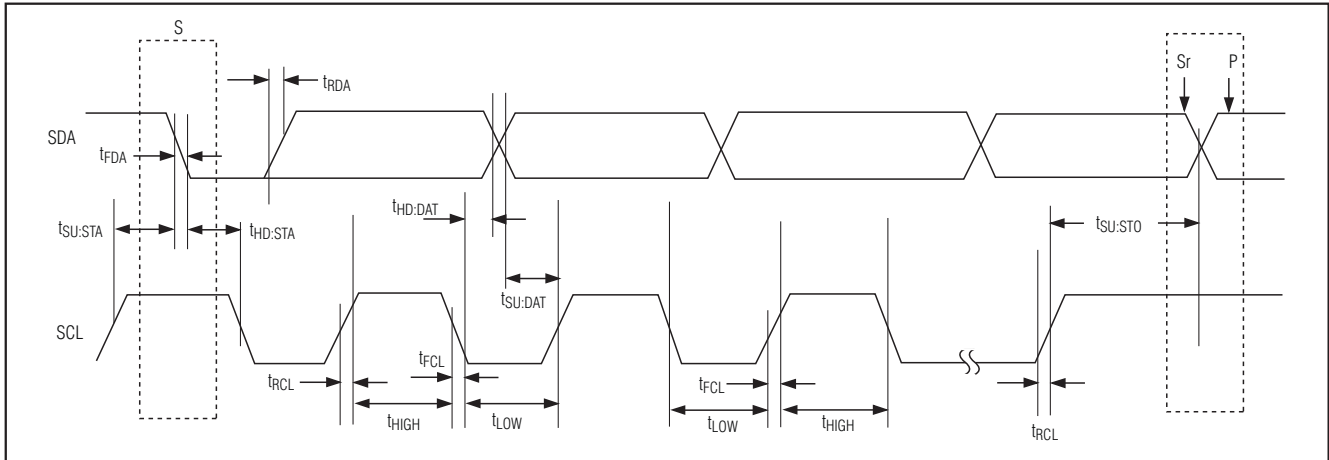


図2. I²Cシリアルインタフェースタイミング図

よって、送信の開始がMAX5548に通知されます。マスタは、STOP条件を発行して、送信を終了します。STOP条件によって、バスが解放されます。

STOP条件ではなく、反復START条件(S_r)が生成される場合は、バスはアクティブ状態を維持します。

早期STOP条件

STOP条件がSTART条件と同じハイパルスで発生する場合を除き、MAX5548は送信時のどの時点でもSTOP条件を認識します(図4)。この条件は、I²C方式では不可です。

反復START条件

バスマスタが複数のI²Cデバイスに書き込み中で、バスの制御を受け渡したくない場合は、反復START (S_r)条件が用いられます。MAX5548のシリアルインタフェースは、書込み動作を切り離す S_r 条件付きの連続書込み動作をサポートしています。

肯定応答ビット(ACK)

データ送信の成功は、肯定応答ビット(ACK)によって肯定応答されます。マスタとMAX5548 (スレーブ)はともに、肯定応答ビットを生成します。肯定応答を生成するには、受信側デバイスは肯定応答関連のクロックパルス(第9パルス)の立上りエッジの前にSDAをローにプルし、クロックパルスがハイの間はSDAをローに保持する必要があります(図5)。

肯定応答ビットを監視すると、データ送信の不成功を検出することができます。受信側デバイスがビジーの場合やシステム障害が発生した場合は、データ送信が不成功になります。データ送信が不成功の場合は、マスタは後で通信を再試行する必要があります。

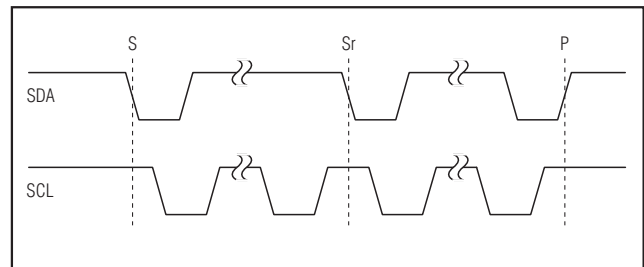


図3. STARTおよびSTOP条件

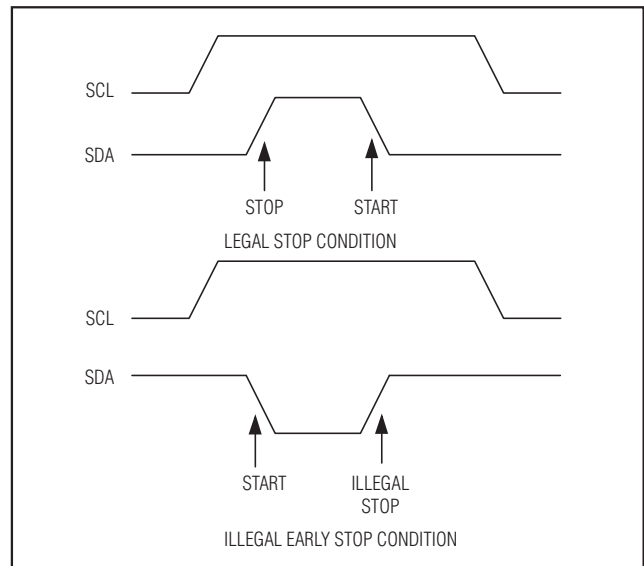


図4. 早期STOP条件

スレーブアドレス

マスタは、START条件に続いてスレーブアドレスを発行して、スレーブデバイスとの通信を開始します(表3を参照)。スレーブアドレスは、7ビットのアドレスビットと1ビットの読取り/書込みビット(R/W)で構成されます。

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

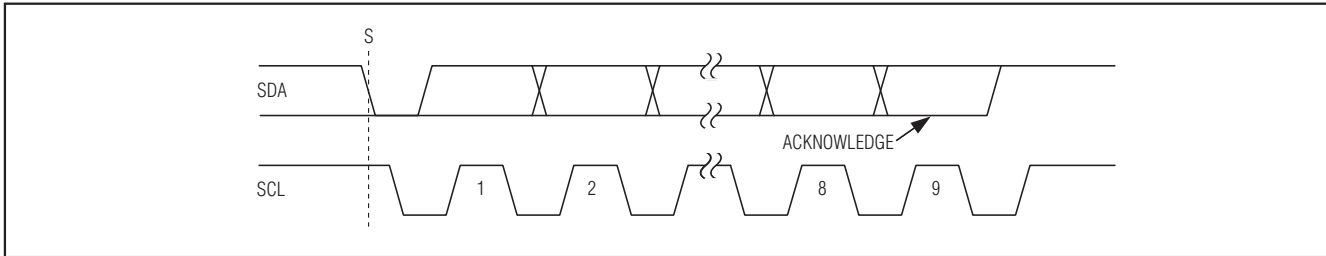


図5. 肯定応答条件

表3. 書込み動作

	S T A R T	A D D R E S S B Y T E								C O M M A N D / D A T A B Y T E								D A T A B Y T E*								S T O P
		R/ \bar{W} **																								
Master SDA	S	0	1	1	0	0	A ₁	A ₀	0	C ₅	C ₄	C ₃	C ₂	C ₁	C ₀	D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	S ₁ **	S ₀ **	P
Slave SDA		A C K								A C K																A C K

*S1およびS0はサブビットです。適切な8ビット動作を確保するには、ビットS1およびS0をゼロに設定してください。

**読取り動作には未対応です。

アイドル時には、デバイスはSTART条件とそれに続くスレーブアドレスに対して常時待機しています。デバイスがスレーブアドレスを認識すると、そのデータを取得してコマンドを実行します。スレーブアドレスの先頭の5ビット(MSB)は出荷時に設定され、常に01100です。スレーブアドレスの残りの2ビットを設定するには、A1およびA0をV_{DD}またはGNDに接続してください。MAX5548に書き込むには、アドレスバイト(R/ \bar{W})の最下位ビット(LSB)をゼロに設定してください。アドレスを受信すると、MAX5548(スレーブ)は、1クロックサイクルの間、SDAをローにプルして、肯定応答を発行します。I²C読取りコマンド(R/ \bar{W} = 1)に対しては、MAX5548は肯定応答しません。

書込みサイクル

書込みコマンドには、27クロックサイクルが必要です。書込みモード(R/ \bar{W} = 0)では、アドレスバイトに続くコマンド/データバイトによってMAX5548が制御されます(表3)。レジスタは、26番目のSCLパルスの立上りエッジで更新されます。書込みサイクルの終了が早すぎると、DACは更新されません。コマンド概要については、表4を参照してください。

SPI互換(SPI/I²C = V_{DD})

MAX5548は、3線式SPIシリアルインタフェースに対応しています(図6)。このインタフェースモードには、

チップ選択(\bar{CS})、データクロック(SCLK)、およびデータイン(DIN)の3つの入力が必要です。シリアルインタフェースをイネーブルして、各SCLK立上りエッジでデータをシフトレジスタに同時にクロックインするには、 \bar{CS} をローにしてください。

MAX5548では、6コマンドビット(C₅~C₀)と8データビット(D₇~D₀)およびS₁ = S₀ = 0をクロックインするには16クロックサイクルが必要です(図7)。データをシフトレジスタにロードした後に、そのデータを該当するDACレジスタにラッチし、シリアルインタフェースをディセーブルするには、 \bar{CS} をハイにしてください。データの破損を回避するために、シリアルデータストリーム全体にわたって、 \bar{CS} をローに維持してください。コマンド概要については、表4を参照してください。

シャットダウンモード

MAX5548は、消費電流を1 μ A以下に低減するソフトウェアシャットダウンモードを備えています。シャットダウンモードでは、DAC出力はディセーブルされます。シャットダウンモードでは、シリアルインタフェースはアクティブ状態を維持します。このため、シャットダウンモードの間は、レジスタを柔軟に更新することができます。電源をリサイクルすると、デバイスはデフォルト設定にリセットされます。

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

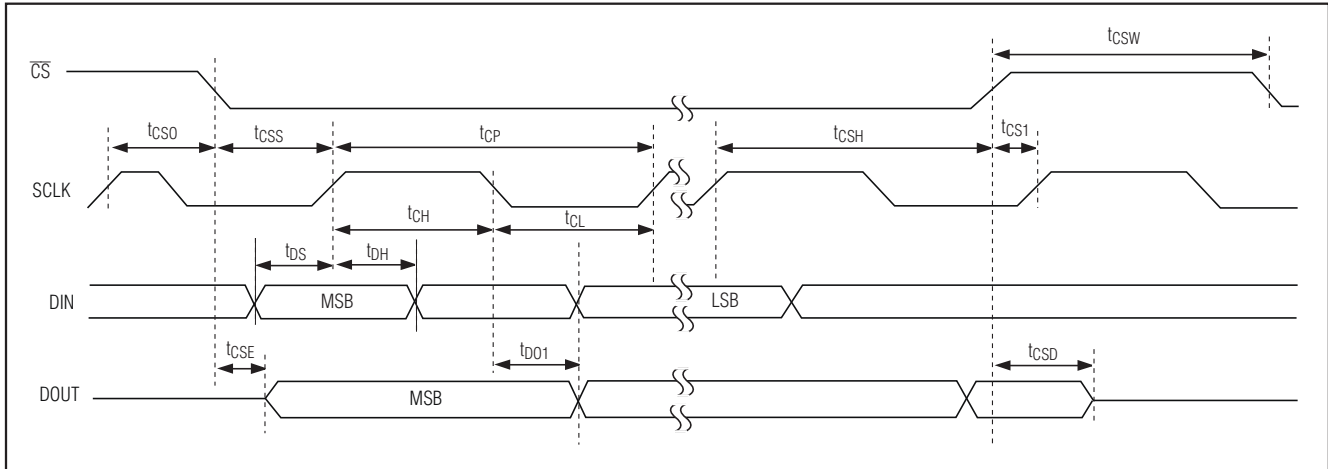


図6. SPIインタフェースタイミング図

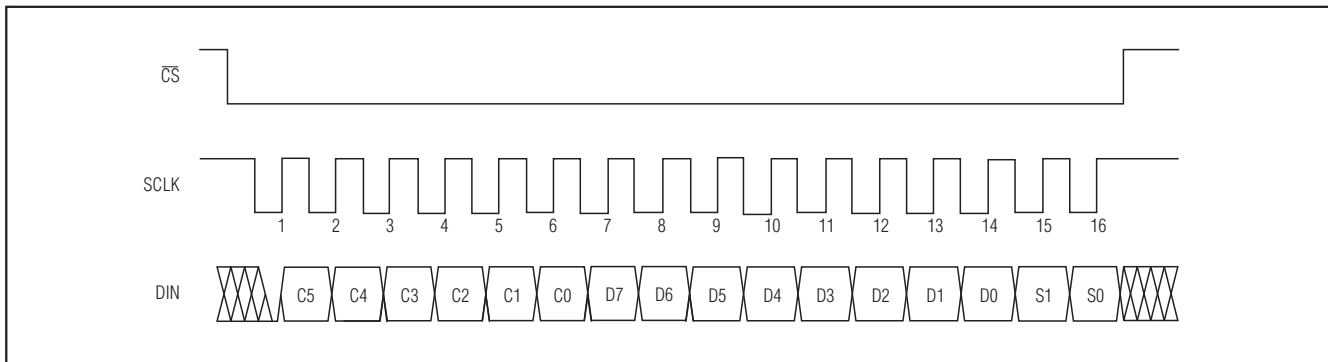


図7. SPIインタフェース方式

アプリケーション情報

デジチェーン(SPI/I²C = V_{DD})

標準的なSPI/QSPI™/MICROWIRE™対応システムでは、マイクロコントローラ(μC)は、3線式または4線式シリアルインタフェースを通じてスレーブデバイスと通信します。標準インタフェースは、チップ選択信号(CS)、シリアルクロック(SCLK)、データ入力信号(DIN)、および場合によってはデータ信号出力(DOUT)を備えています。このシステムでは、μCは独立したスレーブ選択信号(SS_n)を各スレーブデバイスに割り当てるため、個別にアドレス指定することができます。CS_n入力をローにアサートしたスレーブのみが肯定応答し、シリアルクロックとデータラインの動作に応答します。システム内のスレーブデバイスが非常に少ない場合は、この実装は容易です。

もう1つの方式は、デジチェーンです。シリアルインタフェースアプリケーションにおけるデジチェーンは、直列接続されたデバイスを通じてコマンドを伝搬する方式です(図8を参照)。

デバイスのDOUTを次のデバイスのDINに接続して、デバイスをデジチェーンしてください。全デバイスのSCLKを共通のクロックに接続し、全デバイスのCSを共通のスレーブ選択ラインに接続してください。データは、SCLKの立下りエッジでDINにシフトインされてから16.5クロックサイクル後に、DOUTからシフトアウトされます。この構成では、μCには、ネットワーク内の全スレーブを制御するのに3つの信号(SS_n、SCK、およびMOSI)のみが必要です。SPI/QSPI/MICROWIRE対応シリアルインタフェースは通常、最高10MHzで動作しますが、デジチェーンの場合は5MHzに下げる必要があります。CSがハイのときは、DOUTはハイインピーダンスです。

QSPIはMotorola, Inc.の商標です。

MICROWIREはNational Semiconductor Corp.の商標です。

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

MAX5548

表4. コマンド概要

SERIAL DATA INPUT							FUNCTIONS
C5	C4	C3	C2	C1	C0	D7–D0, S1 AND S0	
0	0	0	0	0	0	XXXXXXXXXX	No operation.
0	0	0	0	0	1	8-bit DAC data	Load DAC data to both DAC registers and both input registers from the shift register.
0	0	0	0	1	0	8-bit DAC data	Load DAC register A and input register A from the shift register.
0	0	0	0	1	1	8-bit DAC data	Load DAC register B and input register B from the shift register.
0	0	0	1	0	0	8-bit DAC data	Load both channel input registers from the shift register; both DAC registers are unchanged.
0	0	0	1	0	1	8-bit DAC data	Load input register A from the shift register; DAC register A is unchanged.
0	0	0	1	1	0	8-bit DAC data	Load input register B from the shift register; DAC register B is unchanged.
0	0	0	1	1	1	XXXXXXXXXX	Update both DAC registers from their corresponding input registers.
0	0	1	0	0	1	XXXXXXXXXX	Update DAC register A from input register A.
0	0	1	0	1	0	XXXXXXXXXX	Update DAC register B from input register B.
0	0	1	0	1	1	XXXXXXXXXX	Internal reference mode.
0	0	1	1	0	0	XXXXXXXXXX	External reference mode (default mode at power-up).
0	0	1	1	0	1	XXXXXXXXXX	Shut down both DACs.
0	0	1	1	1	0	XXXXXXXXXX	Shut down DACA.
0	0	1	1	1	1	XXXXXXXXXX	Shut down DACB.
0	1	0	0	0	0	XXXXXXXXXX	DACA 1mA–2mA full-scale current range mode (default mode at power-up)
0	1	0	0	0	1	XXXXXXXXXX	DACA 1.5mA–3mA full-scale current range mode.
0	1	0	0	1	0	XXXXXXXXXX	DACA 2.5mA–5mA full-scale current range mode.
0	1	0	0	1	1	XXXXXXXXXX	DACA 4.5mA–9mA full-scale current range mode.
0	1	0	1	0	0	XXXXXXXXXX	DACA 8mA–16mA full-scale current range mode.
0	1	0	1	0	1	XXXXXXXXXX	DACA 15mA–30mA full-scale current range mode.
1	0	1	1	0	1	XXXXXXXXXX	Power up both channels of the DACs.
1	0	1	1	1	0	XXXXXXXXXX	Power up DACA.
1	0	1	1	1	1	XXXXXXXXXX	Power up DACB.
1	1	0	0	0	0	XXXXXXXXXX	DACB 1mA–2mA full-scale current range mode (default mode at power-up)
1	1	0	0	0	1	XXXXXXXXXX	DACB 1.5mA–3mA full-scale current range mode.
1	1	0	0	1	0	XXXXXXXXXX	DACB 2.5mA–5mA full-scale current range mode.
1	1	0	0	1	1	XXXXXXXXXX	DACB 4.5mA–9mA full-scale current range mode.
1	1	0	1	0	0	XXXXXXXXXX	DACB 8mA–16mA full-scale current range mode.
1	1	0	1	0	1	XXXXXXXXXX	DACB 15mA–30mA full-scale current range mode.

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

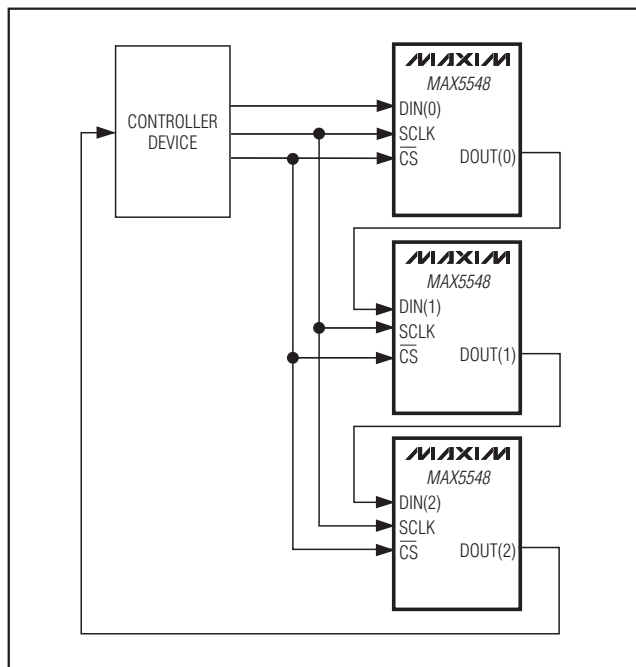


図8. デイジーチェーン構成

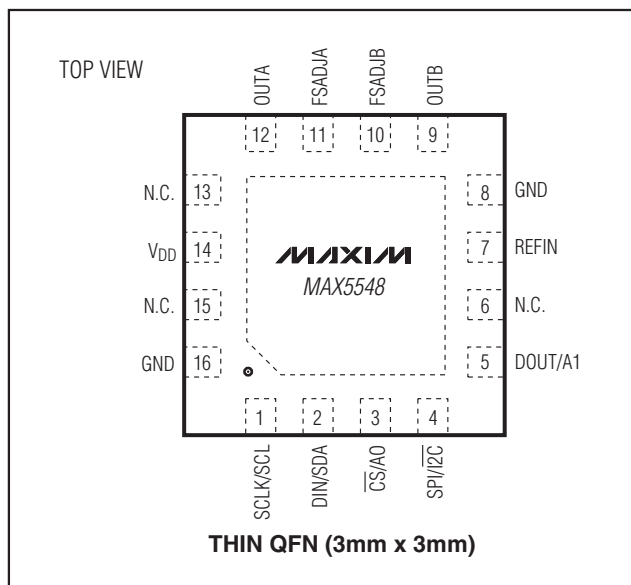
電源シーケンス

REFINに印加される電圧は常に、 V_{DD} を超えないようにしてください。適切な電源シーケンスが不可能の場合は、絶対最大定格に適合させるために、外付けショットキダイオードをREFINと V_{DD} の間に接続してください。

電源バイパスおよびグランド管理

GNDのデジタルまたはAC過渡信号は、アナログ出力にノイズを生成します。GNDをできる限り良質なグランドプレーンにリターンさせてください。極めてノイズが多い環境の場合は、 $1\mu\text{F}$ コンデンサと、デバイスにできる限り近接させた $0.1\mu\text{F}$ のコンデンサで、REFINおよび V_{DD} をGNDにバイパスしてください。綿密なPCBのグランドレイアウトによって、DAC出力とデジタル入力間のクロストークが最低限に抑制されます。

ピン配置



チップ情報

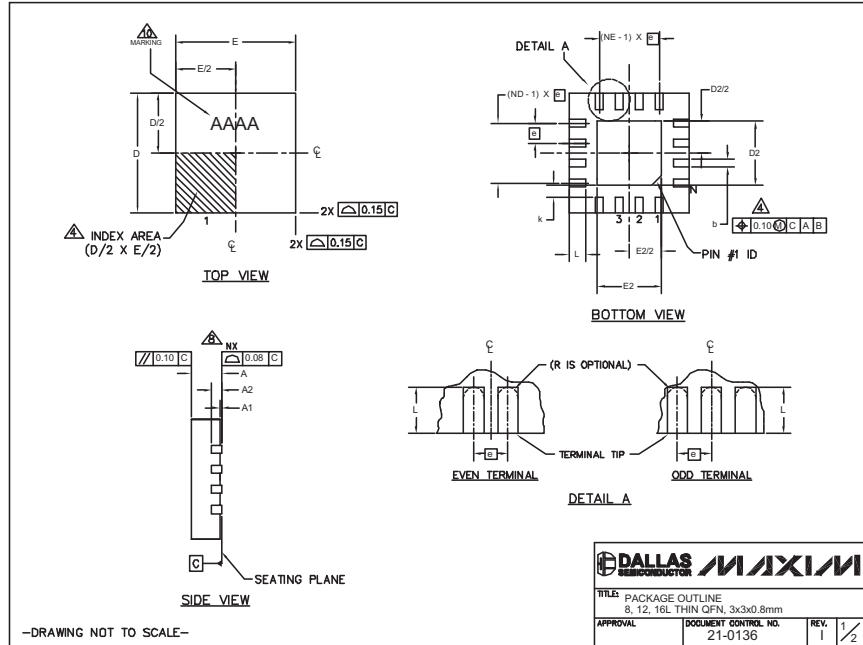
PROCESS: BiCMOS

デュアル、8ビット、プログラマブル、30mA 大出力電流DAC

MAX5548

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



PKG	8L 3x3			12L 3x3			16L 3x3		
REF.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.		
L	0.35	0.55	0.75	0.45	0.55	0.65	0.30	0.40	0.50
N	8			12			16		
ND	2			3			4		
NE	2			3			4		
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-	0.25	-	-

PKG CODES	D2			E2			PIN ID	JEDEC
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
T0833-1	0.25	0.70	1.25	0.25	0.70	1.25	0.35 x 45°	WEEC
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633FH-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633-5	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- WARPAGE NOT TO EXCEED 0.10mm.

-DRAWING NOT TO SCALE-

	DALLAS SEMICONDUCTOR	MAXIM
TITLE PACKAGE OUTLINE 8, 12, 16L THIN QFN, 3x3x0.8mm		
APPROVAL	DOCUMENT CONTROL NO. 21-0136	REV. I 1/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600