

2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

概要

MAX5380/MAX5381/MAX5382は、超小型5ピンSOT23パッケージに収められた低価格、8ビットデジタルアナログコンバータ(DAC)です。本製品は複数のデバイスとの通信を可能にするシンプルな2線シリアルインタフェースを備えています。MAX5380は内部+2Vリファレンスを備え、+2.7V~+3.6V電源で動作します。MAX5381は内部+4Vリファレンスを備え、+4.5V~+5.5V電源で動作します。MAX5382は+2.7V~+5.5Vの広電源電圧範囲で動作し、 $0.9V \times V_{DD}$ に等しい内部リファレンスを備えています。

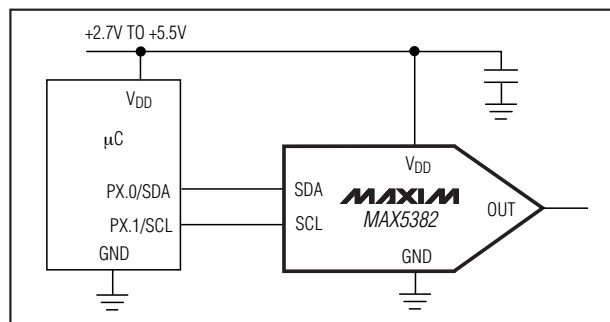
高速モードI²Cコンパチブルシリアルインタフェースによって、最大400kbpsのデータレートで通信できるため、多くのアプリケーションにおいて基板スペースを最小限に抑え、インターコネクットの複雑さを軽減することができます。各デバイスは4種類の出荷時設定アドレスから選択できます(「選択ガイド」を参照)。

MAX5380/MAX5381/MAX5382は、出力バッファ、低電力シャットダウンモード及びパワーオンリセット(最初のパワーアップ時にDAC出力ゼロを保証)も備えています。シャットダウンモードにおいては、消費電流が1 μ A以下に低減し、出力は10k Ω 抵抗でGNDに引き下げられます。

アプリケーション

- 自動チューニング(VCO)
- パワーアンプのバイアス制御
- プログラマブルスレッショルドレベル
- 自動利得制御
- 自動オフセット調整

標準動作回路



特長

- ◆ 小型5ピンSOT23パッケージで8ビット精度
- ◆ 広電源電圧範囲: +2.7V~+5.5V(MAX5382)
- ◆ 低消費電流: 最大230 μ A
- ◆ シャットダウンモード時: 1 μ A
- ◆ バッファ出力力が抵抗性負荷を駆動
- ◆ 低グリッチのパワーオンリセットがDAC出力ゼロを保証
- ◆ I²Cコンパチブル高速シリアルインタフェース
- ◆ フルスケール誤差: $\pm 5\%$ 以下(MAX5382)
- ◆ 最大INL/DNL: ± 1 LSB以下

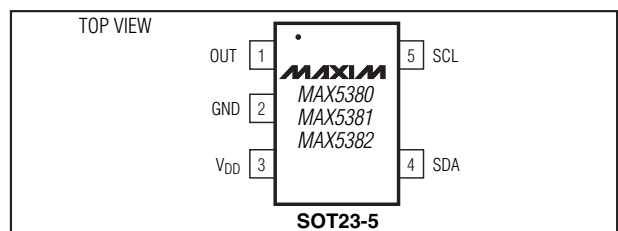
型番

PART	TEMP RANGE	PIN-PACKAGE
MAX5380_EUK-T	-40°C to +85°C	5 SOT23
MAX5381_EUK-T	-40°C to +85°C	5 SOT23
MAX5382_EUK-T	-40°C to +85°C	5 SOT23

選択ガイド

PART	ADDRESS	REFERENCE (V)	TOP MARK
MAX5380LEUK	0x60	+2.0	ADMN
MAX5380MEUK	0x62	+2.0	ADMZ
MAX5380NEUK	0x64	+2.0	ADNF
MAX5380PEUK	0x66	+2.0	ADMP
MAX5381LEUK	0x60	+4.0	ADMV
MAX5381MEUK	0x62	+4.0	ADNB
MAX5381NEUK	0x64	+4.0	ADNH
MAX5381PEUK	0x66	+4.0	ADMR
MAX5382LEUK	0x60	$0.9 \times V_{DD}$	ADMX
MAX5382MEUK	0x62	$0.9 \times V_{DD}$	ADND
MAX5382NEUK	0x64	$0.9 \times V_{DD}$	ADNJ
MAX5382PEUK	0x66	$0.9 \times V_{DD}$	ADMT

ピン配置



2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

MAX5380/MAX5381/MAX5382

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +6V	Operating Temperature Ranges	
OUT, SCL, SDA to GND	-0.3V to +6V	MAX538_EUK-T	-40°C to +85°C
Maximum Current into Any Pin	50mA	Storage Temperature Range	-65°C to +150°C
Continuous Power Dissipation (T _A = +70°C)		Maximum Junction Temperature	+150°C
5-Pin SOT23 (derate 7.1mW/°C above +70°C)	571mW	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +2.7V to +3.6V (MAX5380), V_{DD} = +4.5V to +5.5V (MAX5381), V_{DD} = +2.7V to +5.5V (MAX5382); R_L = 10kΩ; C_L = 50pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC ACCURACY						
Resolution			8			Bits
Integral Linearity Error	INL	(Note 1)			±1	LSB
Differential Linearity Error	DNL	Guaranteed monotonic			±1	LSB
Offset Error		(Note 2)		±1	±25	mV
Offset Error Supply Rejection		MAX5382 (Notes 2, 3)	60			dB
Offset Error Temperature Coefficient		(Note 2)	MAX5380/MAX5381	3		ppm/°C
			MAX5382	1		
Full-Scale Error		Code = 255	MAX5380/MAX5381		10	% of ideal FS
			MAX5382		5	
Full-Scale Error Supply Rejection		Code = 255, MAX5380/MAX5281 (Note 4)			50	dB
Full-Scale Error Temperature Coefficient		Code = 255	MAX5380/MAX5381	±40		ppm/°C
			MAX5382	±10		
DAC OUTPUT						
Internal Reference (Note 5)	REF	MAX5380	1.8	2	2.2	V
		MAX5381	3.6	4	4.4	
		MAX5382	0.85 x V _{DD}	0.9 x V _{DD}	0.95 x V _{DD}	
Output Load Regulation		Code = 255, 0 to 100μA		0.5		LSB
		Code = 0, 0 to 100μA		0.5		
Output Resistance		V _{OUT} = 0 to V _{DD} , power-down mode		10		kΩ
DYNAMIC PERFORMANCE						
Voltage Output Slew Rate		Positive and negative		0.4		V/μs
Output Settling Time		To 1/2 LSB, 50kΩ and 50pF load (Note 6)		20		μs
Digital Feedthrough		Code = 0, all digital inputs from 0 to V _{DD}		2		nVs
Digital-Analog Glitch Impulse		Code 127 to 128		40		nVs
Wake-Up Time		From software shutdown		50		μs

2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

MAX5380/MAX5381/MAX5382

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +2.7V$ to $+3.6V$ (MAX5380), $V_{DD} = +4.5V$ to $+5.5V$ (MAX5381), $V_{DD} = +2.7V$ to $+5.5V$ (MAX5382); $R_L = 10k\Omega$; $C_L = 50pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER REQUIREMENTS						
Supply Voltage	V_{DD}	MAX5380	2.7		3.6	V
		MAX5381	4.5		5.5	
		MAX5382	2.7		5.5	
Supply Current	I_{DD}	No load, all digital inputs at 0 or V_{DD} , code = 255		150	230	μA
		Shutdown mode			1	
DIGITAL INPUTS (SCL, SDA)						
Input Low Voltage	V_{IL}			$0.3 \times V_{DD}$		V
Input High Voltage	V_{IH}		$0.7 \times V_{DD}$			V
Input Hysteresis	V_{HYS}			$0.05 \times V_{DD}$		V
Input Capacitance	C_{IN}	(Note 7)		10		pF
Input Leakage Current	I_{IN}				± 10	μA
Pulse Width of Spike Suppressed	t_{SP}		0		50	ns
DIGITAL OUTPUT (SDA, open drain)						
Output Low Voltage	V_{OL}	$I_{SINK} = 3mA$			0.4	V
		$I_{SINK} = 6mA$			0.6	
Output Fall Time	t_{OF}	$V_{IH(MIN)}$ to $V_{IL(MAX)}$, bus capacitance = 10pF to 400pF	$I_{SINK} = 3mA$		250	ns
			$I_{SINK} = 6mA$		250	

TIMING CHARACTERISTICS

(Figure 3; $V_{DD} = +2.7V$ to $+3.6V$ (MAX5380), $V_{DD} = +4.5V$ to $+5.5V$ (MAX5381), $V_{DD} = +2.7V$ to $+5.5V$ (MAX5382); $R_L = 10k\Omega$; $C_L = 50pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are $T_A = +25^\circ C$.) (Note 7)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCL Clock Frequency	f_{SCL}		0		400	kHz
Bus Free Time Between a STOP and a START Condition	t_{BUF}		1.3			μs
Hold Time Repeated for a START Condition	$t_{HD:STA}$		0.6			μs
Low Period of the SCL Clock	t_{LOW}		1.3			μs
High Period of the SCL Clock	t_{HIGH}		0.6			μs
Setup Time for a Repeated START Condition	$t_{SU:STA}$		0.6			μs
Data Hold Time	$t_{HD:DAT}$		0		0.9	μs
Data Setup Time	$t_{SU:DAT}$		100			ns

2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

MAX5380/MAX5381/MAX5382

TIMING CHARACTERISTICS (continued)

(Figure 3; $V_{DD} = +2.7V$ to $+3.6V$ (MAX5380), $V_{DD} = +4.5V$ to $+5.5V$ (MAX5381), $V_{DD} = +2.7V$ to $+5.5V$ (MAX5382); $R_L = 10k\Omega$; $C_L = 50pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are $T_A = +25^\circ C$.) (Note 7)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Rise Time of Both SDA and SCL Signals	t_r				300	ns
Fall Time of Both SDA and SCL Signals	t_f				300	ns
Setup Time for STOP Condition	$t_{SU:STO}$		0.6			μs
Capacitive Load for Each Bus Line	C_b				400	pF

Note 1: Guaranteed from code 5 to code 255.

Note 2: The offset value extrapolated from the range over which the INL is guaranteed.

Note 3: MAX5382 tested at $V_{DD} = +5V \pm 10\%$.

Note 4: MAX5380 tested at $V_{DD} = +3V \pm 10\%$, MAX5381 tested at $V_{DD} = 5V \pm 10\%$.

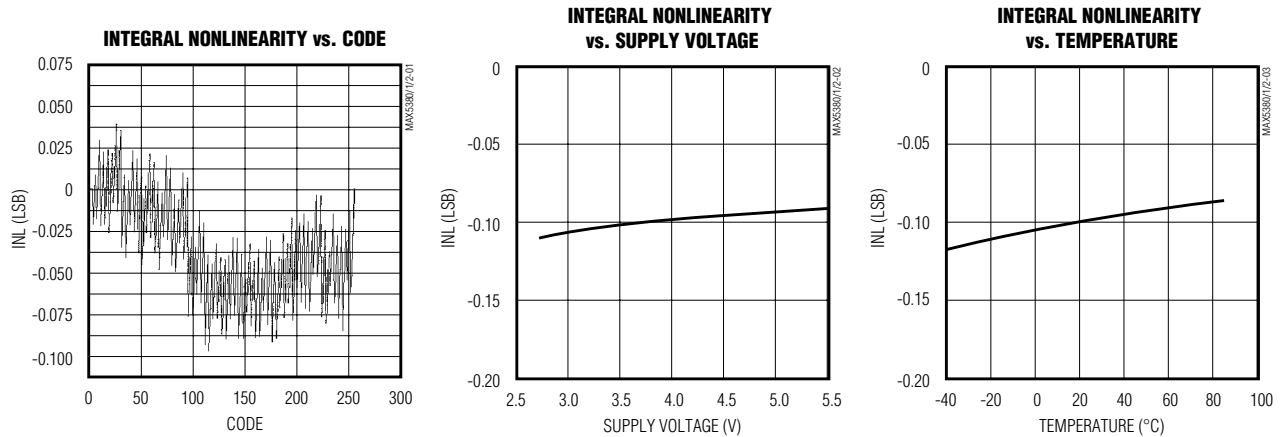
Note 5: Actual output voltages at full scale are $255/256 \times V_{REF}$.

Note 6: Output settling time is measured by taking the code from code 5 to 255, and from code 255 to 5.

Note 7: Guaranteed by design.

標準動作特性

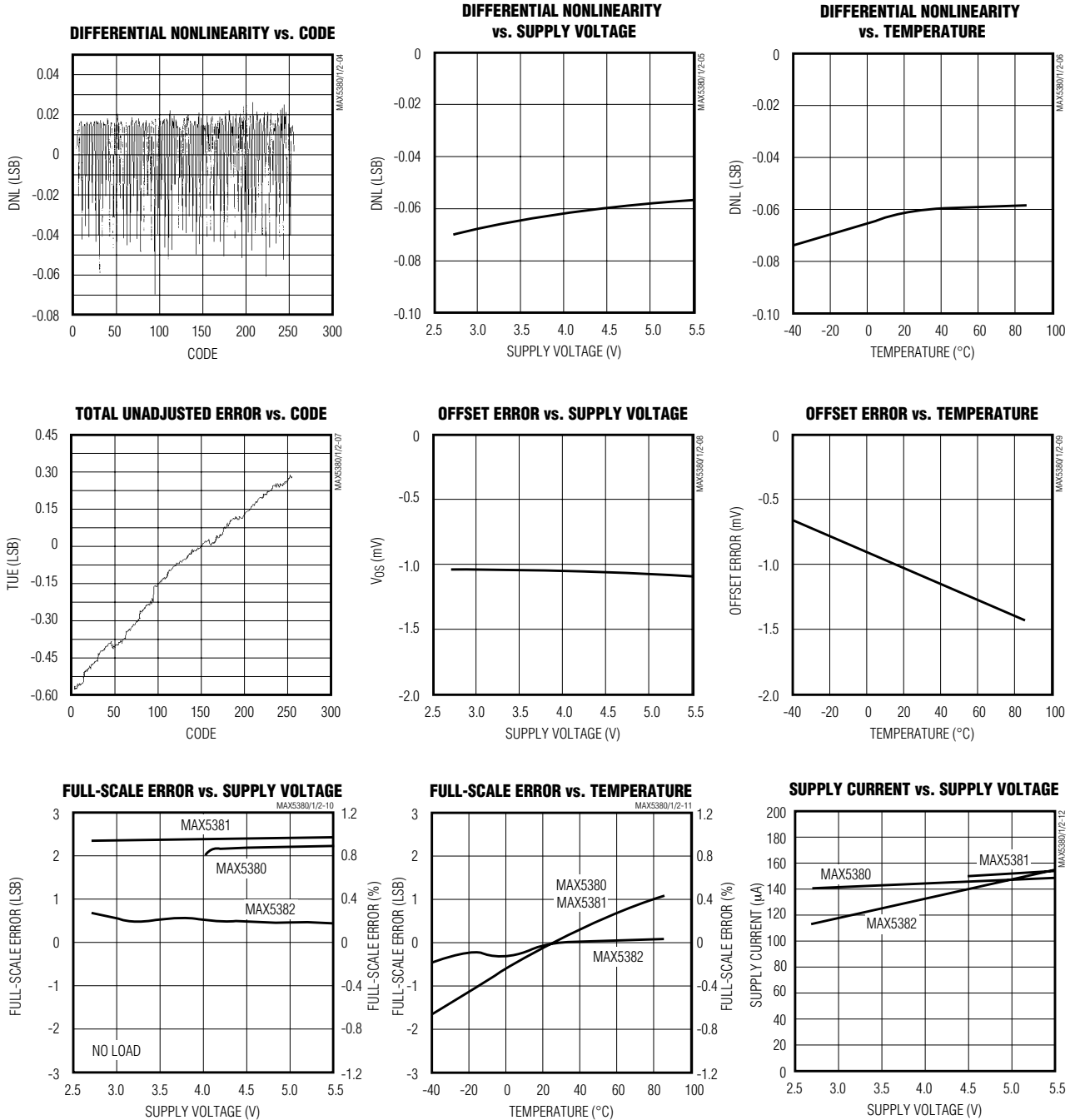
($V_{DD} = +3.0V$ (MAX5380), $V_{DD} = +5.0V$ (MAX5381/MAX5382); $R_L = 10k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

標準動作特性(続き)

($V_{DD} = +3.0V$ (MAX5380), $V_{DD} = +5.0V$ (MAX5381/MAX5382); $R_L = 10k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



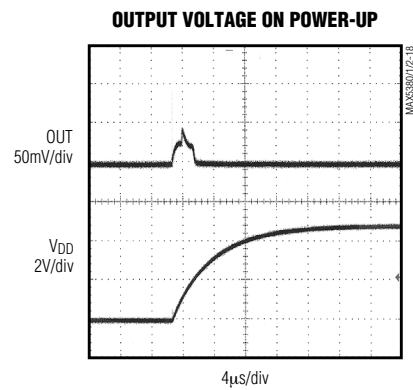
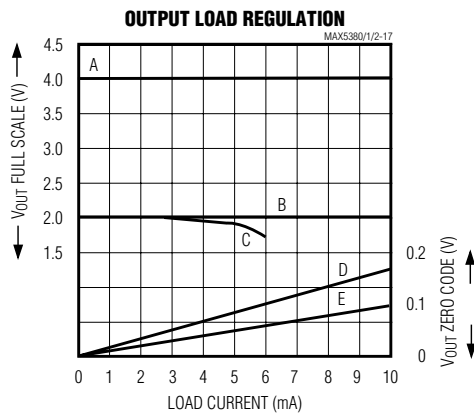
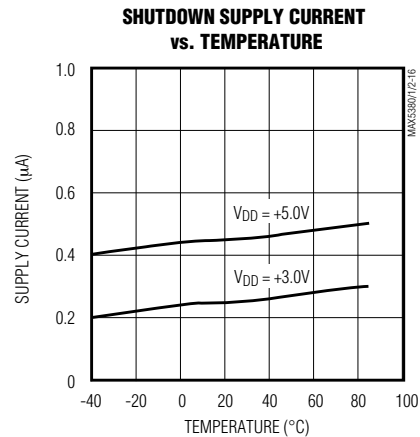
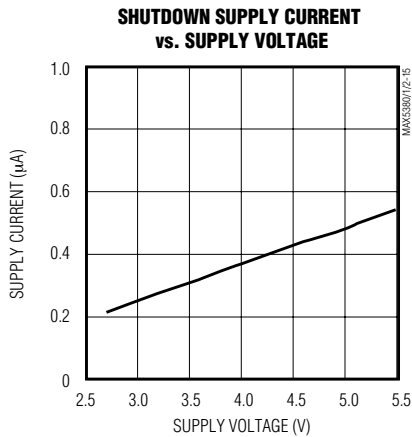
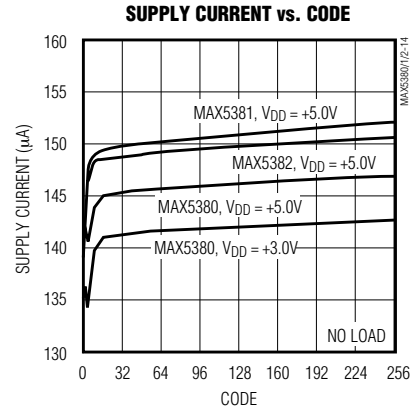
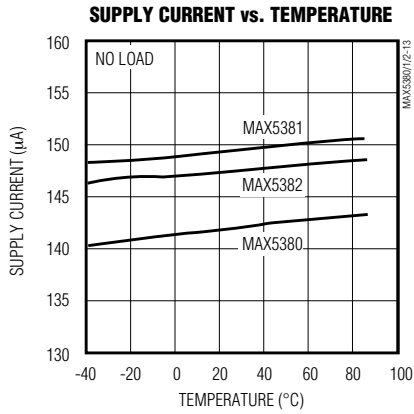
MAX5380/MAX5381/MAX5382

2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

MAX5380/MAX5381/MAX5382

標準動作特性(続き)

($V_{DD} = +3.0V$ (MAX5380), $V_{DD} = +5.0V$ (MAX5381/MAX5382); $R_L = 10k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



- A: MAX5361/MAX5362, $V_{DD} = 4.5V$ FULL-SCALE OR SOURCING
 B: MAX5360, FULL-SCALE, $V_{DD} = 2.7V$ SINKING, $V_{DD} = 5.0V$ SOURCING
 C: MAX5360, FULL-SCALE, $V_{DD} = 2.7V$ SOURCING
 D: ZERO CODE, $V_{DD} = 2.7V$ SINKING
 E: ZERO CODE, $V_{DD} = 5.5V$ SINKING

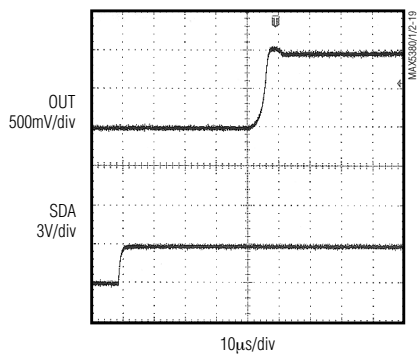
2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

標準動作特性(続き)

($V_{DD} = +3.0V$ (MAX5380), $V_{DD} = +5.0V$ (MAX5381/MAX5382); $R_L = 10k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

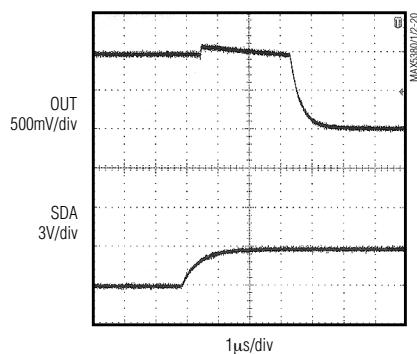
MAX5380/MAX5381/MAX5382

OUTPUT VOLTAGE EXITING SHUTDOWN



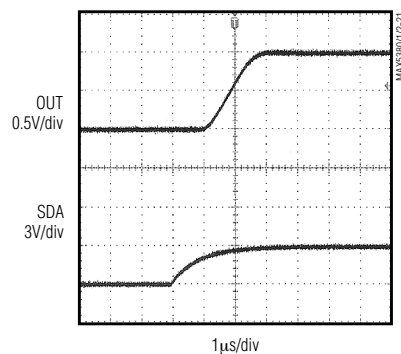
MAX5380, SHDN TO 0x80

OUTPUT VOLTAGE ENTERING SHUTDOWN



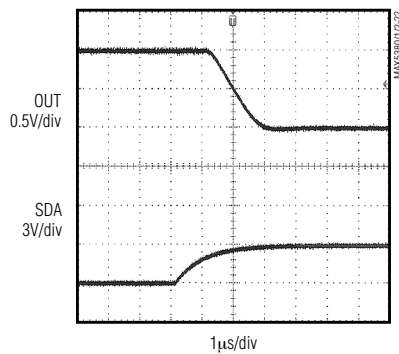
MAX5380, 0x80 TO SHDN

**OUTPUT SETTLING
FROM 1/4 FS TO 3/4 FS**



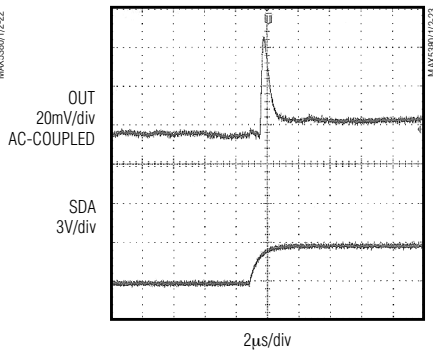
MAX5380

**OUTPUT SETTLING
FROM 3/4 FS TO 1/4 FS**



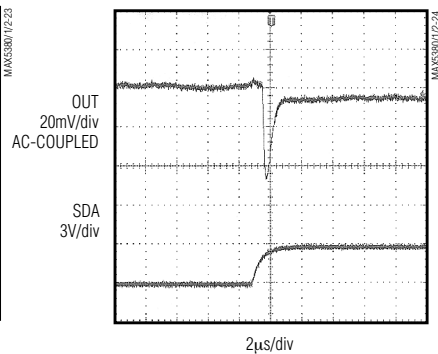
MAX5380

**OUTPUT SETTLING
1LSB STEP UP**



MAX5380, 0x7F TO 0x80

**OUTPUT SETTLING
1LSB STEP DOWN**



MAX5380, 0x80 TO 0x7F

端子説明

端子	名称	機能
1	OUT	DAC電圧出力
2	GND	グラウンド
3	V_{DD}	電源入力
4	SDA	シリアルデータ入力
5	SCL	シリアルクロック入力

2線シリアルインタフェース付、SOT23パッケージの低コスト、低電力、8ビットDAC

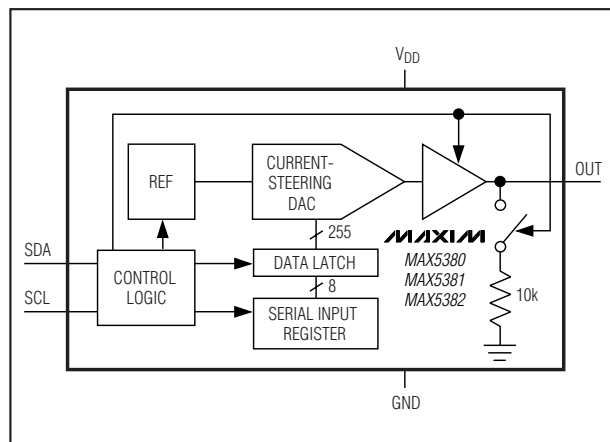


図1. ファンクションダイアグラム

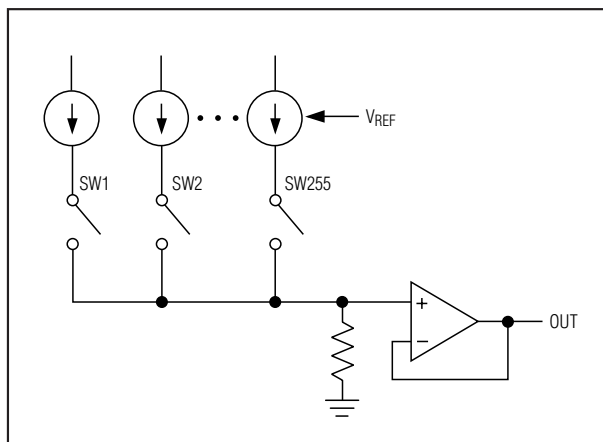


図2. 電流ステアリングトポロジー

表1. ユニポーラコード出力電流

DAC CODE	OUTPUT VOLTAGE		
	MAX5380	MAX5381	MAX5382
1111 1111	$2V \times (255 / 256)$	$4V \times (255 / 256)$	$0.9 \times V_{DD} \times (255 / 256)$
1000 0000	+1V	+2V	$0.9 \times V_{DD} / 2$
0000 0001	7.8mV	15.6mV	$0.9 \times V_{DD} / 256$
0000 0000	0	0	0

詳細

MAX5380/MAX5381/MAX5382は、積分非直線性誤差1LSB未満、微分非直線性誤差1LSB未満で完全8ビット性能を提供し、単調性を保証する電圧出力8ビットデジタルアナログコンバータ(DAC)です。これらのデバイスは最大400kHzで動作するシンプルな2線高速モードI²Cコンパチブルシリアルインタフェースを使用しています。MAX5380/MAX5381/MAX5382は内部リファレンス、出力バッファ及び低電流シャットダウンモードを備えているため、低電力、高度集積アプリケーションに最適です。(図1の「ファンクションダイアグラム」を参照して下さい。)

アナログ部

MAX5380/MAX5381/MAX5382は、図2に示す電流ステアリングDACトポロジーを備えています。DACの中心部はリファレンス電流を発生するリファレンス電圧電流コンバータ(V/I)です。この電流は255個の等しい重みを持った電流ソースに反映(ミラー)されます。DACスイッチはこれらのカレントミラーの出力を制御し、全カレントミラー電流のうちの必要な部分だけが

DAC出力に導かれます。この電流が抵抗両端の電圧に変換され、出力バッファアンプによってバッファされます。

出力電圧

表1にDACコードとアナログ出力電圧の関係を示します。8ビットDACコードはバイナリユニポーラで、1LSB = $V_{REF}/256$ です。MAX5380/MAX5381は内部リファレンスによってフルスケール出力電圧がそれぞれ(+2V - 1LSB)及び(+4V - 1LSB)に設定されています。MAX5382のフルスケール出力電圧は $(0.9 \times V_{DD} - 1LSB)$ です。

出力バッファ

DACの電圧出力は内部でバッファされた標準スルーレート $\pm 0.4V/\mu s$ のユニティゲインフォロワです。出力は0からフルスケールまでスイング可能です。1/4 FSから3/4 FSへの出力遷移において、アンプ出力は5 μs 以内に1/2LSBまでセトリングします(負荷は10k Ω /50pF)。このバッファアンプは10k Ω 以上の抵抗性負荷及び50pF以下の容量性負荷の任意の組み合わせに対して安定です。

2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

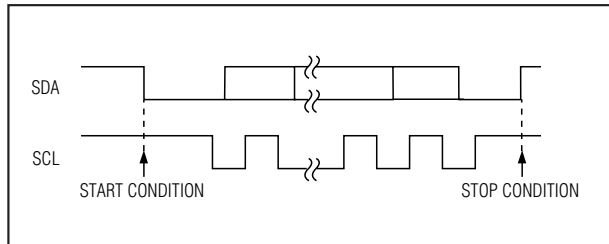


図5. START及びSTOP条件

MAX5381/MAX5382の固定スレーブアドレス、パワーモードビット、DACデータ、最後にSTOP条件から構成されています(図6)。この後バスは解放され、次の伝送を受け付けることができます。

SCLがハイの時にSDAの状態がサンプリングされるため、この時にSDAの状態が安定していなければなりません。データは8ビットバイトで伝送されます。各バイトをMAX5380/MAX5381/MAX5382に伝送するには9クロックサイクルが必要です。9番目のクロックサイクルで選択されたデバイスがバイトの受信をアクノレッジしたら、SDAをローにすることでSDAをリリースします。選択されたデバイスがアクノレッジしている時にマスターの出力が強制的にハイに駆動される時は、SDAラインに直列抵抗が必要になる場合があります(図4)。

スレーブアドレス

MAX5380/MAX5381/MAX5382は、4つの固定スレーブアドレスのうちのいずれかに設定された状態で提供されています。各アドレスオプションは、型番に追加されたサフィックスL、M、N又はPで識別されています。アドレスは、START条件の後でマスターが送信する7つの最上位ビット(MSB)として定義されます。アドレス

オプションは0x60、0x62、0x64及び0x66です(左揃え、LSBは0に設定)。8番目のビット(通常は書込み又は読取りプロトコルを定義するために使用されます)がデバイスのパワーモード(SHDN)を設定します。SHDNが1に設定されるとデバイスはパワーダウンします。デバイスサーチルーチンの間、MAX5380/MAX5381/MAX5382は両方のオプション(SHDN = 0又はSHDN = 1)をアクノレッジしますが、ストップ条件(又はリスタート)が直ちに発生した場合はそれ自身のパワー状態を変更しません。デバイスがパワーモードとDAC出力の両方を更新するには、2番目のバイト(DACデータ)が送信/受信される必要があります。

DACデータ

8ビットDACデータはMSBを先頭にした1LSB = $V_{REF}/256$ のストレートバイナリとしてデコードされ、対応するアナログ電圧に変換されます(表1を参照)。データバイトを受信した後、MAX5380/MAX5381/MAX5382は受信をアクノレッジして、STOP条件を予期します。STOP条件が来るとDAC出力が更新されます。

デバイスは、2番目のバイトがデバイスに同期入力(SHDN = 0)されるか、あるいはデバイスから同期出力(SHDN = 1)された時にだけ出力とパワーモードを更新します。SHDN = 1の時、マスターはデータバイトを同期出力する時に全部1を読取ります。MAX5380/MAX5381/MAX5382はアクノレッジビット以外のSDAを駆動しません。

I²Cコンパチビリティ

MAX5380/MAX5381/MAX5382は既存のI²C機器とコンパチブルです。SCL及びSDAはハイインピーダンス入力です。SDAは9番目のクロックパルス中にデータ

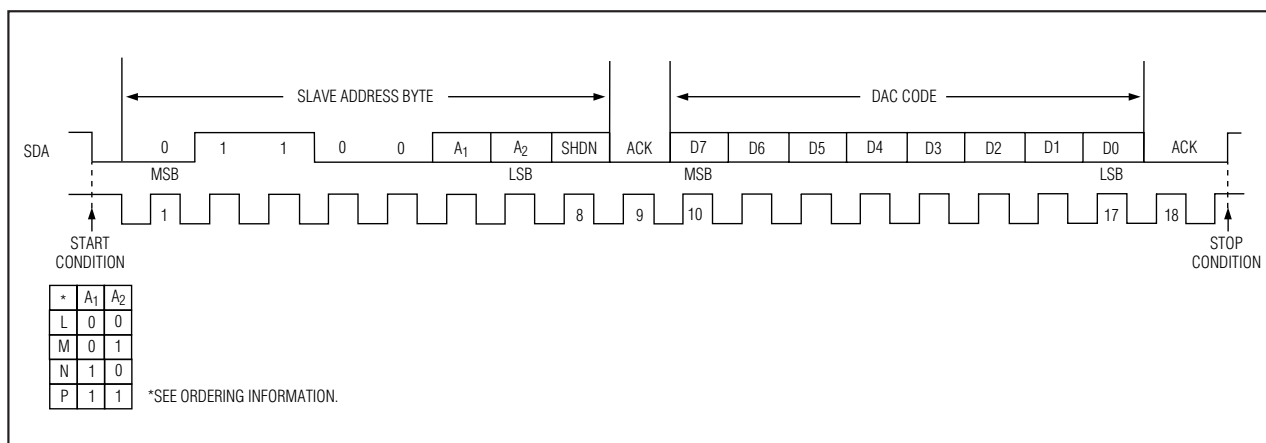


図6. 完全シリアル伝送

2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

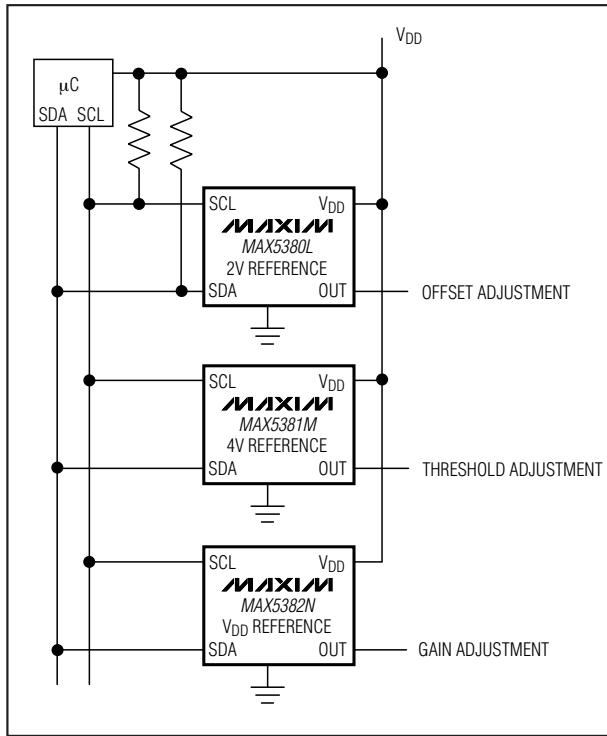


図7. I²Cの標準アプリケーション

ラインをローに引き下げるオープンドレインを備えています。図7に標準I²Cアプリケーションを示します。この通信プロトコルは標準I²C 8ビット通信をサポートします。一般コールアドレスは無視され、CBUSフォーマットもサポートしません。MAX5380/MAX5381/MAX5382のアドレスは7ビットI²Cアドレス指定プロトコルのみとコンパチブルです。10ビットフォーマットはサポートされていません。RESTARTプロトコルはサポートされていますが、DACを更新するには直後にSTOP条件が必要です。アドレスバイトの8番目のビットは通常読取り又は書込みプロトコルを示すために使用されますが、MAX5380/MAX5381/MAX5382の場合はシャットダウンモードの起動又は解除に使用されます。MAX5380/MAX5381/MAX5382がI²C読取りモードでアドレス指定されると、シャットダウンモードに入ります。

アプリケーション情報

デジタル入力及びインタフェースロジック

シリアル2線インタフェースは $V_{IL} = 0.3 \times V_{DD}$ 及び $V_{IH} = 0.7 \times V_{DD}$ と定義されたロジックレベルを持っています。いずれの入力も遷移の遅いインタフェースを許容できるようにシュミットトリガバッファを備えています。これは、外付ロジックを追加しなくてもフォトカプラを直接MAX5380/MAX5381/MAX5382にインタフェースできるということを意味します。デジタル入力はCMOSロジックレベルとコンパチブルですが、 V_{DD} より高い電圧で駆動することは許されません。

電源バイパス及びレイアウト

最適なシステム性能を得るには、プリント基板のレイアウトを注意深く行って下さい。クロストークとノイズの注入を低減するため、アナログ信号とデジタル信号を分離して下さい。GNDから電源グラウンドへのグラウンドリターンは短く、低インピーダンスになるようにして下さい。グラウンドプレーンの使用を推奨します。 V_{DD} はデバイスのできるだけ近くに配置した0.1 μ Fでグラウンドにバイパスして下さい。電源のノイズが大きい場合は、電源及び V_{DD} と直列に10 Ω 抵抗を接続し、容量を追加して下さい。

チップ情報

TRANSISTOR COUNT: 2910

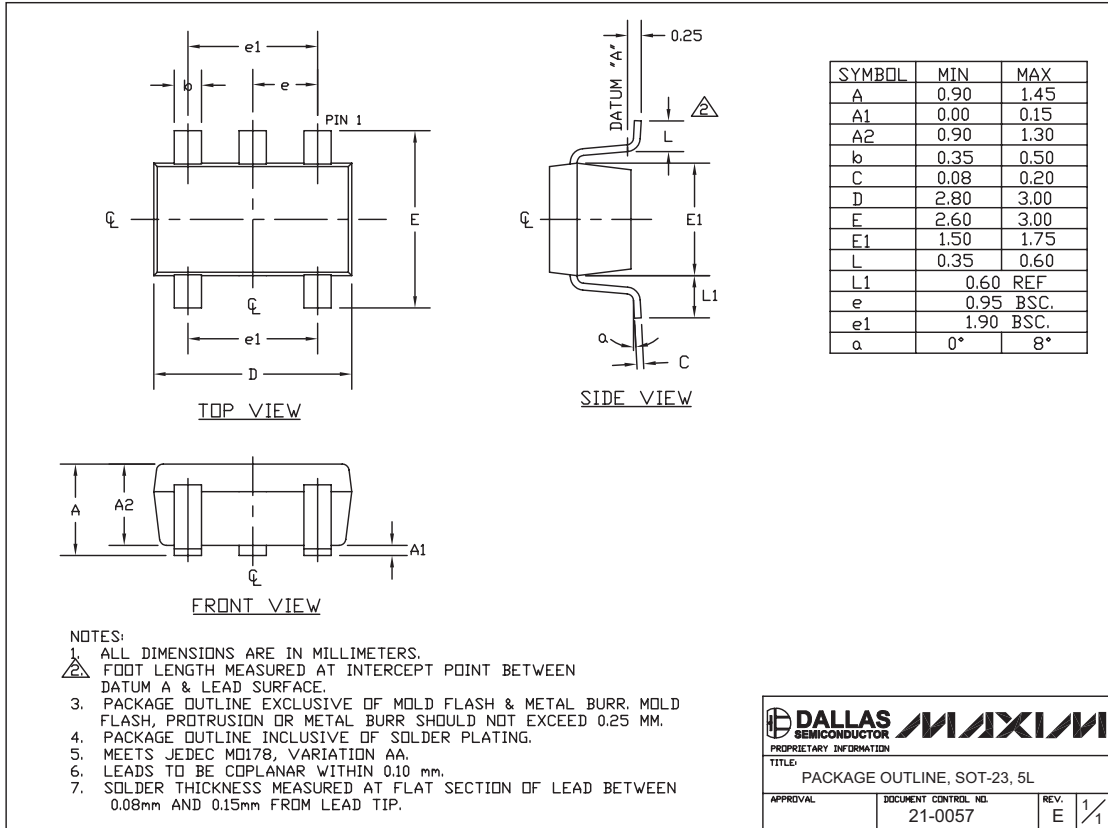
MAX5380/MAX5381/MAX5382

2線シリアルインタフェース付、 SOT23パッケージの低コスト、低電力、8ビットDAC

MAX5380/MAX5381/MAX5382

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2004 Maxim Integrated Products, Inc. All rights reserved. MAXIM is a registered trademark of Maxim Integrated Products, Inc.