

出力バッファ内蔵 オクタール8ビットシリアルDAC

概要

MAX528/MAX529は、オクタール8ビット、D/Aコンバータ、8個の出力バッファ及びシリアルインタフェースを備えたモノリシックデバイスで省スペースのSSOPパッケージで提供されています。MAX528は、15Vまでの単一電源、または+5V/-15V、+12V/-5V、+15V/-5Vを含むトータルで20Vまでの正負2電源で動作し、MAX529は、+5V単一電源、または±5Vの2電源で動作します。両製品とも、シャットダウン端子によって全ての内部DACデータを保持しながら、消費電流を50 μ A以下に抑えることができます。

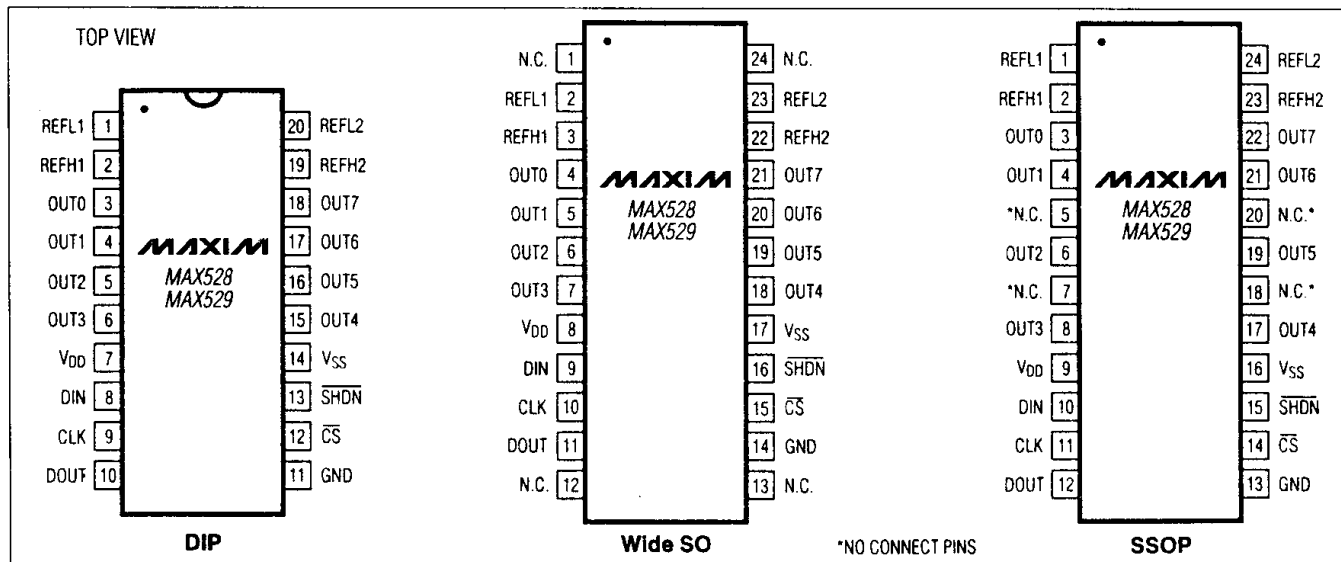
3つの出力モードは8個のアナログ出力の各ペアに対してシリアルにプログラム可能です。アンバッファモードでは、内部R-2R DAC回路が直接出力端子に接続され、消費電力を抑え、バッファのDCエラーも避けられます。フルバッファモードではバッファがR-2R回路と出力間に挿入され、+5mA/-2mAの出力モードにおいてもこれと同様ですが、ユニポーラ出力構成において、最大+5mAの出力ドライブを可能としながらより低い消費電力で駆動することができます。

シリアルデータは連続接続が可能であり、電源投入時全てのデータビットは“0”にリセットされ、アナログ出力はアンバッファモードに入ります。

アプリケーション

- デジタルゲイン/オフセット調整
- デジタルキャリブレーション
- ポテンショメータの置換え
- マイクロコントロールアナログ出力

ピン配置



特長

- ◆ 省スペースのSSOPパッケージでも提供
- ◆ 8チャンネル非反転バッファ出力
- ◆ バッファディセーブル制御
- ◆ 2組の差動リファレンス入力
- ◆ 3線シリアルインタフェース
- ◆ +5V単一電源、または±5V電源動作(MAX529)
- ◆ ローパワーシャットダウン
- ◆ 安定した容量負荷ドライブ

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX528CPP	0°C to +70°C	20 Plastic DIP
MAX528CWG	0°C to +70°C	24 Wide SO
MAX528CAG	0°C to +70°C	24 SSOP
MAX528C/D	0°C to +70°C	Dice*
MAX528EPP	-40°C to +85°C	20 Plastic DIP
MAX528EWG	-40°C to +85°C	24 Wide SO
MAX528EAG	-40°C to +85°C	24 SSOP
MAX528MJP	-55°C to +125°C	20 CERDIP**

Ordering information continued on last page.

* Contact factory for dice specifications.

** Contact factory for availability and processing to MIL-STD-883.

出力バッファ内蔵 オクタル8ビットシリアルDAC

MAX528/MAX529

ABSOLUTE MAXIMUM RATINGS - MAX528

V _{DD} to GND	-0.3V to +17V
V _{DD} to V _{SS}	-0.3V to +22V
V _{SS} to GND	-17V to +0.3V
REFH1 - REFL1, REFH2 - REFL2	-0.3V to +12V
REFH1 - V _{SS} , REFH2 - V _{SS}	+17V
REFH1, REFH2	(REFL ₋ - 0.3V) to (V _{DD} + 0.3V)
REFL1, REFL2	(V _{SS} - 0.3V) to (REFH ₋ + 0.3V)
OUT(1-8)	(V _{SS} - 0.3V) to (V _{DD} + 0.3V)
OUT(1-8) to V _{SS}	+17V
OUT(1-8) Current	±20mA
DIN, CLK, \overline{CS} , DOUT	-0.3V to (V _{DD} + 0.3V)
SHDN	(V _{SS} - 0.3V) to (V _{DD} + 0.3V)

DOUT Current	±20mA
Continuous Power Dissipation (T _A = +70°C)	
Plastic DIP (derate 11.11mW/°C above +70°C)	889mW
Wide SO (derate 11.76mW/°C above +70°C)	941mW
SSOP (derate 8.00mW/°C above +70°C)	640mW
CERDIP (derate 11.11mW/°C above +70°C)	889mW
Operating Temperature Ranges	
MAX528C ₋	0°C to +70°C
MAX528E ₋	-40°C to +85°C
MAX528MJP	-55°C to +125°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS - MAX528

(Unbuffered Mode: V_{DD} = +12V, V_{SS} = 0V; Full-Buffered Mode: V_{DD} = +12V, V_{SS} = -5V; GND = 0V, REFH = +5V, REFL = 0V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	UNBUFFERED MODE (Note 1)			FULL-BUFFERED MODE (Note 2)			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
STATIC PERFORMANCE									
Resolution			8			8			Bits
Relative Accuracy (Note 3)	RLE			±0.3	±1.0		±0.3	±1.0	LSB
Differential Nonlinearity (Note 4)	DNL	Guaranteed monotonic		±0.3	±1.0		±0.3	±1.0	LSB
Full-Scale Error	FSE	R _{LOAD} = open			±1/2				LSB
Gain Error (Note 5)		R _{LOAD} = open					-0.2		%
		R _{LOAD} = 5kΩ				0.0	-1.3	-2.5	%
Zero-Code Error					±5			±60	mV
Zero-Code Tempco				±5			±100		μV/°C
DAC Output Resistance	R _{OUT}		8.5k	13k	20k		55	100	Ω
DAC Output Resistance Match	ΔR _{OUT} /R _{OUT}			0.5			5.0		%
V _{DD} Supply Rejection Ratio (Note 6)	PSRR-V _{DD}	DAC code = 55 (hex)		0.1	1.0		0.3	2.0	mV/V
V _{SS} Supply Rejection Ratio (Notes 4,6)	PSRR-V _{SS}	DAC code = 55 (hex)		0.1	1.0		0.8	5.0	mV/V
REFERENCE INPUT									
Voltage Range (Note 7)	REFH	REFH - REFL = 11V max	REFL	V _{DD} -3	REFL	V _{DD} -3	V		
	REFL		V _{SS}	REFH	V _{SS} +1.5	REFH			
Input Resistance (Note 8)	REFH1/REFL1, or REFH2/REFL2	DAC code = 55 (hex)	2.0	3.4		2.0	3.4		kΩ
Input Capacitance	C _{REFH}	DAC loaded with 0s		40			40		pF
		DAC loaded with 1s		250			125		
AC Feedthrough		REFH=10kHz, 0-10V _{p-p} sinewave, all DACs at code 00 (hex)		-70			-70		dB

ELECTRICAL CHARACTERISTICS - MAX528 (continued)

(Unbuffered Mode: $V_{DD} = +12V$, $V_{SS} = 0V$; Full-Buffered Mode: $V_{DD} = +12V$, $V_{SS} = -5V$; $GND = 0V$, $REFH = +5V$, $REFL = 0V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	UNBUFFERED MODE (Note 1)			FULL-BUFFERED MODE (Note 2)			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
POWER REQUIREMENTS									
Positive Supply Range	V_{DD}		10.8		16.5	10.8		16.5	V
Negative Supply Range	V_{SS}		0		-5.5	-1.5		-5.5	V
Positive Supply Current	I_{DD}	$DIN = CLK = 0V$, $CS = SHDN = 5V$		0.3	1.0		5.5	9.0	mA
Negative Supply Current	I_{SS}	$DIN = CLK = 0V$, $CS = SHDN = 5V$		0.1	0.5		5.5	9.0	mA
I_{DD} at Shutdown	I_{DD}	$SHDN = low$			50			50	μA
I_{SS} at Shutdown	I_{SS}	$SHDN = low$			50			50	μA
DYNAMIC PERFORMANCE (Note 7)									
V_{OUT} Settling Time		To $\pm 1/2LSB$; $C_{LOAD} = 20pF$, from rising edge of CS		1	3		0.6	2.0	μs
Digital Coupling		Serial input: 1MHz CLK, DIN alternating 1s and 0s (0.5MHz), $C_L = 20pF$, 0V to 5V input levels at CLK, DIN		20			20		mVp-p
Crosstalk		Full-scale output transition on all 7 other channels (CS high)		40			20		nV-s
		1LSB output transition on all 7 other channels (CS high)		2			10		

DIGITAL AND SWITCHING CHARACTERISTICS - MAX528

($V_{DD} = +12V$, $V_{SS} = -5V$, $REFH = +5V$, $REFL = 0V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS DIN, CLK, CS, $SHDN$						
Input High Voltage	V_{INH}	DIN , CLK , CS	2.4			V
Input Low Voltage	V_{INL}	DIN , CLK , CS			0.8	V
Input High Voltage	V_{INH}	$SHDN$	3.0			V
Input Low Voltage	V_{INL}	$SHDN$			0.5	V
Input Hysteresis		DIN , CLK , CS		0.1		V
Input Leakage Current		$V_{IN} = 0V$ or V_{DD}			± 1	μA
Input Capacitance (Note 7)					10	pF
DIGITAL OUTPUT, $DOUT$, open drain output, 1kΩ pull-up resistor to +5V						
Output Low Voltage	V_{OL}	$I_{SINK} = 5mA$			0.4	V
Output High Leakage	I_{LKG}	$V_{OUT} = 0V$ to V_{DD}			± 10	μA
Output High Capacitance (Note 7)	C_{OUT}				15	pF

出力バッファ内蔵 オクタール8ビットシリアルDAC

MAX528/MAX529

DIGITAL AND SWITCHING CHARACTERISTICS - MAX528 (continued)

(V_{DD} = +12V, V_{SS} = -5V, REFH = +5V, REFL = 0V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SWITCHING CHARACTERISTICS						
CLK Pulse Width High	t _{CH}		80			ns
CLK Pulse Width Low	t _{CL}		80			ns
DIN to CLK High Setup	t _{DS}		40			ns
DIN to CLK High Hold	t _{DH}		15			ns
$\overline{\text{CS}}$ Low to CLK High Setup	t _{CS₀}		50			ns
$\overline{\text{CS}}$ High to CLK High Setup	t _{CS₁}		50			ns
Delay, CLK Low to Low $\overline{\text{CS}}$	t _{CS_{H0}}		0			ns
Delay, CLK High to High $\overline{\text{CS}}$	t _{CS_{H1}}		50			ns
$\overline{\text{CS}}$ Pulse Width	t _{CS_W}		130			ns
CLK High to DOUT Data Valid (Note 9)	t _{DO}	C _{LOAD} = 20pF, R _{pullup} = 1k Ω to 5V	15 (Note 7)		130	ns
$\overline{\text{CS}}$ Low to DOUT Enable (Note 10)	t _{DV}	C _{LOAD} = 20pF, R _{pullup} = 1k Ω to 5V			90	ns
$\overline{\text{CS}}$ High to DOUT Disable (Note 10)	t _{TR}	C _{LOAD} = 20pF, R _{pullup} = 1k Ω to 5V			90	ns

Note 1: Unbuffered mode – buffers disabled. No output load.

Note 2: Full-buffered mode – buffers enabled; bipolar output mode; R_{LOAD} = 5k Ω .

Note 3: Relative accuracy in unbuffered mode guaranteed by relative accuracy test in full-buffered mode.

Note 4: Specification in Unbuffered Mode column guaranteed by design only. Not subject to test.

Note 5: Gain error with full-buffered mode enabled = no-load gain error - (DAC output resistance/R_{LOAD}). Example: -0.2% typ no-load error - (55 Ω /5k Ω) = -1.3% typ error for 5k Ω load.

Note 6: PSRR tested over supply range specified under power requirements; PSRR = (V_{OUT1} - V_{OUT2})/(V_{SUPPLY1} - V_{SUPPLY2}).

Note 7: Guaranteed by design, not subject to test.

Note 8: Input resistance tested only under Unbuffered Mode conditions in Note 1 above.

Note 9: V_{OH} = 2.4V, V_{OL} = 0.8V.

Note 10: t_{DV} and t_{TR} are defined as the time required for DOUT to change 0.5V.

出力バッファ内蔵 オクタール8ビットシリアルDAC

MAX528/MAX529

ABSOLUTE MAXIMUM RATINGS - MAX529

V _{DD} to GND	-0.3V to +7V	DOUT Current	±20mA
V _{DD} to V _{SS}	-0.3V to +12V	Continuous Power Dissipation (T _A = +70°C)	
V _{SS} to GND	-7V to +0.3V	Plastic DIP (derate 11.11mW/°C above +70°C)	889mW
REFH1 - REFL1, REFH2 - REFL2	-0.3V to +12V	Wide SO (derate 11.76mW/°C above +70°C)	941mW
REFH1 - V _{SS} , REFH2 - V _{SS}	+12V	SSOP (derate 8.00mW/°C above +70°C)	640mW
REFH1, REFH2	(REFL ₋ - 0.3V) to (V _{DD} + 0.3V)	CERDIP (derate 11.11mW/°C above +70°C)	889mW
REFL1, REFL2	(V _{SS} - 0.3V) to (REFH ₋ + 0.3V)	Operating Temperature Ranges	
OUT(1-8)	(V _{SS} - 0.3V) to (V _{DD} + 0.3V)	MAX529C ₋	0°C to +70°C
OUT(1-8) to V _{SS}	+12V	MAX529E ₋	-40°C to +85°C
OUT(1-8) Current	±20mA	MAX529MJP	-55°C to +125°C
DIN, CLK, CS, DOUT	-0.3V to (V _{DD} + 0.3V)	Storage Temperature Range	-65°C to +160°C
SHDN	(V _{SS} - 0.3V) to (V _{DD} + 0.3V)	Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS - MAX529

(Unbuffered Mode: V_{DD} = +5V, V_{SS} = GND = 0V, REFH = +2.5V, REFL = 0V; Full-Buffered Mode: V_{DD} = +5V, V_{SS} = -5V, GND = 0V, REFH = +2.5V, REFL = -2.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	UNBUFFERED MODE (Note 1)			FULL-BUFFERED MODE (Note 2)			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
STATIC PERFORMANCE									
Resolution			8			8			Bits
Relative Accuracy (Note 3)	RLE			±0.3	±1.0		±0.3	±1.0	LSB
Differential Nonlinearity (Note 4)	DNL	Guaranteed monotonic		±0.3	±1.0		±0.3	±1.0	LSB
Full-Scale Error	FSE	R _{LOAD} = open			±1/2				LSB
Gain Error (Note 5)		R _{LOAD} = open					-0.2		%
		R _{LOAD} = 5kΩ				0.0	-1.3	-2.5	%
Unipolar Offset Error		DAC code = 00 (hex)			±5				mV
Bipolar Offset Error		DAC code = 80 (hex)						±60	mV
Offset Error Tempco				±5			±100		μV/°C
DAC Output Resistance	R _{OUT}		8.5k	13k	20k		55	100	Ω
DAC Output Resistance Match	ΔR _{OUT} /R _{OUT}			0.5			5.0		%
V _{DD} Supply Rejection Ratio (Note 6)	PSRR--V _{DD}	DAC code = 55 (hex)		1.5	5		3	10	mV/V
V _{SS} Supply Rejection Ratio (Notes 4,6)	PSRR--V _{SS}	DAC code = 55 (hex)		0.3	2		1	5	mV/V
REFERENCE INPUT									
Voltage Range (Note 7)	REFH		REFL	V _{DD} - 2.25		REFL	V _{DD} - 2.25		V
	REFL		V _{SS}	REFH		V _{SS} + 1.5	REFH		
Input Resistance (Note 8)	REFH1/REFL1, or REFH2/REFL2	DAC code = 55 (hex)	2.0	3.4		2.0	3.4		kΩ
Input Capacitance	C _{REFH}	DAC loaded with 0s		40			40		pF
		DAC loaded with 1s		250			125		

出力バッファ内蔵 オクタール8ビットシリアルDAC

MAX528/MAX529

ELECTRICAL CHARACTERISTICS - MAX529 (continued)

(Unbuffered Mode: $V_{DD} = +5V$, $V_{SS} = GND = 0V$, $REFH = +2.5V$, $REFL = 0V$; Full-Buffered Mode: $V_{DD} = +5V$, $V_{SS} = -5V$, $GND = 0V$, $REFH = +2.5V$, $REFL = -2.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	UNBUFFERED MODE (Note 1)			FULL-BUFFERED MODE (Note 2)			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
AC Feedthrough		$REFH = 10kHz$, $0-2.5V_{p-p}$ sinewave, all DACs at code 00 (hex)		-70			-70		dB
POWER REQUIREMENTS									
Positive Supply Range	V_{DD}		4.75		5.25	4.75		5.25	V
Negative Supply Range	V_{SS}		0		-5.5	-4.5		-5.5	V
Positive Supply Current	I_{DD}	$DIN = CLK = 0V$, $CS = SHDN = 5V$		0.3	1.0		5.5	9.0	mA
Negative Supply Current	I_{SS}	$DIN = CLK = 0V$, $CS = SHDN = 5V$		0.1	0.5		5.5	9.0	mA
I_{DD} at Shutdown	I_{DD}	$\overline{SHDN} = low$			50			50	μA
I_{SS} at Shutdown	I_{SS}	$\overline{SHDN} = low$			50			50	μA
DYNAMIC PERFORMANCE (Note 7)									
V_{OUT} Settling Time		To $\pm 1/2LSB$; $C_{LOAD} = 20pF$, from rising edge of CS		1	3		0.6	2.0	μs
Digital Coupling		Serial input: 1MHz CLK, DIN alternating 1s and 0s (0.5MHz), $C_L = 20pF$, 0V to 5V input levels at CLK, DIN		20			20		mVp-p
Crosstalk		Full-scale output transition on all 7 other channels (CS high)		40			20		nV-s
		1LSB output transition on all 7 other channels (CS high)		2			10		

DIGITAL AND SWITCHING CHARACTERISTICS - MAX529

($V_{DD} = +5V$, $V_{SS} = -5V$, $REFH = +2.5V$, $REFL = -2.5V$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS DIN, CLK, \overline{CS}, \overline{SHDN}						
Input High Voltage	V_{INH}	DIN, CLK, \overline{CS}	2.4			V
Input Low Voltage	V_{INL}	DIN, CLK, \overline{CS}			0.8	V
Input High Voltage	V_{INH}	\overline{SHDN}	3.0			V
Input Low Voltage	V_{INL}	\overline{SHDN}			0.5	V
Input Hysteresis		DIN, CLK, \overline{CS}		0.1		V
Input Leakage Current		$V_{IN} = 0V$ or V_{DD}			± 1	μA
Input Capacitance (Note 7)					10	pF
DIGITAL OUTPUT, DOUT, open drain output, 1.3kΩ pull-up resistor to +5V						
Output Low Voltage	V_{OL}	$I_{SINK} = 3.5mA$			0.4	V
Output High Leakage	I_{LKG}	$V_{OUT} = 0V$ to V_{DD}			± 10	μA
Output High Capacitance (Note 7)	C_{OUT}				15	pF

DIGITAL AND SWITCHING CHARACTERISTICS - MAX529 (continued)

(VDD = +5V, VSS = -5V, REFH = +2.5V, REFL = -2.5V, TA = TMIN to TMAX, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SWITCHING CHARACTERISTICS						
CLK Pulse Width High	tCH		125			ns
CLK Pulse Width Low	tCL		125			ns
DIN to CLK High Setup	tDS		50			ns
DIN to CLK High Hold	tDH		20			ns
\overline{CS} Low to CLK High Setup	tCSS0		50			ns
\overline{CS} High to CLK High Setup	tCSS1		50			ns
Delay, CLK Low to Low \overline{CS}	tCSH0		0			ns
Delay, CLK High to High \overline{CS}	tCSH1		50			ns
\overline{CS} Pulse Width	tCSW		300			ns
CLK High to DOUT Data Valid (Note 9)	tDO	CLOAD = 20pF, Rpullup = 1k Ω to 5V	20 (Note 7)		200	ns
\overline{CS} Low to DOUT Enable (Note 10)	tDV	CLOAD = 20pF, Rpullup = 1k Ω to 5V			120	ns
\overline{CS} High to DOUT Disable (Note 10)	tTR	CLOAD = 20pF, Rpullup = 1k Ω to 5V			120	ns

Note 1: Unbuffered mode – buffers disabled. No output load.

Note 2: Full-buffered mode – buffers enabled; bipolar output mode; RLOAD = 5k Ω .

Note 3: Relative accuracy in unbuffered mode guaranteed by relative accuracy test in full-buffered mode.

Note 4: Specification in Unbuffered Mode column guaranteed by design only. Not subject to test.

Note 5: Gain error with full-buffered mode enabled = no-load gain error - (DAC output resistance/RLOAD). Example: -0.2% typ no-load error - (55 Ω /5k Ω) = -1.3% typ error for 5k Ω load.

Note 6: PSRR tested over supply range specified under power requirements; PSRR = (VOUT1 - VOUT2)/(VSUPPLY1 - VSUPPLY2).

Note 7: Guaranteed by design, not subject to test.

Note 8: Input resistance tested only under Unbuffered Mode conditions in Note 1 above.

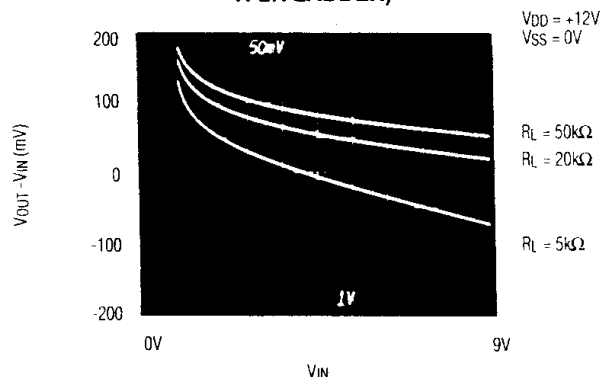
Note 9: VOH = 2.4V, VOL = 0.8V.

Note 10: tDV and tTR are defined as the time required for DOUT to change 0.5V.

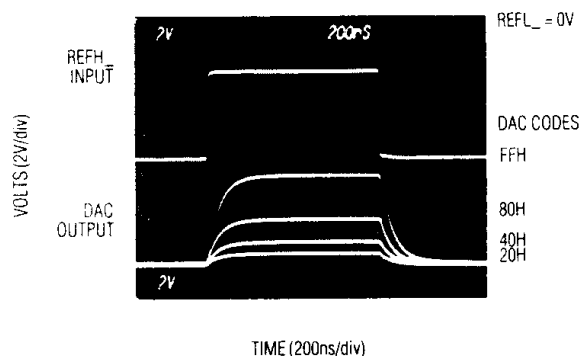
標準動作特性

MAX528

**MAX528
HALF-BUFFERED GAIN AND LINEARITY
ERROR vs. VIN (OUTPUT VOLTAGE OF
R-2R LADDER)**



**MAX528
FULL-BUFFERED STEP RESPONSE
FOR VARIOUS CODES, NO LOAD**

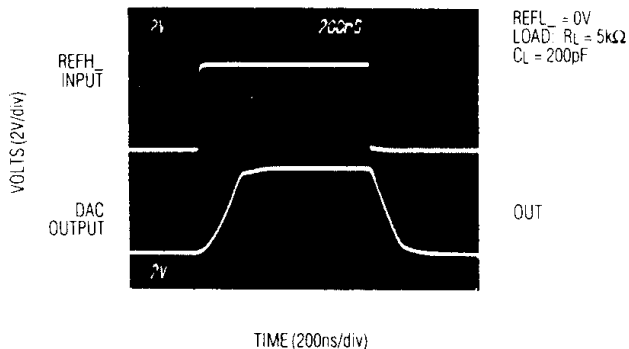


出力バッファ内蔵 オクタル8ビットシリアルDAC

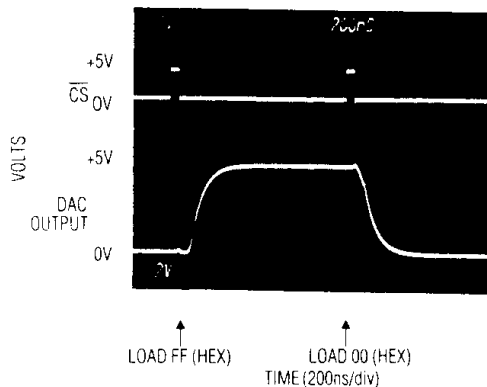
標準動作特性(続き)

MAX528/MAX529

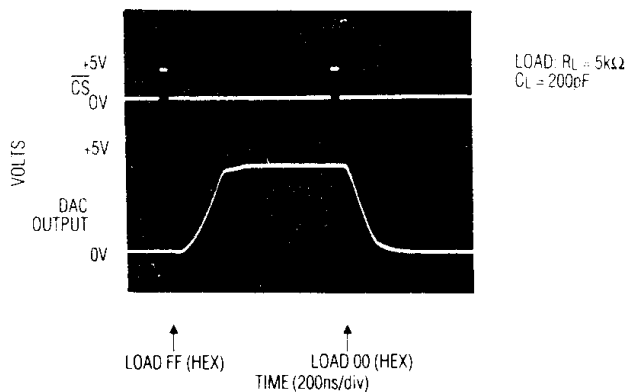
MAX528
FULL-BUFFERED STEP RESPONSE



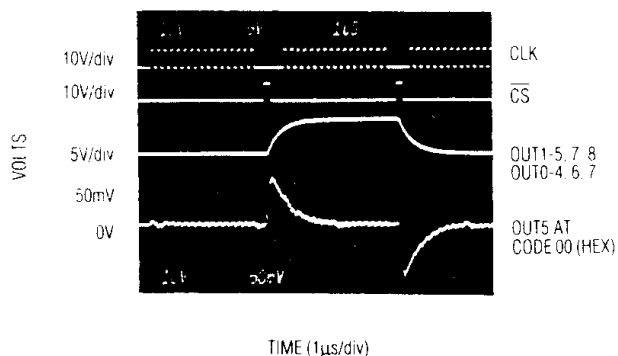
MAX528
FULL-BUFFERED SETTLING TIME
CODE CHANGE (00-FF-00), NO LOAD



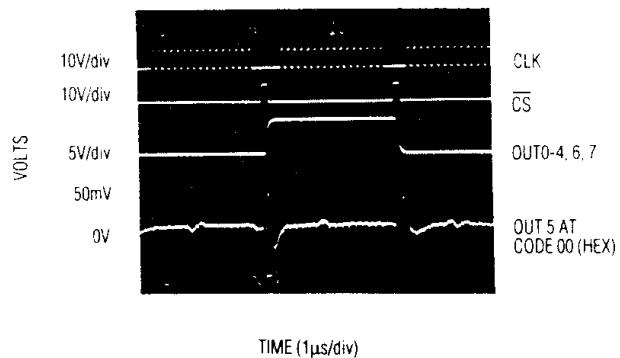
MAX528
FULL-BUFFERED SETTLING TIME
CODE CHANGE (00-FF-00)



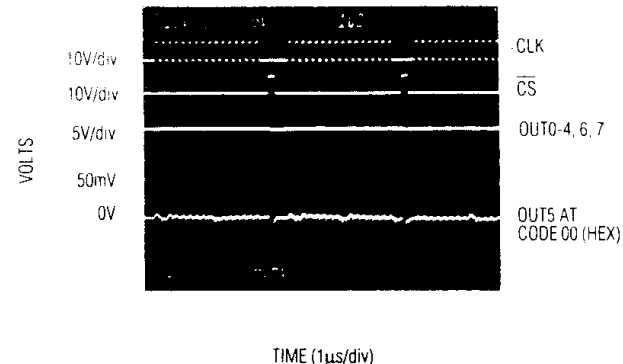
MAX528
UNBUFFERED OFF-CHANNEL GLITCH
CODE CHANGE (00-FF-00), NO LOAD



MAX528
FULL-BUFFERED OFF-CHANNEL GLITCH
CODE CHANGE (00-FF-00), NO LOAD



MAX528
UNBUFFERED OFF-CHANNEL GLITCH
CODE CHANGE (7F-80-7F), NO LOAD



出力バッファ内蔵 オクタル8ビットシリアルDAC

MAX528/MAX529

端子説明

端 子			名称	機 能
SSOP	DIP	SOP		
5, 7, 18, 20	-	1, 12, 13, 24	N.C.	無接続。これらの端子は内部接続されていません。
1	1	2	REFL1	リファレンス1入力ロー。REFH1よりも低く、Vssよりも高いこと。
2	2	3	REFH1	リファレンス1入力ハイ。REFL1よりも高く、VDDよりも低いこと。
3	3	4	OUT0	出力電圧0。チャンネル0のデジタルコードと(REFH1 - REFL1)の積。REFL1を基準。
4	4	5	OUT1	出力電圧1。チャンネル1のデジタルコードと(REFH1 - REFL1)の積。REFL1を基準。
6	5	6	OUT2	出力電圧2。チャンネル2のデジタルコードと(REFH1 - REFL1)の積。REFL1を基準。
8	6	7	OUT3	出力電圧3。チャンネル3のデジタルコードと(REFH1 - REFL1)の積。REFL1を基準。
9	7	8	VDD	正のアナログ及びデジタル電源。
10	8	9	DIN	デジタル入力。CMOS、TTLコンパチブルのシリアルプログラミング入力。
11	9	10	CLK	クロック入力。CMOS、TTLコンパチブルのクロック入力。
12	10	11	DOUT	デジタル出力。オープンドレインNチャンネルFET出力(外部プルアップ抵抗要)。DINからシフトされた16ビットシリアルデータ出力。
13	11	14	GND	デジタルグランド。0Vに接続(アナログ信号はグランドでなく該当のREFL電源を基準とする)。
14	12	15	$\overline{\text{CS}}$	CHIP SELECT信号。シリアルにプログラムするためにロジックローに接続。データをラッチするにはロジックハイにし、内部シフトレジスタをターンオフします。CSの立上がりエッジでデータレジスタ内に新しいデータが転送され、DAC出力が変化します。
15	13	16	SHDN	SHUTDOWN信号。ノーマル動作ではロジックハイに、シャットダウンモードでは、グランドに接続。
16	14	17	Vss	負のアナログ電源。単一電源動作時にはグランドに接続、バイポーラDAC出力の場合は負電源に接続。
17	15	18	OUT4	出力電圧4。チャンネル4のデジタルコードと(REFH2 - REFL2)の積。REFL2を基準。
199	16	19	OUT5	出力電圧5。チャンネル5のデジタルコードと(REFH2 - REFL2)の積。REFL2を基準。
21	17	20	OUT6	出力電圧6。チャンネル6のデジタルコードと(REFH2 - REFL2)の積。REFL2を基準。
22	18	21	OUT7	出力電圧7。チャンネル7のデジタルコードと(REFH2 - REFL2)の積。REFL2を基準。
23	19	22	REFH2	リファレンス2入力ハイ。REFL2よりも高く、VDDよりも低いこと。
24	20	23	REFL2	リファレンス2入力ロー。REFH2よりも低く、Vssよりも高いこと。

出力バッファ内蔵 オクタール8ビットシリアルDAC

MAX528/MAX529

詳細

MAX528/MAX529には8個のラッチ付D/Aコンバータ、8個のバッファアンプ、2個のリファレンス入力、及びシリアル制御ロジックが内蔵されています。バッファアンプは内蔵スイッチによってバイパスでき、バッファモード、フルバッファモード、ハーフバッファモードの3つのモードで動作します。

8個、あるいは任意の電圧出力数を16ビットのシリアルデータでプログラム可能です。

DAC出力電圧範囲

MAX528/MAX529は2つのリファレンス入力から8個の電圧出力(OUT0~OUT7)を得ることができます。各リファレンス電圧はREFHとREFLの2つの入力端子を持っています。OUT0からOUT3までの出力電圧はREFH1とREFL1間の電圧に、またOUT4からOUT7までの出力電圧はREFH2とREFL2間の電圧に依存します。各々のリファレンスはREFH入力の方がREFL入力より高くなければなりません。DACの出力電圧はプログラムされた8ビットのデジタル入力コードとリファレンス入力電圧の積になります。

例えばOUT5の出力電圧は：

$$OUT5 = (REFH2 - REFL2)(nn/256) + REFL2$$

ここでnn = OUT5の8ビットコード入力(範囲：0~255、16進法で00~FFの値)。

リファレンス入力は互いに独立しており、REFHはV_{DD}の3Vまで(MAX529はV_{DD}の2.25V)、REFLはV_{SS}と同電圧(アンバッファモードとハーフバッファモード時)、またはV_{SS} + 1.5V以上(フルバッファモード時)でなければなりません。V_{SS}は、(V_{DD} - V_{SS})が20V以下の条件で-15V~0V間(MAX528)、または0V~-5V間(MAX529)の任意の負電圧にできます。全てのモードにおいてREFHはREFLよりも11V以上高くしてはいけません。

MAX528/MAX529はデジタルグランド端子(GND)はありますが、内部アナロググランドを持っているわけではありません。任意のDAC出力の上/下限リミットは接続されているREFHとREFLの電圧で決まります。

シャットダウン

消費電力を低減するために、MAX528/MAX529にはSHDN端子をローにすることによるシャットダウン機能があります。この時V_{CC}とV_{SS}の電源消費電流は50μA以下になりますが、リファレンス電流は流れたままです。リファレンス電流はコードに依存し、全てのDACに“0”を書き込めばほぼゼロ(リーク電流のみ)になります。

注：シャットダウン中、レジスタのデータを確実に保持させるため、シャットダウンモードにする時とそれを解除する時、CSをハイにしておきます。

バッファ出力モード

DAC出力はアンバッファモード、フルバッファモード、ハーフバッファモードの3つのバッファモードのうち1つにプログラムできます。バッファはペアでアクティブにし、フル、またはハーフバッファモードは、表1に示すように4つのバンク内で選択しなければなりません(「デジタルインタフェース」の項を参照)。

表1. バッファ出力モード選択コード
(アドレス 00 hex, D6 = X, D7 = 1)

Mode	OUT0, 1	OUT2, 3	OUT4, 5	OUT6, 7
Unbuffered (D0, D3=X)	D5 = 0	D4 = 0	D2 = 0	D1 = 0
Full-Buffered	D5 = 1	D4 = 1	D2 = 1	D1 = 1
	D3 = 1		D0 = 1	
Half-Buffered	D5 = 1	D4 = 1	D2 = 1	D1 = 1
	D3 = 0		D0 = 0	

アンバッファモード

アンバッファモードでは、内部20kΩ R-2R DACネットワーク(図1)が、直接OUTに接続されます。バッファ回路はディセーブル状態となり、内部バッファアンプによるオフセットエラーと消費電力が低減します(Electrical Characteristics参照)。高抵抗負荷(1MΩ以上)をドライブすれば精度が改善されます。アンバッファモードにおける出力範囲はMAX528の場合、負電源電圧のV_{SS}から(V_{DD} - 3V)でMAX529の場合、V_{SS}~(V_{DD} - 2.25V)の範囲です。

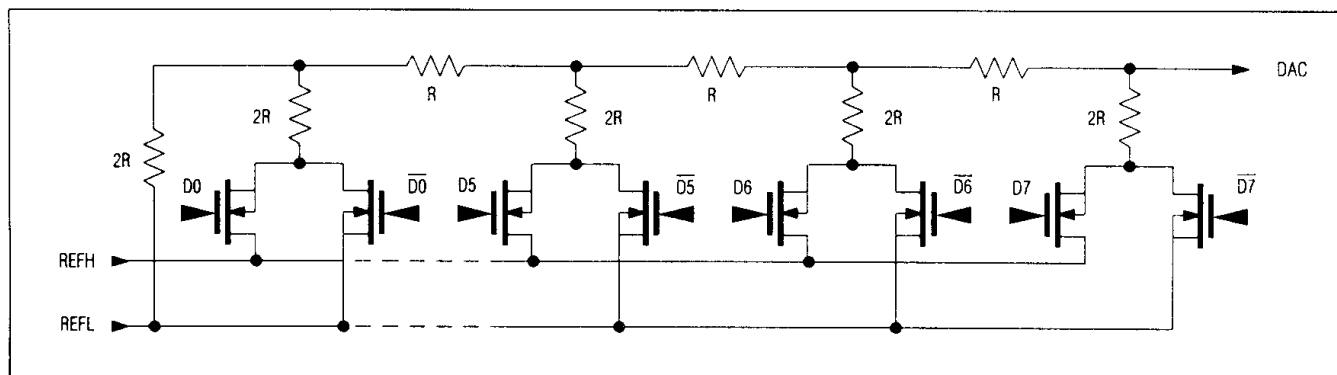


図1. R-2R反転ラダーDAC構成

出力バッファ内蔵 オクタール8ビットシリアルDAC

MAX528/MAX529

また、アンバッファモードは低抵抗負荷でも効率的に動作しますが、出力負荷接続によってゲイン(フルスケール)エラーを生ずることがあります。これはDAC出力抵抗(8.5kΩ~20kΩ)がコードによって変化しないためニアリティには影響しません。予期されるゲインエラーの大きさは、出力におけるDC負荷抵抗に対するDAC出力インピーダンス(13kΩ typ)の比となります。

アンバッファ動作のもう1つの利点は、出力フィルタに小容量のコンデンサが必要だけで抵抗が不要なことです。「標準動作特性」のアンバッファモード出力グリッドフィルタリング特性から、1つのチャンネルを除く他の全チャンネルが変化した時(フルスケールからゼロへの変化)のフィールドスルーの影響がわかります。CSの立上がりエッジ上(1番上のトレース)で、エネルギーは、変化しないチャンネル内(2番目のトレース、アンフィルタ)にカップリングされ、MAX528では70mV、1μsのパルスを、またMAX529では40mV、5μsのパルスを生じます。MAX528のグラフの3番目と4番目のトレースは、このパルスが200pFと1000pFの負荷容量でどのように抑制されるかを示しているものです。MAX529の3番目のトレースは200pFのコンデンサによるこのパルスの抑制を示します。

フルバッファモード

フルバッファモード(図2)ではバッファアンプの両セクションがアクティブとなり、出力インピーダンスが55Ω (typ)に低下し、+5mA/-2mAの出力電流を供給できます。バッファアンプの出力振幅は、MAX528では(V_{SS}+1.5V)~(V_{DD}-3V)、MAX529では(V_{SS}+1.5V)~(V_{DD}-2.25V)です。このモードの特長は負荷電流が変化しても出力変化がごく小さいことです。

ハーフバッファモード

ハーフバッファモード(図3)では出力段の上半分のみがアクティブとなり、ソーシング電流のみとなります。このモードの特長はバッファ出力を与えている間、出力振幅を

V_{SS}以上に保てることです。出力振幅は、MAX528ではV_{SS}から(V_{DD}-3V)、MAX529ではV_{SS}(V_{DD}-2.25V)~(V_{DD}-2.25V)です。消費電流はフルバッファモードでは5.5mAですが、全てのバッファがハーフバッファモードの場合、1.7mA(typ)です。

MAX528でのACリファレンスの応用

リファレンス信号がAC信号成分をもつアプリケーションにおいて、MAX528にはREFHとREFLの仕様内で乗算機能があります。図4にREFHの前段でDC電圧上に重畳することによってAC信号をアッテネートするテクニックを示します。DACのデジタルコード入力に変化するとDCレベルが変化するようにAC出力が変わります。次段への出力のDCレベルは容量結合することによって除去できます。注：REFH入力における負のピーク電圧はREFL以下にスイングさせないで下さい。

デジタルインタフェース

シリアルインタフェース

DIN入力のシリアルデータは、CS̄が、ローでSHDN̄がハイの間、CLKの立上がりエッジで入力されます(図5)。データは最高6.25MHz(MAX529では4MHz)のクロックレートでロードされ、ロジック入力はCMOS/TTLコンパチブルです。シリアル出力DOUTはオープンドレインのNチャンネルFETで5mAまでのシンク機能があり、V_{DD}にプルアップするための外部抵抗(4.7kΩ typ)が必要です。出力データはCLKの立上がりエッジで変化します。

また、MAX528あるいはMAX529は何個でも連続接続が可能です。これは1つのデバイスのDOUTピン(プルアップ抵抗必要)を後続のデバイスのDINピンに接続していく方法です。CLKとCS̄はバスで一緒にし、クロック周期とt_{CS}(CS̄がローからCLKのハイまで)時間を、デバイス間のデータ遅延のために長くします。

2つのデバイス間のDOUT-DIN接続点における容量負荷が50pF以下だと、要求のt_{CS}はt_{DV}(イネーブル)

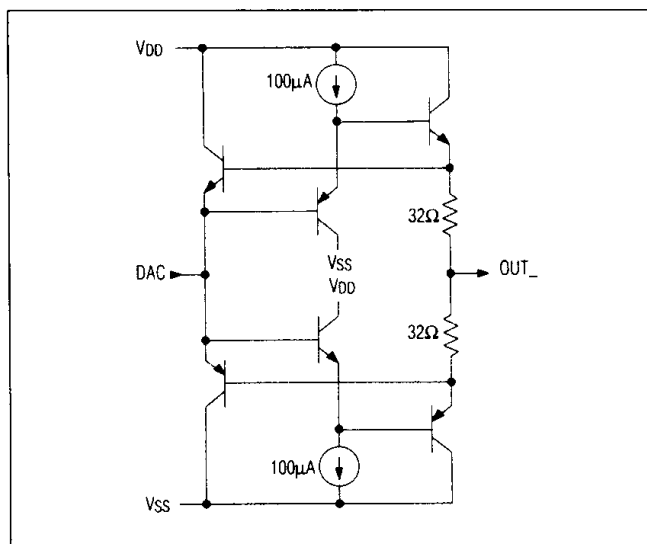


図2. フルバッファ出力等価回路

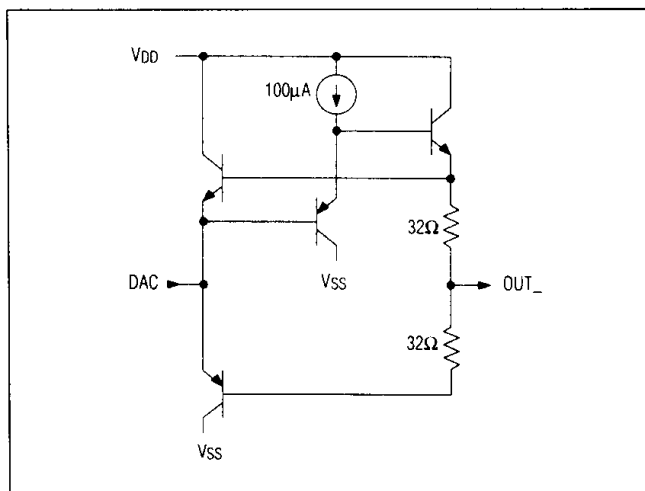


図3. ハーフバッファ出力等価回路

出力バッファ内蔵 オクタル8ビットシリアルDAC

MAX528/MAX529

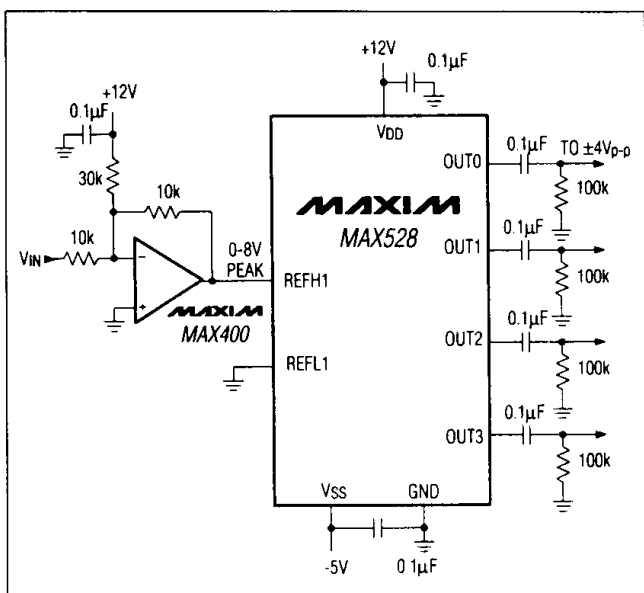


図4. MAX528のACリファレンスでの応用

と t_{DS} (セットアップタイム) の合計となり、MAX528では130ns (90ns + 40ns)、MAX529では170ns (120ns + 50ns) になります。

最高クロックレートは容量負荷は勿論、プルアップ抵抗のサイズによっても影響を受けます。

$$f_{CLKmax} = 1 / (t_{DD} + t_{DS} + 0.65t_{RC})$$

ここで $t_{DD} = 130ns$

$t_{DS} = 40ns$

$t_{RC} = \text{プルアップ抵抗} \times \text{容量負荷}$

従って1kΩのプルアップ抵抗と50pF容量負荷の場合、MAX528の f_{CLKmax} は4.7MHzとなり、4.7kΩのプルアップ抵抗と50pF容量負荷の場合は2.8MHzに低下します。MAX529の場合も $t_{DD} = 200ns$ 、 $t_{DS} = 50ns$ の値を使って同様に計算できます。

DACのプログラミング

MAX528/MAX529は、2つの8ビットバイト形式、つまりアドレスポイントビット(A7~A0)、それに続くデータバイト(D7~D0)の16データビットでプログラムされます。これらのビットはDINを通してシリアルにシフトレジスタに入力されます(A7が最初でD0が最終ビット)。同様の順番で16クロックサイクル後にDOOUTにデータが出てきます。

DINにおけるデータは、 \overline{CS} がローで \overline{SHDN} がハイにホールドされている時、CLKの立上がりエッジで最初のレジスタ内にシフトされます(16レジスタビット全てがワンステージにシフトされながら)、これはシフトレジスタ内に全てのデータビットをロードするため16回行われなければなりません。 \overline{CS} の立上がりエッジで16シフトレジ

スタ内のデータはアドレッシングされたとおり転送され、CLKはディセーブル状態になります。

NOP(ノーオペレーション)

ノーオペレーション(NOP)は、8つのアドレスポイントビット(A7~A0)全てと、データビットD7がロジック“0”の時実行され、D6~D0内のデータは無視されます。この命令がクロックインされると、レジスタはアップデートされず、出力は変化しないままとなります。このNOPはMAX528/MAX529が多数連続接続される時のダミーとして使われます。

SET DAC

8つのアドレスポイントビット(A7~A0)の少なくとも1つがロジック“1”の時、SET DAC命令が実行されます。SET DACは任意のあるいは全てのDACレジスタのデジタルコード(及び当該のDAC出力)を1つの新しい値にアップデートし、この新しい値はデータバイト(D7~D0)内に収められています。各アドレスポイントビット(A7~A0)は1つのDAC出力を選択し、出力の任意の組み合わせは1つの16ビット命令で同時にアップデートされます。アドレス 0000 0000 はNOP命令とセットバッファモードで使われるということをお忘れ下さい。

SET DACによって、バッファモードは変化しません。

セットバッファモード

セットバッファモードは8つのアドレスポイントビット(A7~A0)全てがロジック“0”で、データビットD7が“1”の時実行されます(表1参照)。D6のデータは無視されます。この命令が実行されると、データビットD5~D0はモードレジスタのみに転送され、DACレジスタは変化しません。

8つのバッファは、データビットD1、D2、D4、D5の4つのペアで、イネーブル、あるいはディセーブ状態になります。D1はバッファ6と7を、D2はバッファ4と5を、D4はバッファ2と3、D5はバッファ0と1を制御します。ロジック“1”で1つのバッファペア(フルバッファ、あるいはハーフバッファモード)をイネーブルにし、ロジック“0”で1つのバッファペア(アンバッファモード)をディセーブ状態にします。

フルバッファモードとハーフバッファモードは、2つのデータビットD0とD3によってセットされ、D0はOUT4~OUT7を、D3はOUT0~OUT3を制御します。ロジック“1”でフルバッファモードが、ロジック“0”でハーフバッファモードに設定されます。これらのデータビットはバッファ出力ペアがD1、D2、D4、D5内の“1”によってイネーブル状態になっている時のみ適用します。

セットバッファモード命令によってDACレジスタはアップデートされません。

プログラミングデータ

表2. NOP命令のプログラミング

Data Direction: First >-----> Last

Function	Address Pointer Bits								Data Byte							
	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
NOP	0	0	0	0	0	0	0	0	0	X	X	X	X	X	X	X

X = 任意

表3. SET DAC出力のプログラミング

Function	Address Pointer Bits								Data Byte							
	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
SET DAC Outputs	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

DAC code, 0000 0000 to 1111 1111 (00 Hex through FF Hex) D7 = MSB; D0 = LSB.
 AX = set DAC register X to digital value D7-D0. A7 = OUT7...A0 = OUT0. Logic 1 sets the DAC register to new DAC code in D7-D0; logic 0 ignores D7-D0 code and keeps previous code. At least one of these 8 bits must be 1 (A7-A0 = 01 hex to FF hex).

表4. SET バッファモードのプログラミング

Function	Address Pointer Bits								Data Byte							
	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
Set Buffer Modes	0	0	0	0	0	0	0	0	1	X	0&1	2&3	0/3	4&5	6&7	4/7

X = 任意 (D6)
 0&1 (D5) = buffer enable for OUT0 and OUT1. Logic 1 = buffers enabled, 0 = buffers disabled (unbuffered mode). Similar remarks apply to 2&3 (D4), 4&5 (D2), and 6&7 (D1).
 0/3 (D3) = buffer modes for OUT0-3. Logic 1 = full-buffered mode, 0 = half-buffered mode. D3 has no meaning when D4 and D5 are both 0.
 4/7 (D0) = buffer modes for OUT4-7. Logic 1 = full-buffered mode, 0 = half-buffered mode. D0 has no meaning when D1 and D2 are both 0.

プログラミング例

例1. OUT0、OUT2、OUT7をバイナリ値0100 1110 (4E hex) にセット。OUT1、OUT3、OUT4、OUT5、OUT6は変化させず、バッファ状態はそのまま。

Data Direction: First >-----> Last

	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
Example 1	1	0	0	0	0	1	0	1	0	1	0	0	1	1	1	0

例2. OUT6を除き全てのDACをバイナリ値0000 0000 (00 hex) にセット。OUT6は変化させず、バッファ状態はそのまま。

	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
Example 2	1	0	1	1	1	1	1	1	0	0	0	0	0	0	0	0

例3. バッファを全てディセーブルにする(アンバッファモード)。DACデータはそのまま。

	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
Example 3	0	0	0	0	0	0	0	0	1	X	0	0	X	0	0	X

X = 任意

例4. (1) OUT0とOUT1バッファをフルバッファモードにイネーブルし、OUT2、OUT3をアンバッファモードにする。
 (2) OUT6とOUT7バッファをフルバッファモードにイネーブルし、OUT4、OUT5をアンバッファモードにする。
 DACデータはそのまま。

	A7	A6	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0
Example 4	0	0	0	0	0	0	0	0	1	X	1	0	1	0	1	0

X = 任意

