

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

概要

MAX5264は、8つの14ビット電圧出力デジタルアナログコンバータ(DAC)です。電圧出力は内蔵高精度出力アンプが提供しています。本素子は+14/-9V電源で動作します。バイポーラ出力電圧スイングは外付部品なしで-4V~+9Vを実現しています。MAX5264は差動リファレンス入力を3対備えています。そのうち2対はそれぞれ2つのDACに接続され、残りの1対は4つのDACに接続されています。リファレンスは独立に制御されているため、それぞれのDACに異なるフルスケール出力電圧を提供できます。MAX5264は、 $V_{DD} = +7V \sim +14V$ 、 $V_{SS} = -5V \sim -9V$ 、 $V_{CC} = +4.75V \sim +5.25V$ の電圧範囲で動作します。

MAX5264は、14ビットパラレルデータバス付のダブルバッファ付インタフェースロジックを持っています。各DACは入力ラッチ及びDACラッチを備えています。DACラッチ内のデータは出力電圧を設定します。8つの入力ラッチは、3つのアドレスラインでアドレス指定されています。データは単一の書込み命令で入力ラッチにロードされます。非同期ロード入力(\overline{LD})は、入力ラッチからDACラッチにデータを転送します。 \overline{LD} 入力は全てのDACを制御します。そのため、 \overline{LD} ピンによって全てのDACを同時に更新できます。

非同期の \overline{CLR} 入力が8つのDAC全ての出力をオペアンプの対応するDUTGND入力に設定することができます。 \overline{CLR} は V_{DD} で駆動されるCMOS入力であることに注意して下さい。その他全てのロジック入力はTTL/CMOSコンパチブルです。

MAX5264の“A”グレードの最大INLは ± 4 LSB、“B”グレードは最大INLが ± 8 LSBです。“A”グレード、“B”グレード共に44ピンMQFPパッケージで提供されています。

アプリケーション

- 自動試験機器(ATE)
- 工業用プロセス制御
- 任意ファンクションジェネレータ
- 航空電子機器
- 最小部品点数のアナログ機器
- デジタルオフセット/利得調整
- SONETアプリケーション

ファンクションダイアグラムはデータシートの最後に記載されています。

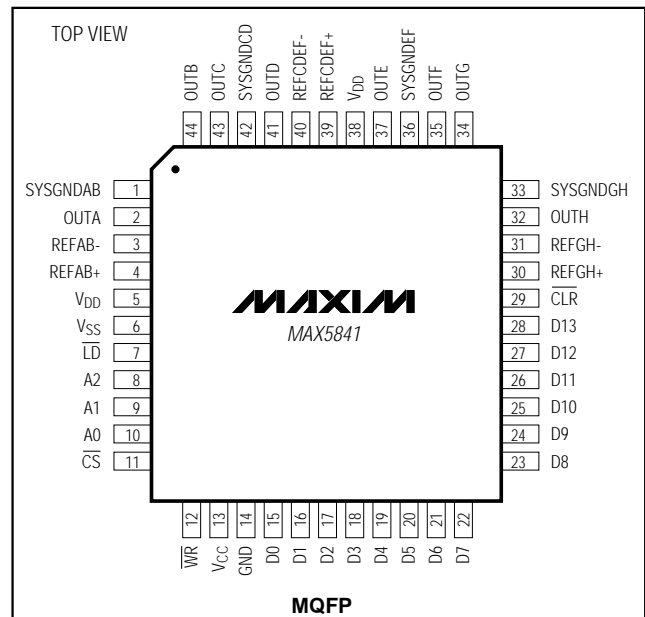
特長

- ◆ 調整なしでフル14ビット性能
- ◆ 単一パッケージに8つのDACを内蔵
- ◆ バッファ付電圧出力
- ◆ ユニポーラ又はバイポーラ電圧スイング: +9V ~ -4V
- ◆ 出力セトリング時間: 22 μ s
- ◆ 最大10,000pFの容量性負荷を駆動
- ◆ 低出力グリッチ: 30mV
- ◆ 低消費電流: 10mA(typ)
- ◆ 小型パッケージ: 44ピンMQFP
- ◆ ダブルバッファ付のデジタル入力
- ◆ 非同期負荷により全てのDACを同時に更新
- ◆ 非同期 \overline{CLR} により、全てのDACを強制的にDUTGND電位に変更

型番

PART	TEMP. RANGE	PIN-PACKAGE	INL (LSB)
MAX5264ACMH	0°C to +70°C	44 MQFP	± 4
MAX5264BCMH	0°C to +70°C	44 MQFP	± 8

ピン配置



ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +16.8V	Maximum Current into Any Signal Pin	±50mA
V _{SS} to GND	-10.8V to +0.3V	OUT_ Short-Circuit Duration to V _{DD} , V _{SS} , and GND	1s
V _{CC} to GND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
A_, D_, WR, CS, LD, CLR to GND	+0.3V to (V _{CC} + 0.3V)	44-Pin MQFP (derate 11.1mW/°C above +70°C)	870mW
REF_---+, REF_----,		Operating Temperature Range	0°C to +70°C
DUTGND_	(V _{SS} - 0.3V) to (V _{DD} + 0.3V)	Junction Temperature	+150°C
OUT_	V _{DD} to V _{SS}	Storage Temperature Range	-65°C to +150°C
Maximum Current into REF_---, DUTGND_	±10mA	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +14V, V_{SS} = -9V, V_{CC} = +5V, V_{GND} = V_{DUTGND_} = 0, V_{REF_---+} = +4.500V, V_{REF_----} = -2.000V, R_L = 10kΩ, C_L = 50pF, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
STATIC PERFORMANCE (ANALOG SECTION)						
Resolution	N		14			Bits
Relative Accuracy	INL	MAX5264A			±4	LSB
		MAX5264B			±8	
Differential Nonlinearity	DNL	Guaranteed monotonic			±1	LSB
Zero-Scale Error				±4	±8	LSB
Full-Scale Error				±8	±16	LSB
Gain Error				±4	±10	LSB
Gain Temperature Coefficient		(Note 1)		0.15	20	ppm FSR/°C
DC Crosstalk		(Note 1)		14	75	μV
REFERENCE INPUTS						
Input Resistance			1			MΩ
Input Current				±1	±10	μA
REF_---+ Input Range			1.5		4.5	V
REF_--- - Input Range			-2.0		-1.5	V
(REF_---+) - (REF_--- -) Range			3		6.5	V
V _{DD} - (2 • V _{REF_---+}) Range			3.5		8.5	V
(2 • V _{REF_--- -}) - V _{SS} Range			3.5		5	V
V _{DD} - (V _{REF_---+}) Range			7.5		10	V
(V _{REF_--- -}) - V _{SS} Range			5		7	V
ANALOG OUTPUTS						
Maximum Output Voltage			9	V _{DD} - 2		V
Minimum Output Voltage				V _{SS} + 2	-4	V
Resistive Load to GND			5			kΩ
Capacitive Load to GND		(Note 2)			10,000	pF
DC Output Impedance		(Note 1)			0.5	Ω

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = +14V$, $V_{SS} = -9V$, $V_{CC} = +5V$, $V_{GND} = V_{DUTGND} = 0$, $V_{REF_+} = +4.500V$, $V_{REF_ -} = -2.000V$, $R_L = 10k\Omega$, $C_L = 50pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DUTGND__ CHARACTERISTICS						
Input Impedance per DAC			55	115		k Ω
Input Current per DAC		(Note 1)	-120		73	μA
Input Range			-2		2	V
DIGITAL INPUTS						
Input Voltage High	V_{IH}		2.4			V
Input Voltage Low	V_{IL}				0.8	V
Input Capacitance	C_{IN}	(Note 1)			10	pF
Input Current	I_{IN}	$V_{IN} = 0$ or V_{CC}	-1		1	μA
POWER SUPPLIES						
V_{DD} Analog Power-Supply Range	V_{DD}		11.5		14	V
V_{SS} Analog Power-Supply Range	V_{SS}		-9		-6.5	V
$V_{DD} - V_{SS}$			18		23	V
Digital Power Supply	V_{CC}		4.75	5	5.25	V
Positive Supply Current	I_{DD}	$R_L = 10k\Omega$, $V_{OUT_} = 9V$ (Note 3)			20	mA
Negative Supply Current	I_{SS}	$R_L = 10k\Omega$, $V_{OUT_} = -4$ (Note 4)			20	mA
Digital Supply Current	I_{CC}	(Note 5)			0.5	mA
		(Note 6)			5	
PSRR, $\Delta V_{OUT} / \Delta V_{DD}$		$V_{DD} = 14V \pm 5\%$		94		dB
PSRR, $\Delta V_{OUT} / \Delta V_{SS}$		$V_{SS} = -9V \pm 5\%$		98		dB

INTERFACE TIMING CHARACTERISTICS

($V_{DD} = +14V$, $V_{SS} = -9V$, $V_{CC} = +5V$, $V_{GND} = V_{DUTGND} = 0$, $V_{REF_+} = +4.500V$, $V_{REF_ -} = -2.000V$, Figure 2, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
\overline{CS} Pulse Width Low	t_1		50			ns
\overline{WR} Pulse Width Low	t_2		50			ns
\overline{LD} Pulse Width Low	t_3		50			ns
\overline{CS} Low to \overline{WR} Low	t_4		0			ns
\overline{CS} High to \overline{WR} High	t_5		0			ns
Data Valid to \overline{WR} Setup	t_6		50			ns
Data Valid to \overline{WR} Hold	t_7		0			ns
Address Valid to \overline{WR} Setup	t_8		15			ns
Address Valid to \overline{WR} Hold	t_9		0			ns

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

DYNAMIC CHARACTERISTICS

($V_{DD} = +14V$, $V_{SS} = -9V$, $V_{CC} = +5V$, $V_{GND} = V_{DUTGND} = 0$, $V_{REF_+} = +4.500V$, $V_{REF_ -} = -2.000V$, $R_L = 10k\Omega$, $C_L = 50pF$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Settling Time		To ± 1 LSB of full scale		22		μs
Output Slew Rate				1		$V/\mu s$
Digital Feedthrough		(Note 7)		3		nVs
Digital Crosstalk		(Note 8)		3		nVs
Digital-to-Analog Glitch Impulse				120		nVs
DAC-to-DAC Crosstalk				3		nVs
Channel-to-Channel Isolation				100		dB
Output Noise Spectral Density		At $f = 1kHz$		130		nV/\sqrt{Hz}

Note 1: Guaranteed by design. Not production tested.

Note 2: Guaranteed by design when 220Ω resistor is in series with $C_L = 10,000pF$.

Note 3: All DAC latches at full scale (0x3FFF).

Note 4: All DAC latches at zero scale (0x0000).

Note 5: All digital inputs (D_{-} , A_{-} , \overline{WR} , \overline{CS} , \overline{LD} , and \overline{CLR}) at GND or V_{CC} potential.

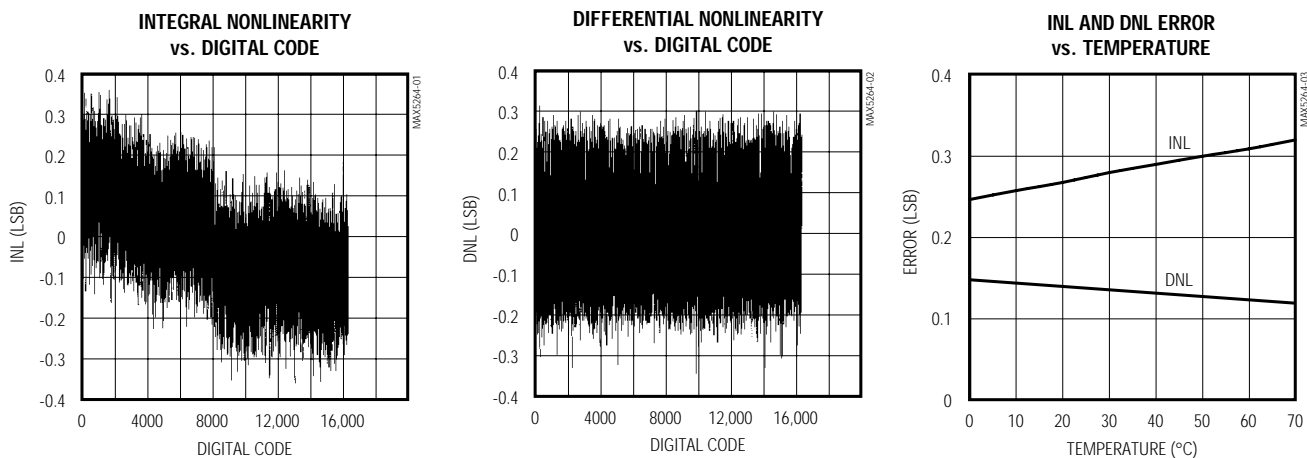
Note 6: All digital inputs (D_{-} , A_{-} , \overline{WR} , \overline{CS} , \overline{LD} , and \overline{CLR}) at +0.8V or +2.4V.

Note 7: All data inputs (D0 to D13) transition from GND to V_{CC} , with $\overline{WR} = V_{CC}$.

Note 8: All digital inputs (D_{-} , A_{-} , \overline{WR} , \overline{CS} , \overline{LD} , and \overline{CLR}) at +0.8V or +2.4V.

標準動作特性

($V_{DD} = +14V$, $V_{SS} = -9V$, $V_{CC} = +5V$, $V_{GND} = V_{DUTGND} = 0$, $V_{REF_+} = +4.500V$, $V_{REF_ -} = -2.000V$, $T_A = +25^\circ C$, unless otherwise noted.)



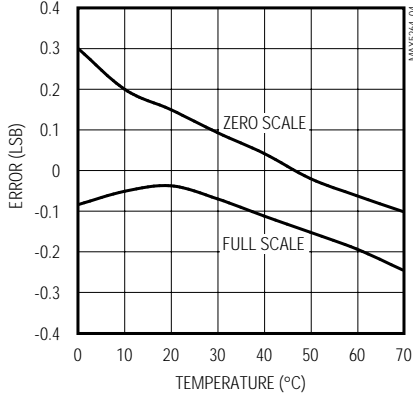
ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

標準動作特性(続き)

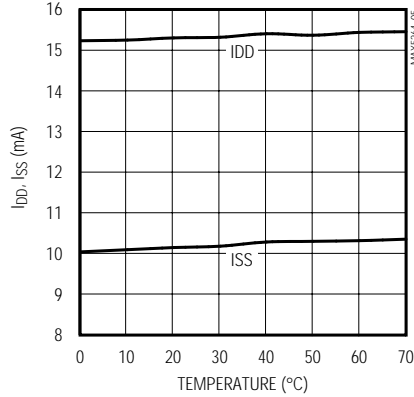
(VDD = +14V, VSS = -9V, VCC = +5V, VGND = VDUTGND__ = 0, VREF_____+ = +4.500V, VREF_____ - = -2.000V, TA = +25°C, unless otherwise noted.)

MAX5264

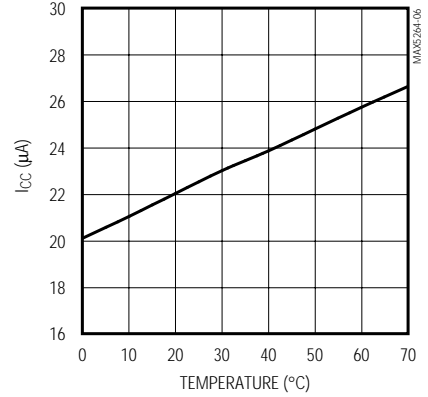
ZERO-SCALE AND FULL-SCALE ERROR vs. TEMPERATURE



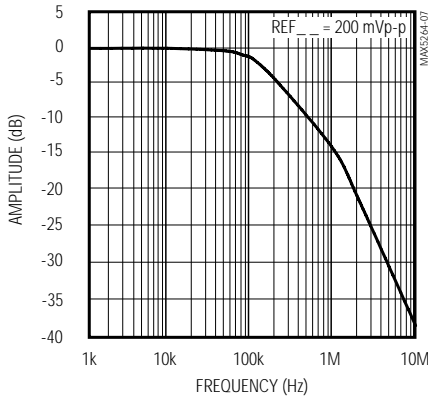
IDD AND ISS vs. TEMPERATURE (WITH 10kΩ LOADS)



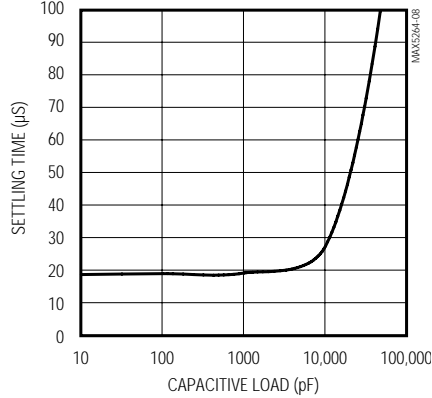
DIGITAL SUPPLY CURRENT vs. TEMPERATURE



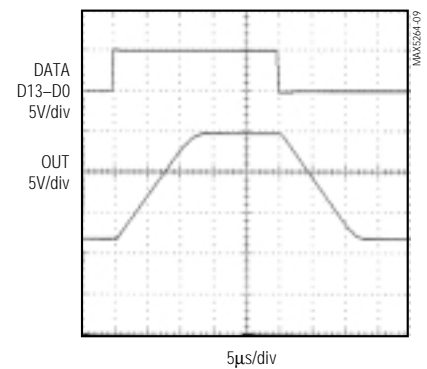
REFERENCE INPUT FREQUENCY RESPONSE



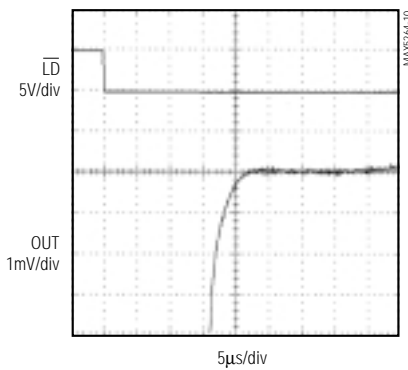
SETTLING TIME vs. CAPACITIVE LOAD



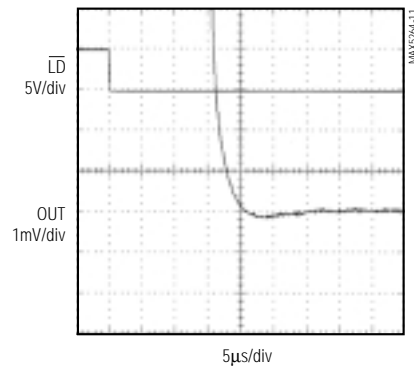
LARGE-SIGNAL STEP RESPONSE



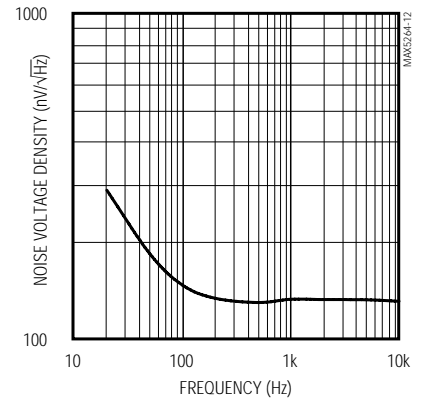
POSITIVE SETTLING TIME



NEGATIVE SETTLING TIME



NOISE VOLTAGE DENSITY vs. FREQUENCY



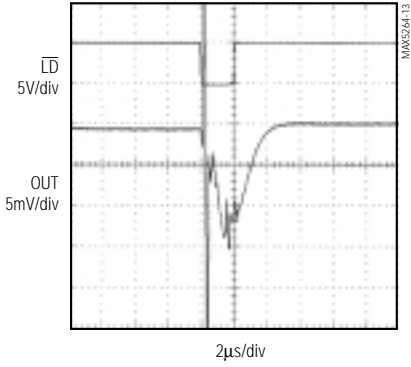
ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

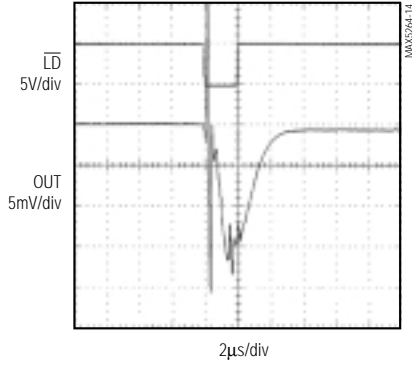
標準動作特性(続き)

(VDD = +14V, VSS = -9V, VCC = +5V, VGND = VDUTGND_ = 0, VREF_+ = +4.500V, VREF_- = -2.000V, TA = +25°C, unless otherwise noted.)

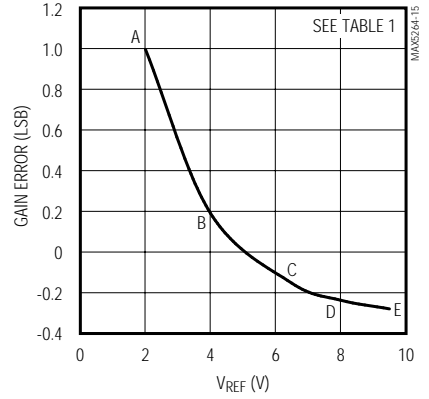
MAJOR CARRY GLITCH IMPULSE
(0 x 1FFF - 0 x 2000)



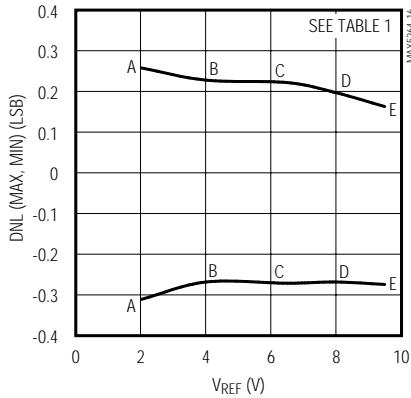
MAJOR CARRY GLITCH IMPULSE
(0 x 2000 - 0 x 1FFF)



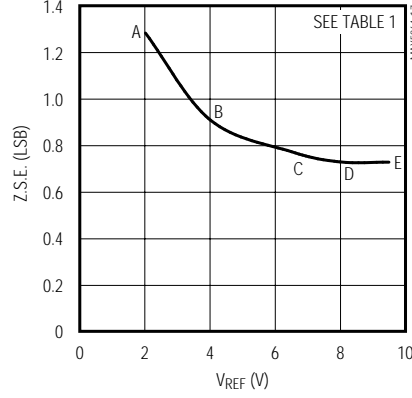
GAIN ERROR
vs. VREF (VREF+ - VREF-)



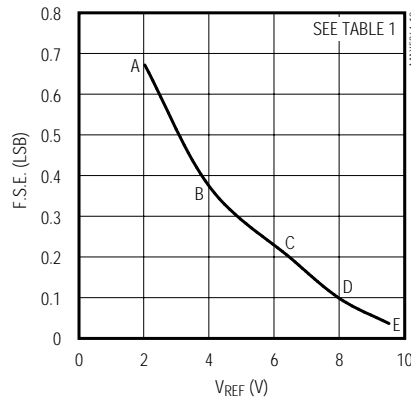
DNL (MAX, MIN)
vs. VREF (VREF+ - VREF-)



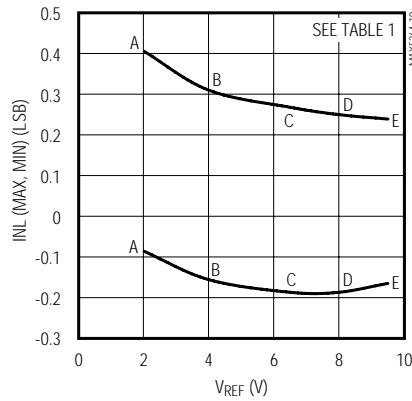
Z.S.E.
vs. VREF (VREF+ - VREF-)



F.S.E.
vs. VREF (VREF+ - VREF-)



INL (MAX, MIN)
vs. VREF (VREF+ - VREF-)



ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

表1. 静的性能の標準動作特性の試験条件

VOLTAGE	A	B	C	D	E
VREF	2	4	6.5	8	9.5
VREF+	1	2.25	4.5	5	6
VREF-	-1	-1.75	-2	-3	-3.5
VDD	7	7	11	12	14
VSS	-5	-5.5	-6	-8	-9

Note: $V_{REF} = V_{REF+} - V_{REF-}$

端子説明

端子	名称	機能
1	DUTGNDAB	OUTA及びOUTBのデバイス検出グランド入力。通常動作において、OUTAとOUTBはDUTGNDABを基準にしています。 \overline{CLR} がローの時、OUTAとOUTBは強制的にDUTGNDABの電位になります。
2	OUTA	DAC Aのバッファ付出力電圧
3	REFAB-	DAC A及びBの負リファレンス入力
4	REFAB+	DAC A及びBの正リファレンス入力
5, 38	VDD	正アナログ電源。通常は+14Vに設定。両方のピンを電源電圧に接続して下さい。バイパス条件については、「グランド及びバイパス」の項を参照して下さい。
6	VSS	負アナログ電源。通常は-9Vに設定。両方のピンを電源電圧に接続して下さい。バイパス条件については、「グランド及びバイパス」の項を参照して下さい。
7	\overline{LD}	ロード入力。この非同期入力をローにすることにより、入力ラッチの内容を該当するDACラッチに転送して下さい。DACラッチは、 \overline{LD} がローの時にトランスペアレントで、 \overline{LD} がハイの時にラッチされます。
8	A2	アドレスビット2(MSB)
9	A1	アドレスビット1
10	A0	アドレスビット0(LSB)
11	\overline{CS}	チップセレクト。アクティブロー入力。
12	\overline{WR}	書込み入力。通常のメモリ書込みシーケンス用のアクティブローストローブ。 \overline{WR} と \overline{CS} が両方ともローの時、入力データラッチはトランスペアレントになります。 \overline{WR} は、 \overline{CS} の立上がりエッジでA2～A0により選択されたDAC入力ラッチにデータをラッチします。
13	VCC	デジタル電源。通常は+5Vに設定。バイパス条件については、「電源、グランド及びバイパス」の項を参照して下さい。
14	GND	グランド
15-28	D0-D13	データビット0～13。オフセットバイナリコーディング。
29	\overline{CLR}	クリア入力。 \overline{CLR} をローにすると、全てのDAC出力が強制的にそれぞれのDUTGND_の電圧になります。内部レジスタの状態には影響しません。 \overline{CLR} がハイになると、全てのDACは以前のレベルに戻ります。
30	REFGH+	DAC G及びHの正リファレンス入力
31	REFGH-	DAC G及びHの負リファレンス入力

ATE用オクタ14ビット電圧出力DAC パラレルインタフェース付

MAX5264

端子説明(続き)

端子	名称	機能
32	OUTH	DAC Hのバッファ付出力電圧
33	DUTGNDGH	OUTG及びOUTHのデバイス検出グランド入力。通常動作において、OUTGとOUTHはDUTGNDGHを基準にしています。CLRがローの時、OUTGとOUTHは強制的にDUTGNDGHの電位になります。
34	OUTG	DAC Gのバッファ付出力電圧
35	OUTF	DAC Fのバッファ付出力電圧
36	DUTGNDEF	OUTE及びOUTFのデバイス検出グランド入力。通常動作において、OUTEとOUTFはDUTGNDEFを基準にしています。CLRがローの時、OUTEとOUTFは強制的にDUTGNDEFの電位になります。
37	OUTE	DAC Eのバッファ付出力電圧
39	REFCDEF+	DAC C、D、E及びFの正リファレンス入力
40	REFCDEF-	DAC C、D、E及びFの負リファレンス入力
41	OUTD	DAC Dのバッファ付出力電圧
42	DUTGNDCD	OUTC及びOUTDのデバイス検出グランド入力。通常動作において、OUTCとOUTDはDUTGNDCDを基準にしています。CLRがローの時、OUTCとOUTDは強制的にDUTGNDCDの電位になります。
43	OUTC	DAC Cのバッファ付出力電圧
44	OUTB	DAC Bのバッファ付出力電圧

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

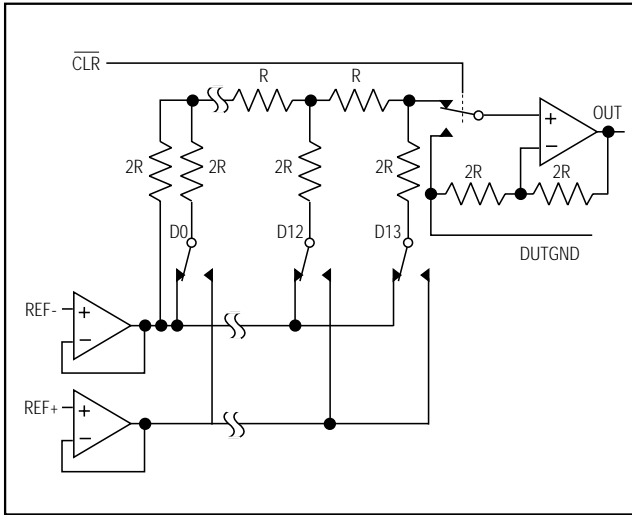


図1. DACの簡略化回路図

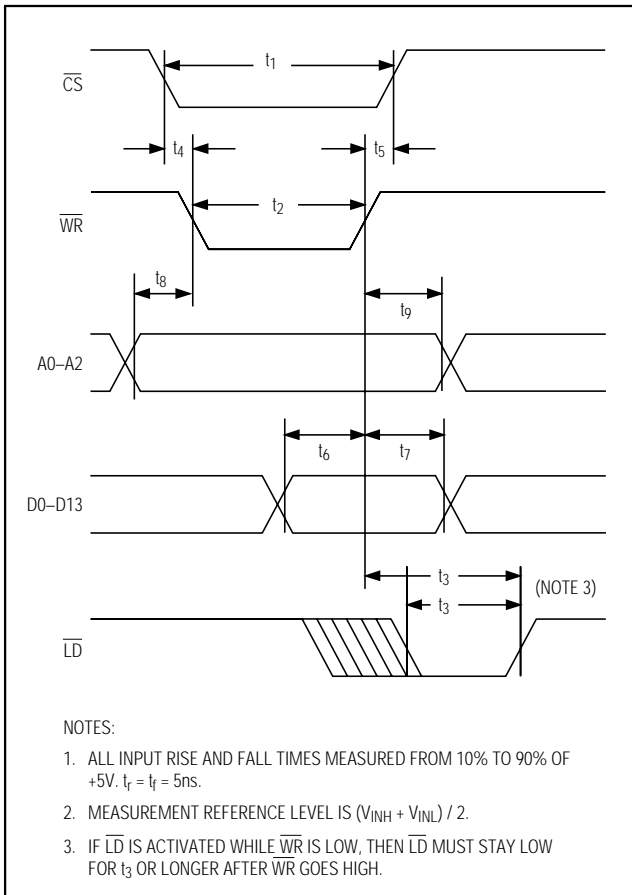


図2. デジタルタイミング図

詳細

アナログ部

MAX5264は8つの14ビット電圧出力DACを備えています。これらのDACは、14ビットデジタル入力を相当するアナログ出力電圧(印加されているリファレンス電圧に比例)に変換する「反転」R-2Rラダーネットワークです(図1)。MAX5264は3つの正リファレンス入力(REF____+)及び3つの負リファレンス入力(REF____-)を持っています。REF____+とREF____-の差の2倍がDACの出力スパンになります。

差動リファレンス入力の他に、MAX5264は4つのアナログ・グランド入力ピン(DUT-GND_)を持っています。 $\overline{\text{CLR}}$ がハイ(非発生)の時、DUTGND_の電圧がDACの出力電圧範囲をオフセットします。 $\overline{\text{CLR}}$ が発生している場合、出力アンプは強制的にDUTGND_の電圧になります。

リファレンス及びDUTGND入力

MAX5264の全てのリファレンス入力は、高精度アンプでバッファされています。このため、抵抗分圧器でリファレンス電圧を設定できます。リファレンス入力の乗算帯域幅が比較的高い(188kHz)ため、この帯域幅内でリファレンスピンにきている信号は全てDAC出力で複製されます。

MAX5264のDUTGNDピンは、出力アンプの負ソース抵抗(公称115k Ω)に接続されています。DUTGNDは、通常アナロググランドに直接接続されています。これらのピンは各々がDACのデジタルコードと共に変化する入力電流を持っています。DUTGNDピンを外部回路で駆動する場合は、DAC当たり $\pm 200\mu\text{A}$ の負荷電流を見込んで下さい。

出力バッファアンプ

MAX5264の電圧出力は、内部で標準スルーレート1V/ μs の高精度利得2倍のアンプを使用してバッファされています。出力においてフルスケール遷移があった場合、 $\pm 1\text{LSB}$ までの標準セトリング時間は22 μs です。このセトリング時間は10,000pFまでの容量性負荷にはあまり影響を受けません。

出力デグリッチ回路

MAX5264のDACラダーから出力アンプへの接続経路は、特殊なデグリッチ回路を備えています。このグリッチ/デグリッチ回路は、 $\overline{\text{LD}}$ の立下がりエッジでイネーブルされ、R-2R DACのグリッチを除去します。これにより、MAX5264のグリッチインパルスエネルギーはデグリッチ回路がない場合に比べて大幅に小さくなります。

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

デジタル入力及びインタフェースロジック

全てのデジタル入力はTTL及びCMOSロジックとコンパチブルです。MAX5264は、少なくとも13ビット幅のデータバスを使ってマイクロプロセッサとインタフェースします。インタフェースはダブルバッファされているため、全てのDACを同時に更新できます。各DACは、データバスからデータを受け取る入力ラッチ、及び入力ラッチからデータを受け取るDACラッチの2つのラッチを備えています(「ファンクションダイアグラム」を参照)。表2に示すように、アドレスラインA0、A1及びA2はどのDACの入力ラッチがデータバスからデータを受け取るかを決定します。 \overline{CS} 、 \overline{WR} 及び \overline{LD} が全てローである場合、入力ラッチとDACラッチの両方がトランスペアレントになります。この状態では、D0~D13の変化はただちに出力に現れます。非同期LD信号を使用することにより、入力ラッチからDACラッチにデータを転送できます。各DACのアナログ出力は、このDACラッチに保持されているデータを反映しています。全ての制御入力はレベルトリガです。表3はインタフェース真理値表です。

表2. MAX5264のDACアドレス指定

A2	A1	A0	FUNCTION
0	0	0	DAC A input latch
0	0	1	DAC B input latch
0	1	0	DAC C input latch
0	1	1	DAC D input latch
1	0	0	DAC E input latch
1	0	1	DAC F input latch
1	1	0	DAC G input latch
1	1	1	DAC H input latch

表3. インタフェース真理値表

\overline{CLR}	\overline{LD}	\overline{WR}	\overline{CS}	FUNCTION
X	X	0	0	Input register transparent
X	X	X	1	Input register latched
X	X	1	X	Input register latched
X	0	X	X	DAC register transparent
X	1	X	X	DAC register latched
0	X	X	X	Outputs of DACs at DUTGND_
1	1	X	X	Outputs of DACs set to voltage defined by the DAC register, the references, and the corresponding DUTGND_

X = Don't care

入力書込みサイクル

データはラッチするか、直接DACに転送できます。 \overline{CS} と \overline{WR} が入力ラッチを制御し、 \overline{LD} が入力ラッチからDACラッチに情報を転送します。 \overline{CS} と \overline{WR} がローの時、入力ラッチはトランスペアレントで、 \overline{LD} がローの時にDACラッチはトランスペアレントです。データが間違っただけにDACに書き込まれるのを防ぐためには、 \overline{CS} と \overline{WR} がローである期間中アドレスライン(A0、A1、A2)が有効であることが必要です(図2)。 \overline{CS} 又は \overline{WR} がハイの時に、データは入力ラッチにラッチされます。

DACのロード

\overline{LD} をハイにすると、データがDACラッチにラッチされます。 \overline{WR} と \overline{CS} がローの時に \overline{LD} をローにすると、A0、A1及びA2にアドレス指定されたDACはD0~D13上のデータに直接制御されます。これにより、最大デジタル更新レートが可能になります。ただし、この場合、入力データストリームのグリッチやスキューに影響されやすくなります。

非同期クリア

MAX5264の非同期クリア(\overline{CLR})が発生すると、全てのDAC出力が該当するDUTGNDピンの電圧に設定されます。 \overline{CLR} の発生を止めると、DAC出力は以前の電圧に戻ります。 \overline{CLR} は、内部デジタルレジスタをクリアしないことに注意して下さい。

アプリケーション情報

乗算動作

MAX5264は乗算アプリケーションに使用できます。本素子のリファレンスはDCとAC両方の信号を受け付けます。リファレンス入力はユニポーラであるため、乗算動作は2象限に限られています。DACと出力バッファの動的性能については、「標準動作特性」のグラフを参照して下さい。

デジタルコード及びアナログ出力電圧

MAX5264はオフセットバイナリコーディングを使用しています。14ビットの2の補数形式のコードに $2^{13} = 8192$ を加算することにより、14ビットオフセットバイナリコードに変換されます。

出力電圧範囲

通常動作においては、DUTGNDを信号グラウンドに、 V_{REF+} を+4.5Vに、そして V_{REF-} を-2.0Vに接続して下さい。表4にデジタルコードと出力電圧の関係を示します。

DACデジタルコードが14ビットR-2Rラダーの各スイッチを制御します。コード0x0はラダーの全てのスイッチをREF-に接続します。これはDAC出力電圧(V_{DAC})としてはREF-に相当します。コード0x3FFFはラダーの全てのスイッチをREF+に接続します。これは V_{DAC} としてはほぼREF+に相当します。

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

表4. アナログ電圧対デジタルコード

INPUT CODE	OUTPUT VOLTAGE (V)
11 1111 1111 1111	+8.999207
10 0000 0000 0000	+2.500
01 0011 1011 0010	+610μ
00 0000 0000 0001	-3.999207
00 0000 0000 0000	-4.000

Note: Output voltage is based on REF+ = +4.5V, REF- = -2.0V, and DUTGND = 0.

出力アンプはV_{DAC}を2倍に増幅して、出力電圧範囲として2 x REF- ~ 2 x REF+を提供します(図1)。出力電圧スパンは、DUTGNDをオフセットすることによりさらに操作できます。MAX5264の出力は次式で表されます。

$$V_{OUT} = 2 \left[\left(V_{REF+} - V_{REF-} \right) \frac{DATA}{2^{14}} + V_{REF-} \right] - V_{OUTGND}$$

ここで、DATAはDACのバイナリ入力コードの数値であり、DATAの範囲は0 ~ 16383(2¹⁴ - 1)です。MAX5264の分解能(1LSBと定義)は次式で表されます。

$$LSB = \frac{2(V_{REF+} - V_{REF-})}{2^{14}}$$

リファレンスの選択

MAX5264は、リファレンス入力に高精度バッファを持っているため、これらの入力へのインタフェースの条件は最小限で済みます。REF+及びREF-の推奨範囲内にある低ドリフト、低ノイズリファレンスを選択して下さい。MAX5264は、リファレンス入力にバイパスコンデンサを必要としません。リファレンス電圧ソースがシステム仕様を満たすためにコンデンサを必要とする場合にのみ、コンデンサを付加して下さい。

出力グリッチの低減

MAX5264の内部デグリッチ回路は、 \overline{LD} の立下がりエッジでイネーブルされます。このため、最適の性能を達成するために、入力がラッチ又は一定状態になった後で \overline{LD} をローにして下さい。これを良好に行うには、 \overline{LD} の立下がりエッジが \overline{CS} の立上がりエッジの少なくとも50ns後になるようにして下さい。

電源、グランド及びバイパス

最適の性能を得るために、切れ目のないアナロググランドを備えた複層プリント基板を使用して下さい。通常動作においては、4つのDUTGNDピンを直接グランドプレーンに接続して下さい。これらの感度の高いピンへの接続経路を他のグランドトレースと共有しないようにして下さい。

これは全ての感度の高いデータ収集機器についていえることですが、デジタル及びアナロググランドプレーンを(できればMAX5264の直下で)一点で接続して下さい。デジタル信号がMAX5264の下を通らないようにして下さい。これはICへのカップリングを防ぐためです。

通常動作においては、0.1μFセラミックチップコンデンサを使用してV_{DD}及びV_{SS}をアナロググランドプレーンにバイパスして下さい。過渡応答と容量性駆動能力を向上するには、セラミックコンデンサと並列に10μFのタンタルコンデンサを接続して下さい。ただし、MAX5264は容量を追加しなくても安定であることに注意して下さい。0.1μFセラミックチップコンデンサを使用して、V_{CC}をデジタルグランドプレーンにバイパスして下さい。

電源シーケンス

MAX5264の適正動作を保証するためには、V_{SS}及びV_{CC}より先にV_{DD}の電源を投入して下さい。また、決してV_{SS}がグランドの300mV以上にならないようにして下さい。これを確実にするためには、図3に示すようにV_{SS}とアナロググランドプレーンの間にショットキダイオードを接続して下さい。電源電圧が確立するまではロジック入力ピンをパワーアップしないで下さい。これが不可能で、デジタルラインが10mA以上を駆動できる場合は、ロジックピンと直列に電流制限抵抗(例えば470Ω)を接続して下さい。

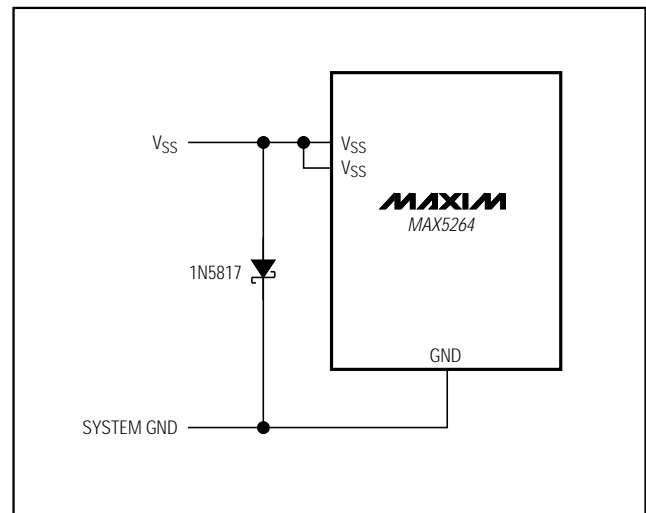


図3. V_{SS}とGNDの間のショットキダイオード

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

容量性負荷の駆動

MAX5264は、直列出力抵抗なしで0.01 μ Fまでの容量性負荷を駆動できます。しかし、大きな容量性負荷を駆動する場合には、MAX5264出力と容量性負荷の間に220 Ω の直列抵抗を接続する方が確実です。

チップ情報

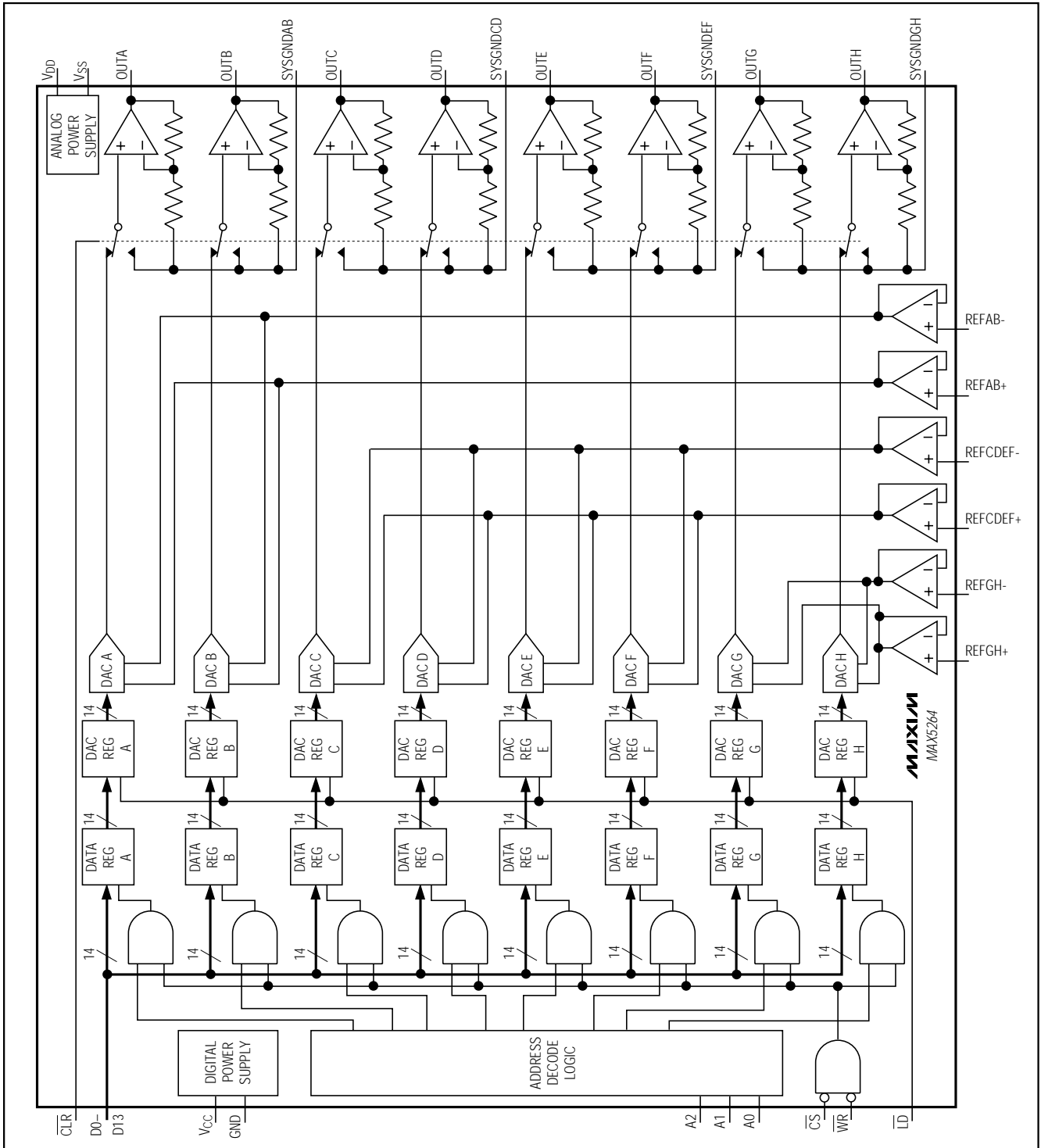
TRANSISTOR COUNT: 13,225

PROCESS: BiCMOS

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

ファンクションダイアグラム

MAX5264

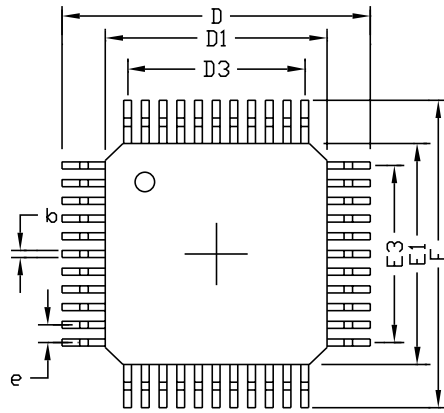


ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

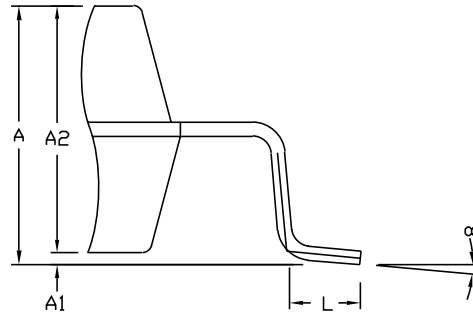
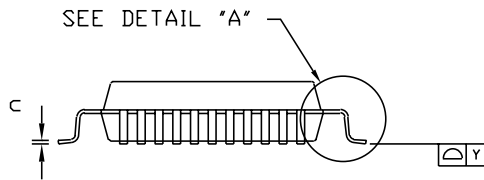
MAX5264

パッケージ

MQFP44:EPS



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	2.032	2.388	0.080	0.094
A1	0.102	0.254	0.004	0.010
A2	1.930	2.134	0.076	0.084
b	0.305	0.457	0.012	0.018
C	0.102	0.254	0.004	0.010
D	12.954	13.462	0.510	0.530
D1	9.906	10.109	0.390	0.398
D3	8.000	REF	0.315	REF
E	12.954	13.462	0.510	0.530
E1	9.906	10.109	0.390	0.398
E3	8.000	REF	0.315	REF
e	0.800	REF	0.0315	REF
L	0.635	0.940	0.025	0.037
α	*0	*10	*0	*10



DETAIL "A"

NOTES:

1. D1&E1 DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .254mm(.010").
3. CONTROLLING DIMENSION: MILLIMETER.
4. MEETS JEDEC MO-108-AA-2.

MAXIM			
<small>PROPRIETARY INFORMATION</small>			
<small>TITLE:</small>			
PACKAGE OUTLINE, MQFP, 44L			
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small>	<small>REV</small>	<small>1/1</small>
	21-0826	C	

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

NOTES

MAX5264

ATE用オクタル14ビット電圧出力DAC パラレルインタフェース付

MAX5264

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 2000 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.