

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

概要

MAX5122/MAX5123は、内部高精度バンドギャップリファレンス及び出力アンプを備えた低電力12ビット電圧出力デジタルアナログコンバータ(DAC)です。

MAX5122は+5V単一電源で動作し、内部+2.5Vリファレンスを備えています。又、設定可能な出力アンプを備えています。ユーザは、必要に応じて内部<10ppm/電圧リファレンスを外部リファレンスで無効にすることができます。MAX5123はMAX5122と同じ特長を持っていますが、+3V単一電源で動作し、内部+1.25V高精度リファレンスを備えています。アンプの反転入力及び出力へのアクセスできるため、特定の利得構成、リモートセンシング及び大出力駆動能力が可能になり、広範囲のフォース/センスアプリケーションに適しています。いずれのデバイスも消費電流は僅か500 μ Aで、パワーダウンモードにおいては3 μ Aに低減します。さらに、パワーアップリセット機能により、初期出力状態として0V又はミッドスケールをユーザが選ぶことができ、又パワーアップ時の出力グリッチが低減されています。

シリアルインタフェースは、SPI™/QSPI™及びMICROWIRE™とコンパチブルです。このため、MAX5122/MAX5123は複数のデバイスのカスケード接続に適しています。各DACは、入力レジスタにDACレジスタが連続構成のダブルバッファ入力を備えています。16ビットシフトレジスタがデータを入力レジスタにロードします。DACレジスタは個別に、あるいは入力レジスタと同時に更新できます。

いずれのデバイスも16ピンQSOPパッケージで提供されており、温度範囲は拡張工業用(-40 ~ +85)のものが用意されています。ピンコンパチブルの14ビットアップグレード製品については、MAX5171/MAX5173データシートを参照してください。ピンコンパチブルの13ビットアップグレード製品については、MAX5132/MAX5133データシートを参照してください。

アプリケーション

- 工業用プロセス制御
- 自動試験機器
- デジタルオフセット及び利得調節
- モーションコントロール
- マイクロプロセッサ制御のシステム

SPI及びQSPIはMotorola, Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。

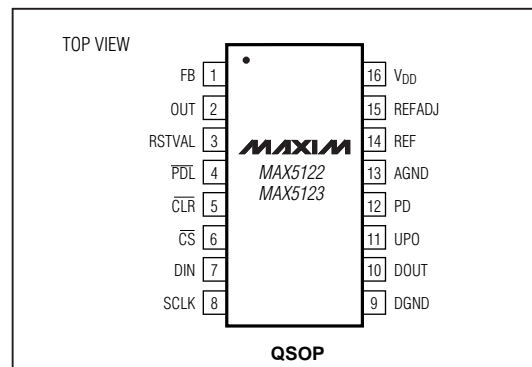
特長

- ◆ 単一電源動作
 - +5V(MAX5122)
 - +3V(MAX5123)
- ◆ 内部10ppm/ (max)高精度バンドギャップリファレンス
 - +2.5V(MAX5122)
 - +1.25V(MAX5123)
- ◆ SPI/QSPI/MICROWIREコンパチブルの3線シリアルインタフェース
- ◆ ピン設定可能なシャットダウンモード及びパワーアップリセット(出力電圧を0又はミッドスケールにリセット)
- ◆ 5k Ω 100pF又は4 ~ 20mA負荷を駆動できるバッファ出力
- ◆ パッケージ: 省スペースの16ピンQSOP
- ◆ ピンコンパチブルの13ビットアップグレード品が入手可能(MAX5132/MAX5133)
- ◆ ピンコンパチブルの14ビットアップグレード品が入手可能(MAX5171/MAX5173)

型番

| PART | TEMP. RANGE | PIN-PACKAGE | INL (LSB) |
|--------------|----------------|-------------|-----------|
| MAX5122AE4EE | -40°C to +85°C | 16 QSOP | ± 0.5 |
| MAX5122BE4EE | -40°C to +85°C | 16 QSOP | ± 1 |
| MAX5123AE4EE | -40°C to +85°C | 16 QSOP | ± 1 |
| MAX5123BE4EE | -40°C to +85°C | 16 QSOP | ± 2 |

ピン配置



+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

ABSOLUTE MAXIMUM RATINGS

| | |
|-------------------------------------|-----------------------------------|
| V _{DD} to AGND, DGND | -0.3V to +6V |
| AGND to DGND | -0.3V to +0.3V |
| Digital Inputs to DGND | -0.3V to +6V |
| Digital Outputs (DOUT, UPO) to DGND | -0.3V to (V _{DD} + 0.3V) |
| FB, OUT to AGND | -0.3V to (V _{DD} + 0.3V) |
| REF, REFADJ to AGND | -0.3V to (V _{DD} + 0.3V) |
| Maximum Current into Any Pin | 50mA |

| | |
|---|-----------------|
| Continuous Power Dissipation (T _A = +70°C) | |
| QSOP (derate 8.00mW/°C above +70°C) | 667mW |
| Operating Temperature Range | -40°C to +85°C |
| Storage Temperature Range | -65°C to +150°C |
| Lead Temperature (soldering, 10sec) | +300°C |

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS—MAX5122 (+5V)

(V_{DD} = +5V ±10%, AGND = DGND, 33nF capacitor at REFADJ, internal reference, R_L = 5kΩ, C_L = 100pF, output amplifier configured in unity-gain, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|------------------------------------|---|-----------------------|-------|-------|--------|
| STATIC PERFORMANCE | | | | | | |
| Resolution | N | | 12 | | | Bits |
| Integral Nonlinearity (Note 1) | INL | MAX5122A | -0.5 | | 0.5 | LSB |
| | | MAX5123B | -1 | | 1 | |
| Differential Nonlinearity | DNL | | -1 | | 1 | LSB |
| Offset Error (Note 2) | V _{OS} | | -10 | | 10 | mV |
| Gain Error | GE | | -3 | -0.2 | 3 | mV |
| Full-Scale Temperature Coefficient (Note 3) | TCV _{FS} | MAX5122A | | 3 | 10 | ppm/°C |
| | | MAX5123B | | 10 | 30 | |
| Power-Supply Rejection Ratio | PSRR | 4.5V ≤ V _{DD} ≤ 5.5V | | 20 | 250 | μV/V |
| REFERENCE | | | | | | |
| Output Voltage | V _{REF} | T _A = +25°C | 2.475 | 2.5 | 2.525 | V |
| Output Voltage Temperature Coefficient | TCV _{REF} | MAX5122A | | 3 | | ppm/°C |
| | | MAX5123B | | 10 | | |
| Reference External Load Regulation | V _{OUT} /I _{OUT} | 0 ≤ I _{OUT} ≤ 100μA (sourcing) | | 0.1 | 1 | μV/μA |
| Reference Short-Circuit Current | | | | 4 | | mA |
| REFADJ Current | | REFADJ = V _{DD} | | 3.3 | 7 | μA |
| DIGITAL INPUT | | | | | | |
| Input High Voltage | V _{IH} | | 3 | | | V |
| Input Low Voltage | V _{IL} | | | | 0.8 | V |
| Input Hysteresis | V _{HYS} | | | 200 | | mV |
| Input Leakage Current | I _{IN} | V _{IN} = 0 or V _{DD} | -1 | 0.001 | 1 | μA |
| Input Capacitance | C _{IN} | | | 8 | | pF |
| DIGITAL OUTPUTS | | | | | | |
| Output High Voltage | V _{OH} | I _{SOURCE} = 2mA | V _{DD} - 0.5 | | | V |
| Output Low Voltage | V _{OL} | I _{SINK} = 2mA | | 0.13 | 0.4 | V |

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

ELECTRICAL CHARACTERISTICS—MAX5122 (+5V) (continued)

($V_{DD} = +5V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier configured in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|----------------------------------|------------|--|------|---------------|-----|------------|
| DYNAMIC PERFORMANCE | | | | | | |
| Voltage Output Slew Rate | SR | | | 0.6 | | V/ μ s |
| Output Settling Time | | To $\pm 0.5LSB$, $V_{STEP} = 2.5V$ | | 20 | | μ s |
| Output Voltage Swing (Note 4) | | | | 0 to V_{DD} | | V |
| Current into FB | | | -0.1 | 0 | 0.1 | μ A |
| Time Required to Exit Shutdown | | | | 2 | | ms |
| Digital Feedthrough | | $\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 5Vp-p$ | | 5 | | nV-sec |
| POWER REQUIREMENTS | | | | | | |
| Power-Supply Voltage (Note 5) | V_{DD} | | 4.5 | | 5.5 | V |
| Power-Supply Current (Note 5) | I_{DD} | | | 500 | 600 | μ A |
| Power-Supply Current in Shutdown | I_{SHDN} | | | 3 | 20 | μ A |

ELECTRICAL CHARACTERISTICS—MAX5123 (+3V)

($V_{DD} = +3V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier connected in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|-------------------|---|-------|------|-------|-----------------|
| STATIC PERFORMANCE | | | | | | |
| Resolution | N | | 12 | | | Bits |
| Integral Nonlinearity (Note 1) | INL | MAX5123A | -1 | | 1 | LSB |
| | | MAX5123B | -2 | | 2 | |
| Differential Nonlinearity | DNL | | -1 | | 1 | LSB |
| Offset Error (Note 2) | V_{OS} | | -10 | | 10 | mV |
| Gain Error | GE | | -5 | -0.2 | 5 | mV |
| Full-Scale Temperature Coefficient (Note 3) | TCV_{FS} | MAX5123A | | 3 | 10 | ppm/ $^\circ C$ |
| | | MAX5123B | | 10 | 30 | |
| Power-Supply Rejection Ratio | PSRR | $2.7V \leq V_{DD} \leq 3.3V$ | | 20 | 250 | $\mu V/V$ |
| REFERENCE | | | | | | |
| Output Voltage | V_{REF} | $T_A = +25^\circ C$ | 1.237 | 1.25 | 1.263 | V |
| Output Voltage Temperature Coefficient | TCV_{REF} | MAX5123A | | 3 | | ppm/ $^\circ C$ |
| | | MAX5123B | | 10 | | |
| Reference External Load Regulation | V_{OUT}/I_{OUT} | $0 \leq I_{OUT} \leq 100\mu A$ (sourcing) | | 0.1 | 1 | $\mu V/\mu A$ |
| Reference Short-Circuit Current | | | | 4 | | mA |
| REFADJ Current | | REFADJ = V_{DD} | | 3.3 | 7 | μA |
| DIGITAL INPUT | | | | | | |
| Input High Voltage | V_{IH} | | 2.2 | | | V |
| Input Low Voltage | V_{IL} | | | | 0.8 | V |
| Input Hysteresis | V_{HYS} | | | 200 | | mV |

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

ELECTRICAL CHARACTERISTICS—MAX5123 (+3V) (continued)

($V_{DD} = +3V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier connected in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|----------------------------------|------------|--|----------------|-------|-----|------------|
| Input Leakage Current | I_{IN} | $V_{IN} = 0$ or V_{DD} | -1 | 0.001 | 1 | μA |
| Input Capacitance | C_{IN} | | | 8 | | pF |
| DIGITAL OUTPUTS | | | | | | |
| Output High Voltage | V_{OH} | $I_{SOURCE} = 2mA$ | $V_{DD} - 0.5$ | | | V |
| Output Low Voltage | V_{OL} | $I_{SINK} = 2mA$ | | 0.13 | 0.4 | V |
| DYNAMIC PERFORMANCE | | | | | | |
| Voltage Output Slew Rate | SR | | | 0.6 | | V/ μs |
| Output Settling Time | | $T_o \pm 0.5LSB$, $V_{STEP} = 1.25V$ | | 20 | | μs |
| Output Voltage Swing (Note 4) | | | 0 to V_{DD} | | | V |
| Current into FB | | | -0.1 | 0 | 0.1 | μA |
| Time Required to Exit Shutdown | | | | 2 | | ms |
| Digital Feedthrough | | $\overline{CS} = V_{DD}$, $f_{SCLK} = 100kHz$, $V_{SCLK} = 3Vp-p$ | | 5 | | nV-sec |
| POWER REQUIREMENTS | | | | | | |
| Power-Supply Voltage (Note 5) | V_{DD} | | 2.7 | | 3.6 | V |
| Power-Supply Current (Note 5) | I_{DD} | | | 500 | 600 | μA |
| Power-Supply Current in Shutdown | I_{SHDN} | | | 3 | 20 | μA |

TIMING CHARACTERISTICS—MAX5122 (+5V)

($V_{DD} = +5V \pm 10\%$, $AGND = DGND$, 33nF capacitor at REFADJ, internal reference, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier connected in unity-gain, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|--|-----------|--------------------|-----|-----|-----|-------|
| SCLK Clock Period | t_{CP} | | 100 | | | ns |
| SCLK Pulse Width High | t_{CH} | | 40 | | | ns |
| SCLK Pulse Width Low | t_{CL} | | 40 | | | ns |
| \overline{CS} Fall to SCLK Rise Setup Time | t_{CSS} | | 40 | | | ns |
| SCLK Rise to \overline{CS} Rise Hold Time | t_{CSH} | | 0 | | | ns |
| SDI Setup Time | t_{DS} | | 40 | | | ns |
| SDI Hold Time | t_{DH} | | 0 | | | ns |
| SCLK Rise to DOUT Valid Propagation Delay Time | t_{DO1} | $C_{LOAD} = 200pF$ | | | 80 | ns |
| SCLK Fall to DOUT Valid Propagation Delay Time | t_{DO2} | $C_{LOAD} = 200pF$ | | | 80 | ns |
| SCLK Rise to \overline{CS} Fall Delay Time | t_{CS0} | | 10 | | | ns |
| \overline{CS} Rise to SCLK Rise Hold Time | t_{CS1} | | 40 | | | ns |
| \overline{CS} Pulse Width High | t_{CSW} | | 100 | | | ns |

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

TIMING CHARACTERISTICS—MAX5123 (+3V)

(V_{DD} = +3V ±10%, AGND = DGND, 33nF capacitor at REFADJ, internal reference, R_L = 5kΩ, C_L = 100pF, output amplifier connected in unity-gain, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

| PARAMETER | SYMBOL | CONDITIONS | MIN | TYP | MAX | UNITS |
|---|------------------|---------------------------|-----|-----|-----|-------|
| SCLK Clock Period | t _{CP} | | 150 | | | ns |
| SCLK Pulse Width High | t _{CH} | | 75 | | | ns |
| SCLK Pulse Width Low | t _{CL} | | 75 | | | ns |
| $\overline{\text{CS}}$ Fall to SCLK Rise Setup Time | t _{CSS} | | 60 | | | ns |
| SCLK Rise to $\overline{\text{CS}}$ Rise Hold Time | t _{CSH} | | 0 | | | ns |
| SDI Setup Time | t _{DS} | | 60 | | | ns |
| SDI Hold Time | t _{DH} | | 0 | | | ns |
| SCLK Rise to DOUT Valid Propagation Delay Time | t _{DO1} | C _{LOAD} = 200pF | | | 200 | ns |
| SCLK Fall to DOUT Valid Propagation Delay Time | t _{DO2} | C _{LOAD} = 200pF | | | 200 | ns |
| SCLK Rise to $\overline{\text{CS}}$ Fall Delay Time | t _{CS0} | | 10 | | | ns |
| $\overline{\text{CS}}$ Rise to SCLK Rise Hold Time | t _{CS1} | | 75 | | | ns |
| $\overline{\text{CS}}$ Pulse Width High | t _{CSW} | | 150 | | | ns |

Note 1: Accuracy is guaranteed by the following table:

| V _{DD} (V) | Accuracy Guaranteed | |
|------------------------|---------------------|----------|
| | From Code: | To Code: |
| 5 | 16 | 4095 |
| 3 | 33 | 4095 |

Note 2: Offset is measured at the code closest to 10mV.

Note 2: The temperature coefficient is determined by the “box” method, in which the maximum ΔV_{OUT} over the temperature range is divided by ΔT and the typical reference voltage.

Note 4: Accuracy is better than 1.0LSB for V_{OUT} = 10mV to (V_{DD} - 180mV). Guaranteed by PSR test on end points.

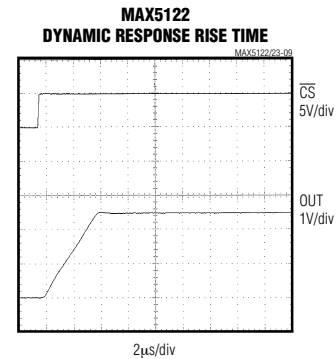
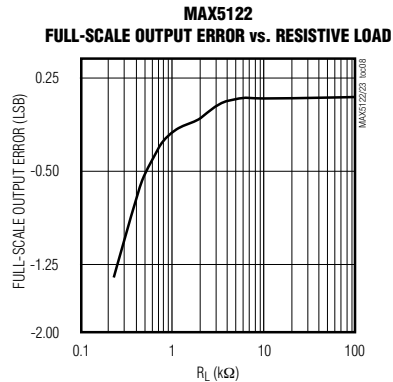
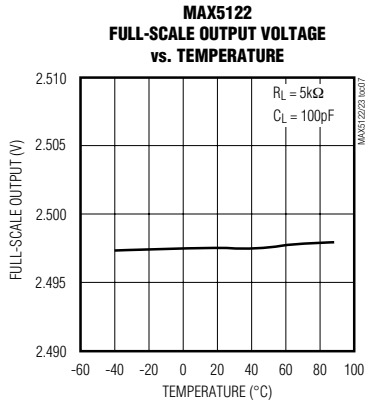
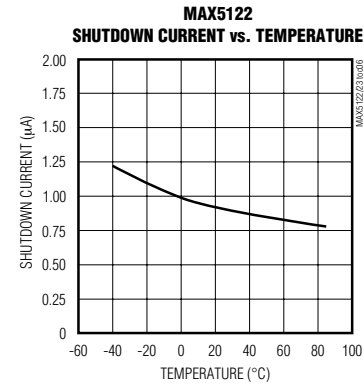
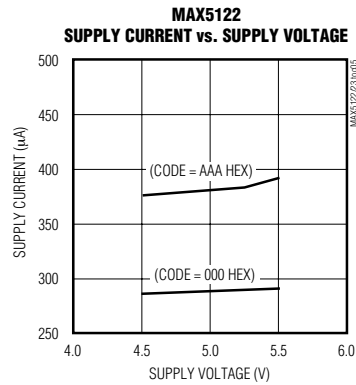
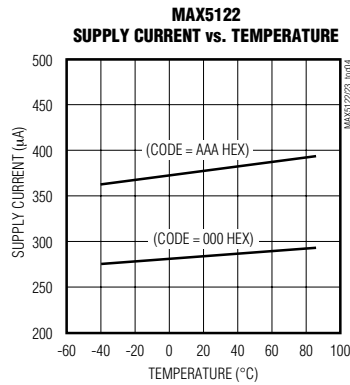
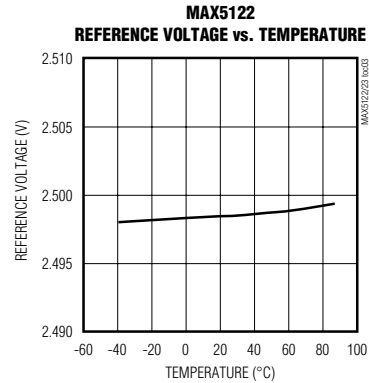
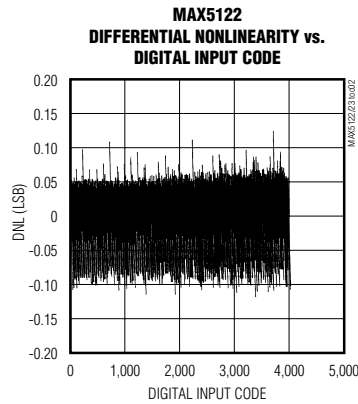
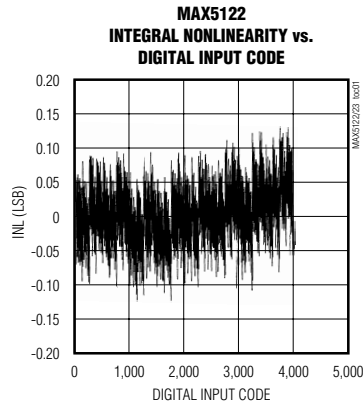
Note 5: R_{LOAD} = ∞ and digital inputs are at either V_{DD} or DGND.

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

標準動作特性

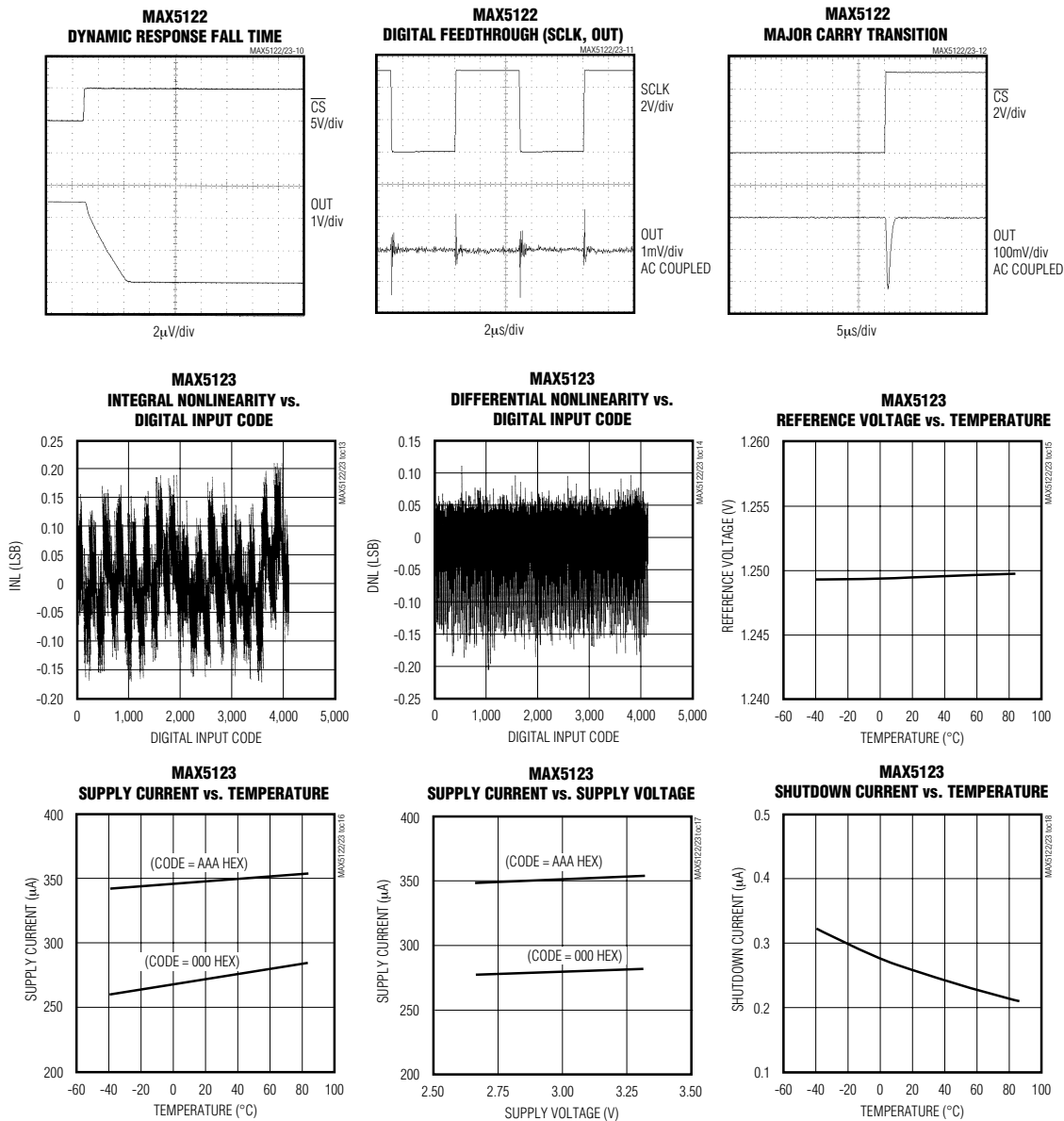
($V_{DD} = +5V$, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier in unity-gain configuration, $T_A = +25^\circ C$, unless otherwise noted.)



+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

標準動作特性(続き)

($V_{DD} = +5V$, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier in unity-gain configuration, $T_A = +25^\circ C$, unless otherwise noted.)



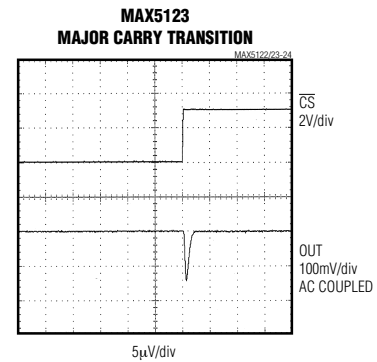
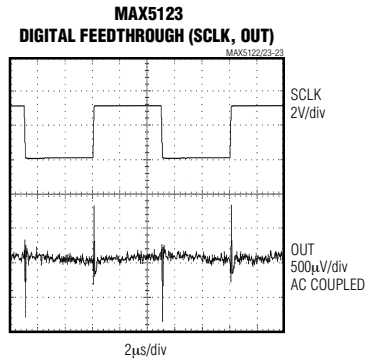
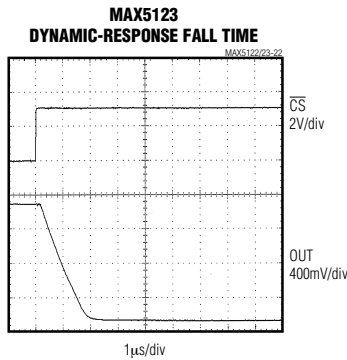
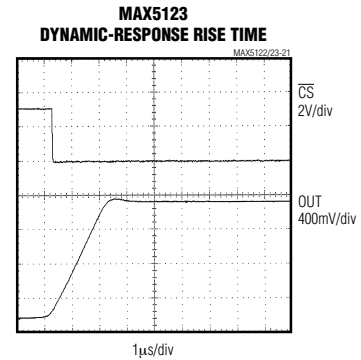
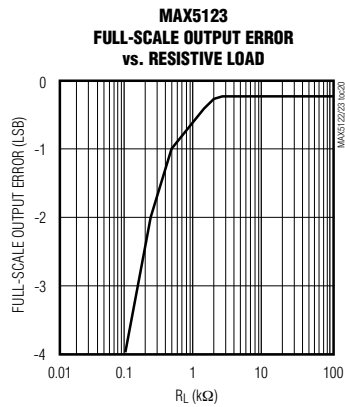
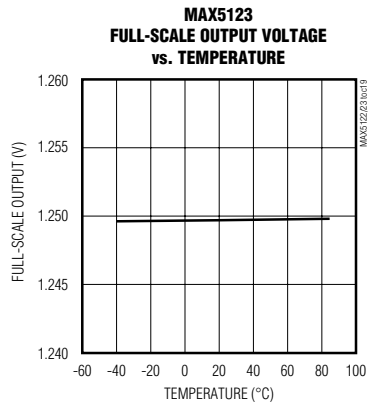
MAX5122/MAX5123

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

標準動作特性(続き)

($V_{DD} = +5V$, $R_L = 5k\Omega$, $C_L = 100pF$, output amplifier in unity-gain configuration, $T_A = +25^\circ C$, unless otherwise noted.)



+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

端子説明

| 端子 | 名称 | 機能 |
|----|------------------|---|
| 1 | FB | アンプ反転換出入力(アナログ入力) |
| 2 | OUT | アナログ出力電圧。素子がシャットダウン状態の時はハイインピーダンス。 |
| 3 | RSTVAL | リセット値入力(デジタル入力) 1: V_{DD} に接続すると、出力リセット値としてミッドスケールが選択されます。 0: DGNDに接続すると、出力リセット値として0Vが選択されます。 |
| 4 | \overline{PDL} | パワーダウンロックアウト(デジタル入力) 1: 通常動作 0: シャットダウンを禁止(素子をパワーダウンできなくなります。) |
| 5 | \overline{CLR} | DACリセット入力(デジタル入力)。DACを予め決められた(RSTVAL)出力状態にクリアします。DACをクリアすると、ソフトウェアシャットダウン状態が解除されます。 |
| 6 | \overline{CS} | アクティブローのチップセレクト入力(デジタル入力) |
| 7 | DIN | シリアルデータ入力。データはSCLKの立上がりエッジで同期入力されます。 |
| 8 | SCLK | シリアルクロック入力 |
| 9 | DGND | デジタルグランド |
| 10 | DOUT | シリアルデータ出力 |
| 11 | UPO | ユーザプログラマブル出力(デジタル出力) |
| 12 | PD | パワーダウン入力(デジタル入力)。 $\overline{PDL} = V_{DD}$ の時にPDをハイに引き上げると、本ICはシャットダウン状態になります。シャットダウン時の最大消費電流は20 μ Aです。 |
| 13 | AGND | アナロググランド |
| 14 | REF | リファレンスパッファ入出力。内部リファレンスモードにおいては、リファレンスパッファが+2.5V(MAX5122)又は+1.25V(MAX5123)の公称出力を提供します。これはREFADJで外部調節が可能です。外部リファレンスモードにおいては、REFADJを V_{DD} に接続し、外部リファレンスをREFに印加して内部リファレンスをディセーブルしてください。 |
| 15 | REFADJ | アナログリファレンス調節入力。33nFコンデンサでAGNDにバイパスしてください。外部リファレンスを使用する時は、 V_{DD} に接続してください。 |
| 16 | V_{DD} | 正電源。0.1 μ Fと4.7 μ Fのコンデンサを並列にしたものでAGNDにバイパスしてください。 |

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

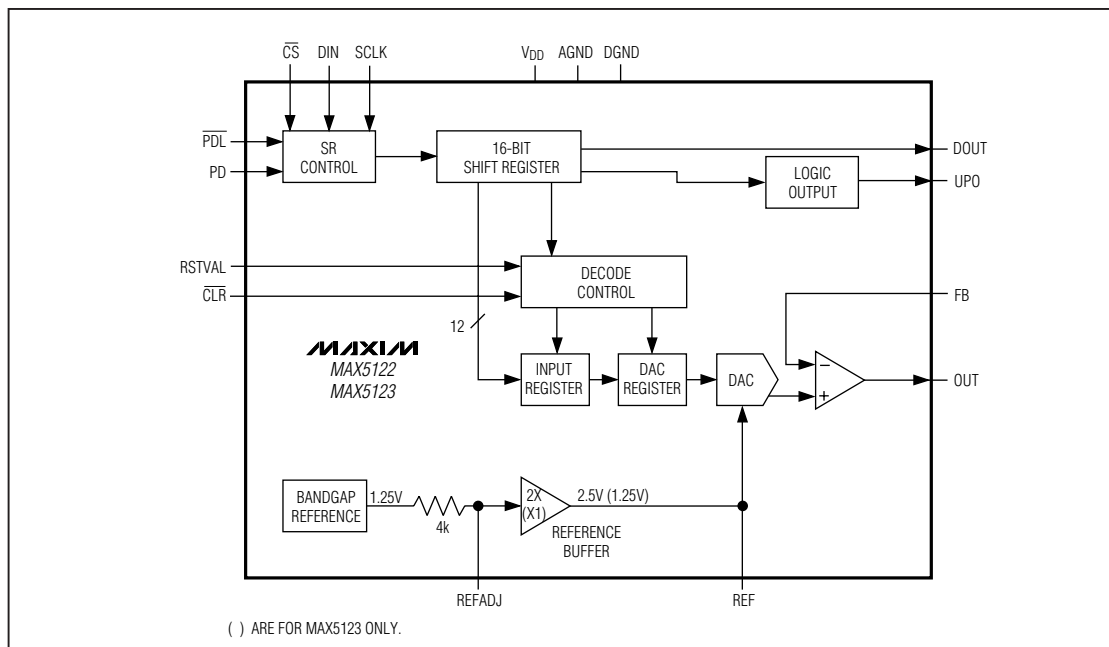


図1. 簡略化ファンクションダイアグラム

詳細

MAX5122/MAX5123は、3線シリアルインタフェースで簡単に設定できる12ビットのフォース/センスDACです。16ビットデータイン/データアウトシフトレジスタを備え、入力レジスタ及びDACレジスタから構成されるダブルバッファデジタル入力を備えています。さらに、これらの素子は高精度バンドギャップリファレンスを備えているほか、利得を外部から設定するため(図1)、あるいはフォース及びセンスアプリケーション用にフィードバック及び出力ピンへのアクセスが可能な出力アンプを備えています。これらのDACは、デジタル入力コードに比例する重み付電圧を生成する反転R-2Rラダーネットワーク(図2)を使用しています。

内部リファレンス

いずれの素子も、温度係数が僅か10ppm/ (max)の内部高精度バンドギャップリファレンスを使用することにより、+2.5V(MAX5122)又は+1.25V(MAX5123)の出力電圧を生成しています。REFピンは100 μ Aまでの電流のソースにすることが可能ですが、100pFを超える容量性負荷があると不安定になります。REFADJを使用してリファレンス電圧の微調整を行うことができます。

図3の回路は、公称リファレンス調節範囲 $\pm 1\%$ を実現します。REFADJとAGNDの間に33nFのコンデンサを

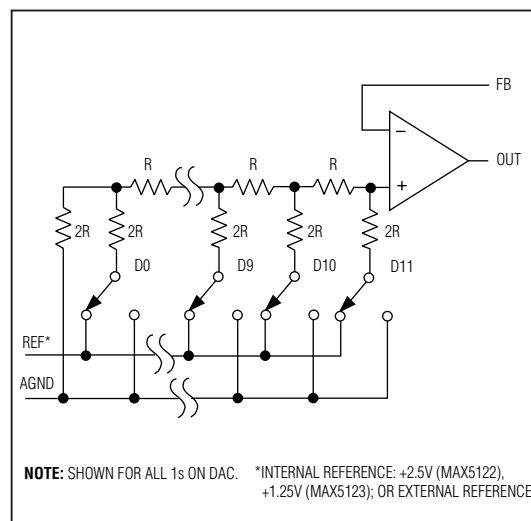


図2. 簡略化反転R-2R DAC構成

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

接続すると、低ノイズDAC動作となります。これより大きなコンデンサ値を使用することもできますが、その場合はスタートアップディレーが長くなります。スタートアップディレーの時間定数()はREFADJの入力インピーダンス4k とC_{REFADJ}によって決まります。

$$= 4k \cdot C_{REFADJ}$$

外部リファレンス

REFピンに外部リファレンスを印加することができます。REFADJをV_{DD}にプルアップすることによって内部リファレンスをディセーブルしてください。これにより、外部リファレンス信号(AC又はDC)をREFピンに印加できます。適正動作のためには、V_{REF}の入力電圧範囲のリミット0 ~ (V_{DD} - 1.4V)を超えないでください。

出力電圧は、次式で計算してください(REFADJ = V_{DD})。

$$V_{OUT} = V_{REF}[(NB/4096)G]$$

ここで、NBはMAX5122/MAX5123の入力コードの数値(0 ~ 4095)、V_{REF}は外部リファレンス電圧、Gは出力アンプの利得(外部抵抗分圧器で設定)です。REFの入力抵抗は最小40k で、コードに依存します。

出力アンプ

MAX5122/MAX5123 DACの出力は、標準スルーレート0.6V/μs高精度アンプにより、内部でバッファされています。各出力アンプの反転入力(FB)へのアクセスが可能

であるため、ユーザによる出力利得設定/信号処理の自由度が高くなっています(「アプリケーション情報」の項を参照)。

フルスケール遷移があった場合の±0.5LSBへの標準セトリング時間は、ユニティゲインで負荷が5k ||100pFの時に20μs以内です。負荷が1k 以下であると性能が劣化します。

パワーダウンモード

これらのデバイスはソフトウェア及びハードウェア(PDピン)でプログラムできるシャットダウンモードを備えており、この時の消費電流は3μA(typ)まで低減します。ソフトウェアシャットダウンモードに入るには、DACの制御シーケンスを表1に示すように設定してください。

シャットダウンモードにおいて、アンプ出力がハイインピーダンス状態になります。シリアルインタフェースは、アクティブのままです。入力レジスタ内のデータはセーブされるため、MAX5122/MAX5123は通常動作に戻る時にシャットダウンに入る前の出力状態を呼び起こすことができます。シャットダウンモードを解除するには、入力レジスタ及びDACレジスタの両方に同時にロードするか、入力レジスタからDACレジスタを更新してください。シャットダウンから通常動作に戻る時には、リファレンスのセトリング時間として2msだけ待ってください。外部リファレンスを使用している場合、DACの出力は僅か20μsで安定化します。

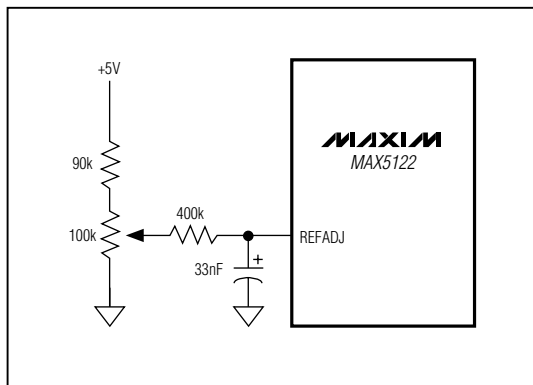


図3a. MAX5122のリファレンス調節回路

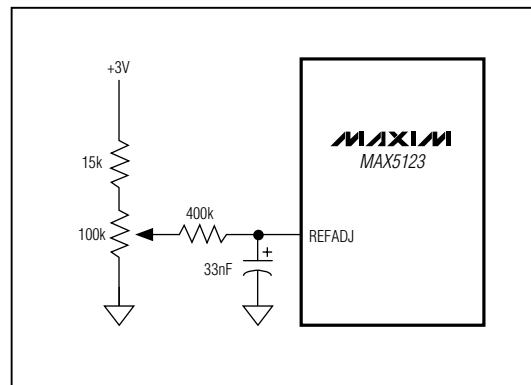


図3b. MAX5123のリファレンス調節回路

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

表1. シリアルインタフェースのプログラミングコマンド

| 16-BIT SERIAL WORD | | | | S0* | FUNCTION |
|--------------------|----|----|----------------|-----|---|
| C2 | C1 | C0 | D11 D0 | S0* | |
| 0 | 0 | 0 | XXXXXXXXXXXX | 0 | No operation. |
| 0 | 0 | 1 | XXXXXXXXXXXX | 0 | Load input register; DAC register unchanged. |
| 0 | 1 | 0 | XXXXXXXXXXXX | 0 | Simultaneously load input and DAC registers; exit shutdown. |
| 0 | 1 | 1 | XXXXXXXXXXXX | 0 | Update DAC register from input register; exit shutdown. |
| 1 | 0 | 1 | XXXXXXXXXXXX | 0 | Shutdown DAC (provided $\overline{PDL} = 1$). |
| 1 | 0 | 0 | XXXXXXXXXXXX | 0 | UPO goes low (default). |
| 1 | 1 | 0 | XXXXXXXXXXXX | 0 | UPO goes high. |
| 1 | 1 | 1 | 1XXXXXXXXXXXX | 0 | Mode 1; DOUT clocked out on SCLK's rising edge. |
| 1 | 1 | 1 | 00XXXXXXXXXXXX | 0 | Mode 0; DOUT clocked out on SCLK's falling edge (default). |

X = 任意 *S0はサブビットで常にゼロです。

パワーダウンロックアウト入力(\overline{PDL})

パワーダウンロックアウトピン(\overline{PDL})がローの場合、シャットダウンがディセーブルされます。シャットダウンモードにおいて、 \overline{PDL} のハイからローへの遷移があるとDACがウェイクアップします。このときの出力は、パワーダウン以前の状態に設定されます。 \overline{PDL} は、素子を非同期でウェイクアップする時にも使用できます。

パワーダウン入力(PD)

PDをハイに引き上げると、MAX5122/MAX5123はシャットダウンします。PDをローに引き下げてもMAX5122/MAX5123は通常動作に戻りません。パワーダウンモードを解除するには、 \overline{PDL} のハイからローへの遷移又はシリアルインタフェースを通じた適切なコマンド(表1)が必要です。

シリアルインタフェースの構成

(SPI/QSPI/MICROWIRE/PIC16/PIC17)

MAX5122/MAX5123の3線シリアルインタフェースは、SPI、QSPI、PIC16/PIC17(図4)及びMICROWIRE(図5)インタフェース規格とコンパチブルです。2バイト長のシリアル入力ワードは、3つの制御ビット、12個のデータビット(MSBを先頭とするフォーマット)、そして常にゼロである1つのサブビットを含んでいます(表2)。

MAX5122/MAX5123のデジタル入力はダブルバッファであるため、ユーザは下記を行うことができます。

- DACレジスタを更新することなく入力レジスタにロードすること。
- 入力レジスタからのデータでDACを更新すること。
- 入力レジスタ及びDACレジスタを同時に更新すること。

この期間中に、 \overline{CS} がローの状態では16ビットの入力ワードを2つの1バイトパケット(SPI、MICROWIRE及び

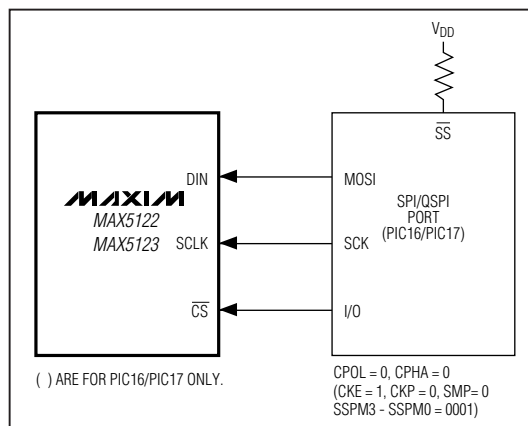


図4. SPI/QSPIインタフェースの接続(PIC16/PIC17)

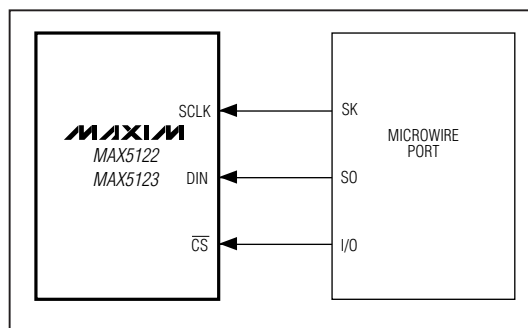


図5. MICROWIREインタフェースの接続

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

PIC16/PIC17コンパチブル)で送ることができます。制御ビットC2、C1及びC0(表1)は下記について決定します。

- どのクロックエッジでDOUTが遷移するか
- ユーザ設定可能なロジック出力の状態
- シャットダウン後のデバイスの設定

図6の一般タイミング図に、データ収集の方法が図解されています。デバイスがデータを受け取るためには、 \overline{CS} がローである必要があります。 \overline{CS} がローの状態、DINのデータがSCLKの立上がりエッジでレジスタに同期入力されます。 \overline{CS} がハイに遷移する時、3つの制御ビットC2、C1及びC0の設定に従って、データは入力レジスタ及び/又はDACレジスタにラッチされます。

表2. シリアルデータフォーマット

| | | | |
|----------------------------|-------------------------------|---------|--|
| MSB | | LSB | |
| ← 16 BITS OF SERIAL DATA → | | | |
| Control Bits | MSB Data Bits LSB | Sub-Bit | |
| C2, C1, C0 | D11.....D0 | S0 | |

適正動作が保証された最大シリアルクロック周波数は、MAX5122が10MHz、MAX5123が6.6MHzです。図7に、シリアルインタフェースの詳細タイミング図を示します。

PIC17及びSSPモジュール付PIC16とのインタフェース

MAX5122/MAX5123は、同期シリアルポート(SSP)モジュールを使用したPIC16/PIC17コントローラ(μC)とコンパチブルです。SPI通信を確立するには、図4に示すようにコントローラを接続し、PIC16/PIC17の同期シリアルポート制御レジスタ(SSPCON)と同期シリアルポート状態レジスタ(SSPSTAT)を表3及び4に示すビットパターンに初期化することにより、PIC16/PIC17をシステムマスターとして設定してください。

SPIモードにおいては、PIC16/PIC17 μC は8ビットのデータを同期して送信し、同時に受信できます。DACに3つの制御ビットと12個のデータビット及び1つのサブビットをフィードするには、2つの連続した8ビット書込み(図6)が必要です。DINデータはシリアルクロック

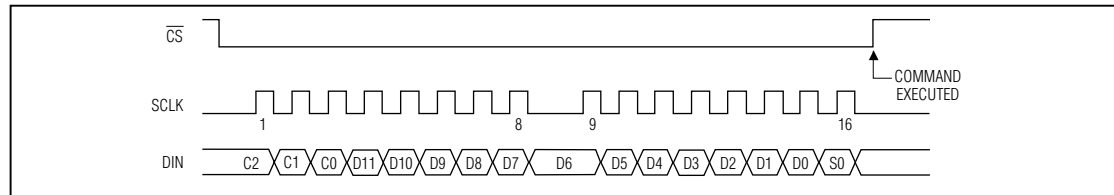


図6. シリアルインタフェースのタイミング

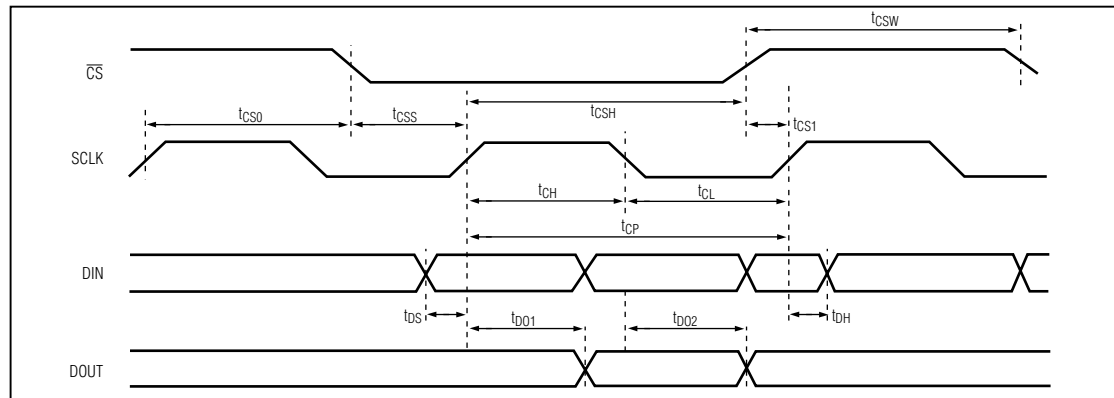


図7. シリアルインタフェースの詳細タイミング

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

表3. SSPCONレジスタの詳細内容

| CONTROL BIT | | MAX5122/MAX5123 SETTINGS | SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPCON) |
|-------------|------|-----------------------------|---|
| WCOL | BIT7 | X | Write Collision Detection Bit |
| SSPOV | BIT6 | X | Receive Overflow Detect Bit |
| SSPEN | BIT5 | 1 | Synchronous Serial Port Enable Bit. 0: Disables serial port and configures these pins as I/O port pins. 1: Enables serial port and configures SCK, SDO and SCI as serial-port pins. |
| CKP | BIT4 | 0 | Clock Polarity Select Bit. CKP = 0 for SPI master-mode selection. |
| SSPM3 | BIT3 | 0 | Synchronous Serial Port Mode Select Bit. Sets SPI master mode and selects fCLK = fOSC / 16 |
| SSPM2 | BIT2 | 0 | |
| SSPM1 | BIT1 | 0 | |
| SSPM0 | BIT0 | 1 | |

X = 任意

表4. SSPSTATレジスタの詳細内容

| CONTROL BIT | | MAX5130/MAX5131 SETTINGS | SYNCHRONOUS SERIAL-PORT CONTROL REGISTER (SSPSTAT) |
|-------------|------|-----------------------------|---|
| SMP | BIT7 | 0 | SPI Data Input Sample Phase. Input data is sampled at the middle of the data output time. |
| CKE | BIT6 | 1 | SPI Clock Edge Select Bit. Data will be transmitted on the rising edge of the serial clock. |
| D/A | BIT5 | X | Data Address Bit |
| P | BIT4 | X | Stop Bit |
| S | BIT3 | X | Start Bit |
| R/W | BIT2 | X | Read/Write Bit Information |
| UA | BIT1 | X | Update Address |
| BF | BIT0 | X | Buffer Full Status Bit |

X = 任意

の立下がりエッジで遷移し、SCLKの立上がりエッジでDACに同期入力されます。DINの最初の8ビットは3つの制御ビット(C2、C1及びC0)と最初の5つのデータビット(D11~D7)を含んでいます。2番目の8ビットワードは、残りのビット(D6~D0)及びサブビットS0を含んでいます。

シリアルデータ出力

内部シフトレジスタの内容はDOUTにシリアルで出力されるため、複数のデバイスのデジタイゼーション接続(「アプリケーション情報」を参照)及びデータの読み戻しが可能です。MAX5122/MAX5123は、シリアルクロックの立上がりエッジ(モード1)又は立下がりエッジ(モード0)でデータをシフトアウトするように設定できます。後者はパワーアップ時のデフォルトで、16

クロックサイクルの遅れを提供するため、SPI、QSPI、MICROWIRE及びPIC16/PIC17コンパチビリティが維持されます。モード1においては、出力データはDINよりも15.5クロックサイクル遅れます。パワーダウン時には、DOUTはシャットダウン前の最後のデジタル状態を保持します。

ユーザ設定可能な出力(UPO)

UPO機能により、シリアルインタフェースセットアップを通じて外部デバイスを制御できます(表1)。このため、必要なマイクロコントローラI/Oポート数が減ります。パワーダウン中、この出力はシャットダウン前の最後のデジタル状態を保持します。CLRがローに引き下げられると、UPOはウェイクアップの後でデフォルト状態にリセットされます。

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

アプリケーション情報

定義

積分非直線性(INL)

積分非直線性(図8a)は、実際の伝達関数値の直線からの偏差です。この直線は、最良の直線フィット(実際の伝達曲線に最も近い近似)あるいはオフセット及び利得誤差をヌル(ゼロ)にした後に伝達関数の終点間を結んだ線です。DACの場合、偏差は各ステップで測定されます。

微分非直線性(DNL)

微分非直線性(図8b)は、実際のステップの高さと1LSBの理想的な値の間の差です。DNLの大きさが1LSB未満であれば、そのDACはミッシングコードがないこと及び単調であることが保証されます。

オフセット誤差

オフセット誤差(図8c)は、理想的なオフセットポイントと実際のオフセットポイントの間の差です。DACの場合、オフセットポイントはデジタル入力がゼロのときのステップ値です。この誤差は全てのコードに対して同量の影響を与え、通常はトリミングによって補償することができます。

利得誤差

利得誤差(図8d)は、オフセット誤差をゼロにした状態における伝達曲線のフルスケール出力電圧の理想値と実際の値の間の差です。この誤差は伝達関数の傾きを変化させ、各ステップで同じ比率の誤差となります。

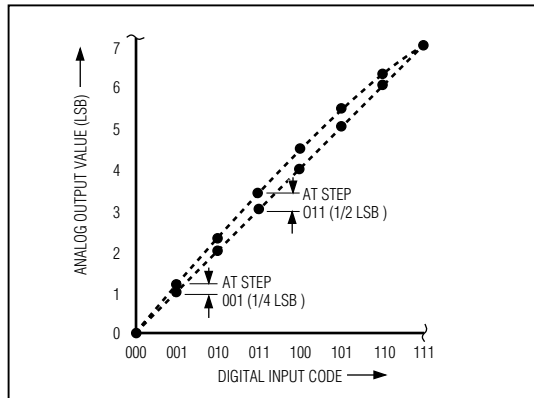


図8a. 積分非直線性

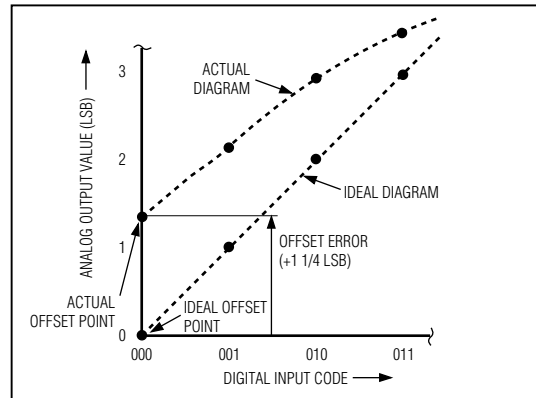


図8c. オフセット誤差

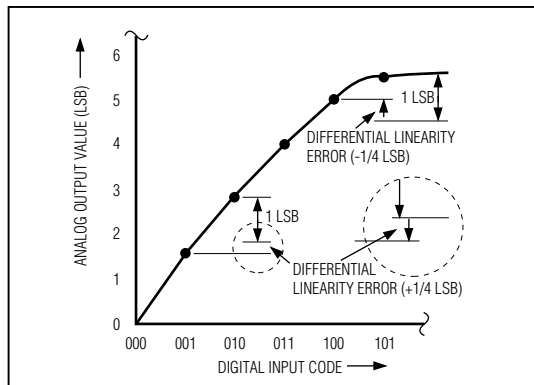


図8b. 微分非直線性

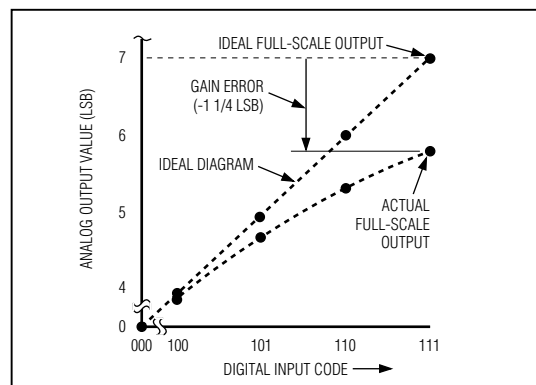


図8d. 利得誤差

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

セトリング時間

セトリング時間は、遷移の開始からDAC出力がコンバータの仕様精度内の新しい出力値に落ち着くまでに要する時間です。

デジタルフィードスルー

デジタルフィードスルーは、デジタル入力の遷移時にDACの出力で生じるノイズです。適正な基板レイアウト及びグラウンディングによって、このノイズをかなり減らすことができますが、DACそのものに起因するフィードスルーは常にある程度存在します。

ユニポーラ出力

図9に、MAX5122/MAX5123を利得2V/Vのユニポーラ、レイルトゥレイル[®]動作にセットアップした例を示します。+2.5V内部リファレンスを使用した場合、MAX5122は0V~+4.99878Vのユニポーラ出力範囲を保證できます。MAX5123は、内蔵+1.25Vリファレンスによって0V~+2.49939Vの出力範囲を提供します。表5に、ユニポーラ出力電圧のコード例を示します。

バイポーラ出力

MAX5122/MAX5123は、図10に示す回路を使用してユニティゲインのバイポーラ動作(FB = OUT)に設定できます。出力電圧 V_{OUT} は、次式によって与えられます。

$$V_{OUT} = V_{REF} [(G(NB/4096)) - 1]$$

ここで、NBはDACのバイナリ入力コードの数値、 V_{REF} は内部(又は外部)高精度リファレンスの電圧、Gは全利得です。図10のアプリケーション回路は、MAX5122/MAX5123の外部でユニティゲイン構成の低コストオペアンプ(MAX4162)を使用しています。MAX5122/MAX5123との組み合わせにより、この回路の全利得は2V/Vとなります。表6に、バイポーラ出力電圧のコードの例を示します。

リセット(RSTVAL)及びクリア(CLR)機能

MAX5122/MAX5123 DACは、出力をRSTVALの設定に依存する特定の値にリセットするクリアピン(CLR)を備えています。CLRがローに引き下げられた時、RSTVAL = DGNDであると出力は0に設定され、RSTVAL = V_{DD} であると出力はミッドスケールに設定されます。

CLRピンは、最小入力抵抗40k と直列のダイオードを通じて電源電圧 V_{DD} に接続されています。デジタル電圧がデバイスの電源電圧よりも高いと、小さな入力電流が流れますが、この電流は $(V_{CLR} - V_{DD} - 0.5V)/40k$ に制限されます。

注記：DACをクリアした場合にも、ソフトウェアシャットダウンが解除されます(PD = 0)。

レイルトゥレイルは日本モトローラの登録商標です。

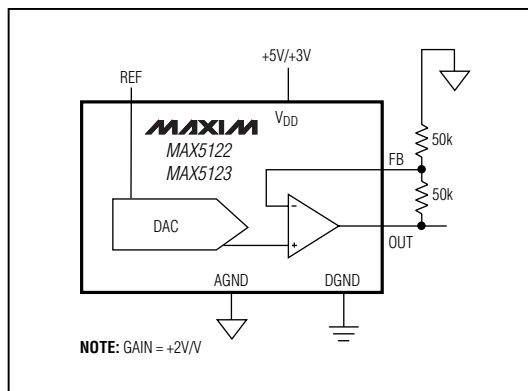


図9. 内部(+1.25V/+2.5V)又は外部リファレンスを使用したユニポーラ出力回路。外部リファレンスを使用する場合は、REFADJを V_{DD} に接続してください。

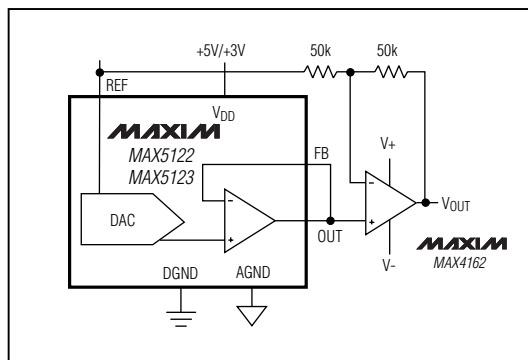


図10. 内部(+1.25V/+2.5V)又は外部リファレンスを使用したユニティゲインバイポーラ出力回路。外部リファレンスを使用する場合は、REFADJを V_{DD} に接続してください。

デバイスのデジチェーン接続

1つのデバイスのシリアルデータ出力ピン(DOUT)を次のデバイスのデジタル入力ピン(DIN)に接続することにより、任意の数のMAX5122/MAX5123をデジチェーン接続できます(図11)。

もう1つの構成においては、幾つかのMAX5122/MAX5123 DACが1つの共通のDIN信号ラインを共有できます(図12)。この構成ではデータバスが全てのデバイスに共通であるため、データはデジチェーンを通じてシフトしていきません。しかし、この構成では各ICが専用のCSラインを必要とするため、より多くのI/Oラインが必要になります。

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

MAX5122/MAX5123

表5. ユニポーラコード表(利得 = +2V/V)

| DAC CONTENTS | | | ANALOG OUTPUT | | |
|----------------|-----|---------------|--------------------|-----------|---------------------------------------|
| MSB | LSB | SUB-BIT S0 | INTERNAL REFERENCE | | EXTERNAL REFERENCE MAX5122/MAX5123 |
| | | | MAX5122 | MAX5123 | |
| 1111 1111 1111 | | 0 | +4.99878V | +2.49939V | VREF (4095 / 4096) 2 |
| 1000 0000 0001 | | 0 | +2.50122V | +1.25061V | VREF (2049 / 4096) 2 |
| 1000 0000 0000 | | 0 | +2.5V | +1.25V | VREF (2048 / 4096) 2 |
| 0111 1111 1111 | | 0 | +2.49878V | +1.24939V | VREF (2047 / 4096) 2 |
| 0000 0000 0001 | | 0 | +1.2207mV | +610.35μV | VREF (1 / 4096) 2 |
| 0000 0000 0000 | | 0 | 0V | 0V | 0 |

表6. バイポーラコード表(図10)

| DAC CONTENTS | | | ANALOG OUTPUT | | |
|----------------|-----|---------------|--------------------|-----------|---------------------------------------|
| MSB | LSB | SUB-BIT S0 | INTERNAL REFERENCE | | EXTERNAL REFERENCE MAX5122/MAX5123 |
| | | | MAX5122 | MAX5123 | |
| 1111 1111 1111 | | 0 | +2.49878V | +1.24939V | VREF [{2 (4095 / 4096)} - 1] |
| 1000 0000 0001 | | 0 | +1.2207mV | +610.35μV | VREF [{2 (2049 / 4096)} - 1] |
| 1000 0000 0000 | | 0 | 0V | 0V | VREF [{2 (2048 / 4096)} - 1] |
| 0111 1111 1111 | | 0 | -1.2207mV | -610.35μV | VREF [{2 (2047 / 4096)} - 1] |
| 0000 0000 0001 | | 0 | -2.49878V | -1.24939V | VREF [{2 (1 / 4096)} - 1] |
| 0000 0000 0000 | | 0 | -2.5V | -1.25V | -VREF |

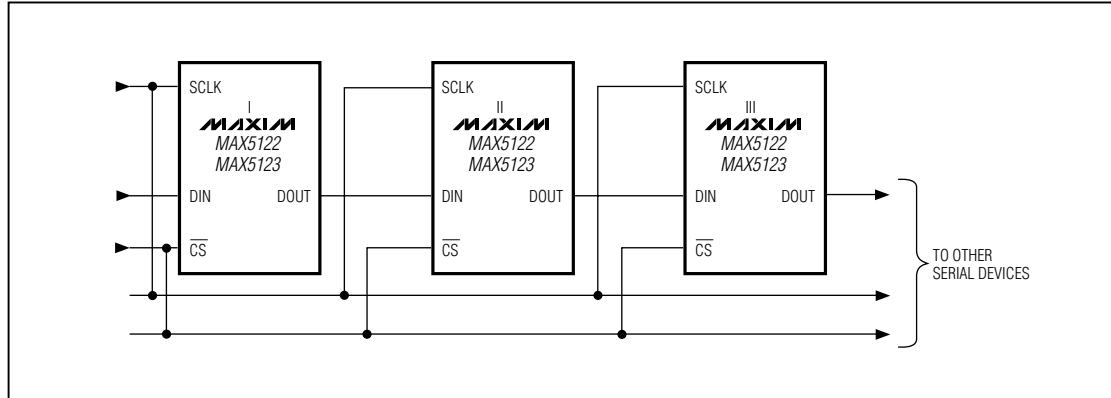


図11. デジタルI/O DIN/DOUTを使用した複数のデバイスのデジチェーン接続

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

AC成分を持つ外部リファレンスの使用

MAX5122/MAX5123は、リファレンス入力電圧範囲の仕様内で乗算能力を持っています。図13は、REFにサイン波入力を印加する技法を示しています。ここで、AC信号はリファレンス入力に印加される前にオフセットされています。

電源及びバイパスの考慮

パワーアップ時に、入力レジスタ及びDACレジスタはゼロ(RSTVAL = DGND)又はミッドスケール(RSTVAL = V_{DD})にクリアされます。4.7 μ Fコンデンサと0.1 μ Fコンデンサを並列にしたものを使用することにより、電源

をAGNDにバイパスしてください。リードインダクタンスを小さくするために、リードはできるだけ短くしてください。

レイアウト上の考慮

デジタル及びACトランジェント信号のAGNDへのカップリングのために、出力にノイズが発生することがあります。AGNDはできるだけ良質のグラウンドに接続してください。低インダクタンス・グラウンドプレーン付の多層基板等を使用した適正なグランディング技法を採用してください。ワイヤラッピング基板及びソケットはお勧めできません。ノイズが問題になる場合は、シールドが必要になる場合もあります。

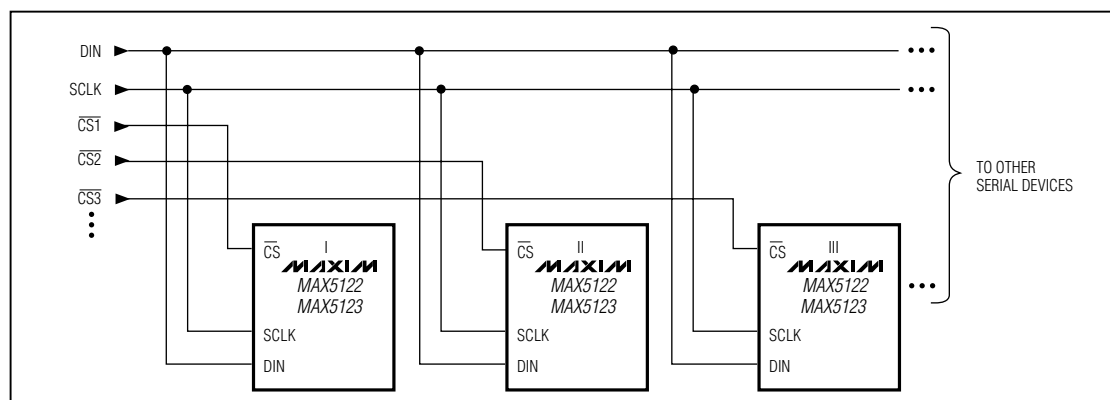


図12. 複数のデバイスによって1つの共通デジタル入力(DIN)を共有する場合

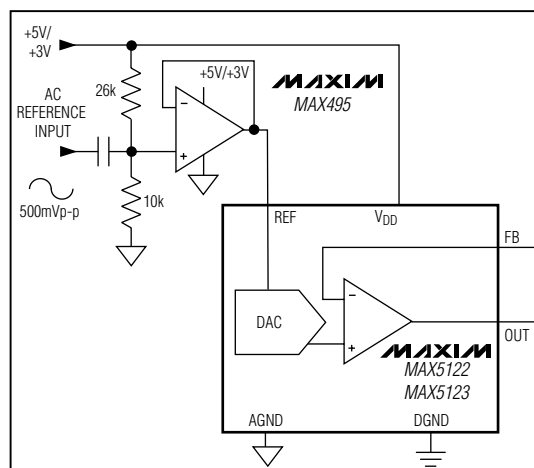


図13. AC成分を持つ外部リファレンス

チップ情報

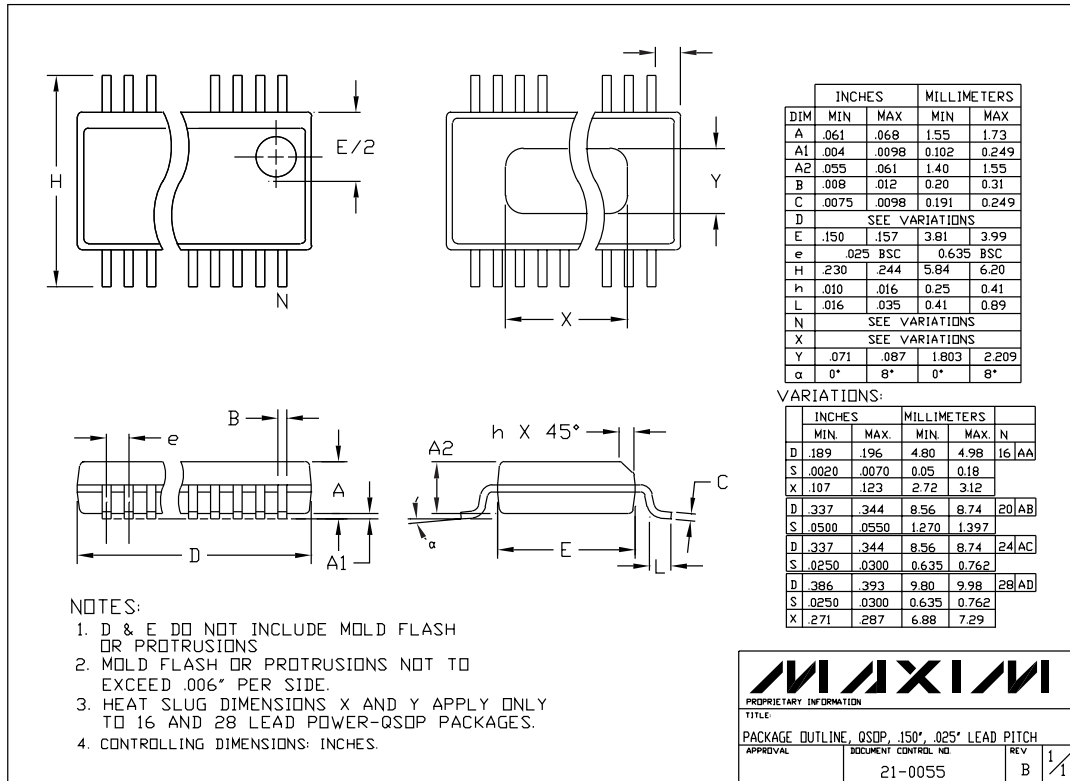
TRANSISTOR COUNT: 3308

SUBSTRATE CONNECTED TO AGND

+5V/+3V、12ビット、シリアル、フォース/センスDAC 10ppm/ の内部リファレンス付

パッケージ _____

MAX5122/MAX5123



+5V/+3V、12ビット、シリアル、フォース/センスDAC
10ppm/ の内部リファレンス付

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**