

新規設計用に推奨されていません。

この製品は外部ファウンドリによって製造されたマキシム製品ですが、今後その入手ができなくなりました。新設計用に推奨されていません。データシートは既存ユーザ向けのみを提供されています。

マキシムの代替品または他社のセカンドソースが入手可能な場合があります。この製品のクイックビューデータシートを参照するか、質問がありましたらテクニカルサポートにお問い合わせください。

詳細については[マキシムのアプリケーションテクニカルサポート](#)にお問い合わせください。

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

概要

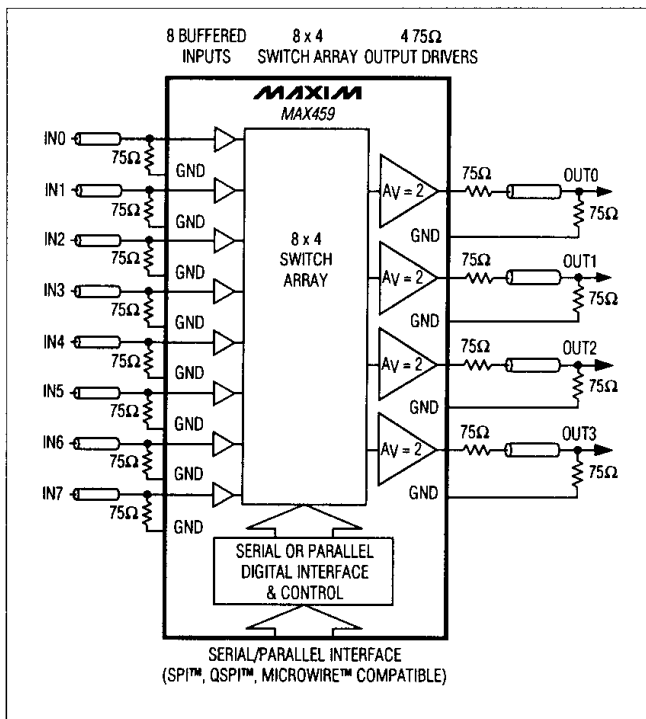
MAX458/MAX459は、8個の入力チャンネルと4個の高速バッファ付き出力チャンネルを備えたクロスポイント・スイッチです。MAX458の出力バッファはゲイン1に設定されており、MAX459のバッファはゲイン2に設定されています。いずれのデバイスにおいても、8個の入力チャンネルのいずれか1つを、4個の出力アンプのうちの任意の1つに接続することができます。出力バッファは、75Ωの負荷を駆動する能力を備えています。

データ・インタフェースは、16ビット・シリアルまたは6ビット・パラレルのいずれかで行います。シリアルモードでのMAX458/MAX459は、SPI™、QSPI™およびMicrowire™にコンパチブルです。パラレルモードでは、ほとんどのマイクロプロセッサ・バスにコンパチブルです。出力アンプは3ステートの出力を備えているため、複数のMAX458/MAX459を組み合わせ、より大きなスイッチ・ネットワークを構成できます。出力バッファを個別にディセーブルすることが可能な他、デバイス全体をシャットダウンし電力を節約することができます。

アプリケーション

ビデオ・テスト機器
ビデオ監視システム
ビデオ編集

ブロックダイアグラム



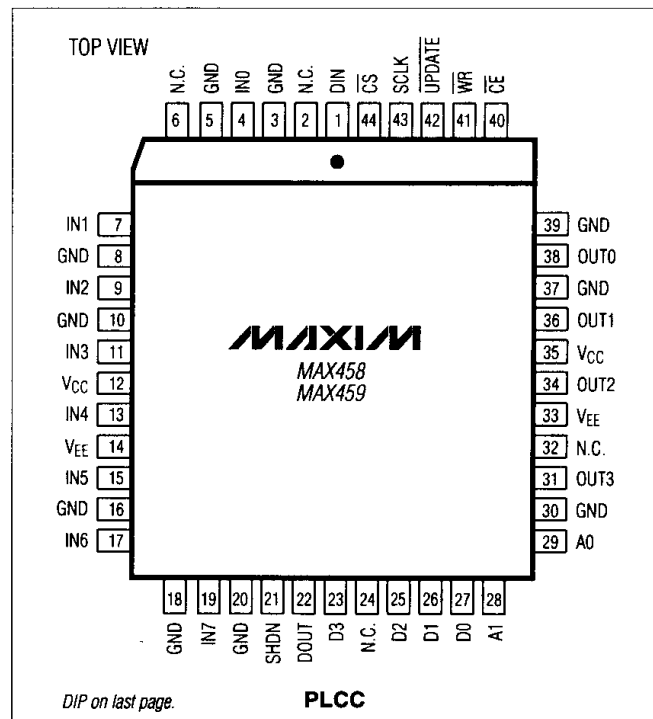
特長

- ◆100MHzのユニティゲイン帯域幅
- ◆300V/μsのスルー・レート
- ◆0.05°の低微分位相誤差
- ◆0.01%の低微分ゲイン誤差
- ◆75Ωケーブルを直接駆動
- ◆60nsの高速スイッチング時間
- ◆アンプ出力をハイインピーダンスに可能
- ◆シャットダウン機能
- ◆16ビット・シリアルおよび6ビット・パラレル・アドレス・モード
- ◆40ピンDIPおよび44ピンPLCCパッケージ

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX458CPL	0°C to +70°C	40 Plastic DIP
MAX458CQH	0°C to +70°C	44 PLCC
MAX458EPL	-40°C to +85°C	40 Plastic DIP
MAX459CPL	0°C to +70°C	40 Plastic DIP
MAX459CQH	0°C to +70°C	44 PLCC
MAX459EPL	-40°C to +85°C	40 Plastic DIP

ピン配置



™ SPI and QSPI are trademarks of Motorola, Inc. Microwire is a trademark of National Semiconductor Corp.

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

ABSOLUTE MAXIMUM RATINGS

Total Supply Voltage (V_{CC} to V_{EE})	12V
Positive Supply Voltage (V_{CC} to GND)	6V
Negative Supply Voltage (V_{EE} to GND)	6V
Analog Input/Output Voltage	($V_{CC} + 0.3V$) to ($V_{EE} - 0.3V$)
Digital Input Voltage	($V_{CC} + 0.3V$) to $-0.3V$
Duration of Output Short Circuit to GND (Note 1)	Continuous
Continuous Power Dissipation	
Plastic DIP (derate 17mW/°C above +70°C)	1333mW
PLCC (derate 13mW/°C above +70°C)	1067mW

Operating Temperature Ranges

MAX45_C_	0°C to +70°C
MAX45_E_	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +160°C
Lead Temperature (soldering, 10sec)	+300°C

Note 1: Outputs may be shorted to any supply pin or ground as long as package power dissipation ratings are not exceeded.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{CC} = +5V$, $V_{EE} = -5V$, $-2V \leq V_{IN} \leq +2V$, output load resistor (R_L) = 150 Ω , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
STATIC SPECIFICATIONS							
Input Voltage Range				-2		+2	V
Input Offset Voltage	V _{OS}	Any channel	$T_A = +25^\circ C$		5	15	mV
			$T_A = T_{MIN}$ to T_{MAX}			20	
Input Offset Voltage Match	ΔV_{OS}	$V_{IN} = 0V$ (Note 2)			3	10	mV
Power-Supply Rejection Ratio	PSRR	$V_S = \pm 4.75V$ to $\pm 5.25V$		50	60		dB
On Input Bias Current	I_{IN}	$V_{IN} = 0V$, input programmed to one output			± 1	± 5	μA
On Input Resistance	R_{IN}	Input programmed to one output		0.50	5.0		M Ω
Input Capacitance	C_{IN}	Input channel on or off			7		pF
DC Voltage Gain Accuracy		MAX458 (Note 3)	$T_A = +25^\circ C$		0.1	0.5	%
			$T_A = T_{MIN}$ to T_{MAX}			1.0	
		MAX459 (Note 4)	$T_A = +25^\circ C$		0.1	1.0	
			$T_A = T_{MIN}$ to T_{MAX}			2.0	
Output Voltage Swing	V_{OUT}			± 2	± 3		V
Enabled Output Resistance	R_{OUT}	$V_{IN} = 1kHz$ sine wave			0.05		Ω
		$V_{IN} = 10MHz$ sine wave			4.0		
Disabled Output Resistance	R_{OUT}	MAX458		0.25	1.0		M Ω
		MAX459		0.70	1.0		k Ω
Disabled Output Capacitance	C_{OUT}				12		pF
Positive Power-Supply Current	I_{CC}	$V_{IN} = 0V$, all amplifiers enabled	$T_A = +25^\circ C$	60	75	85	mA
			$T_A = T_{MIN}$ to T_{MAX}	50		100	
Negative Power-Supply Current	I_{EE}	$V_{IN} = 0V$, all amplifiers enabled	$T_A = +25^\circ C$	50	65	75	mA
			$T_A = T_{MIN}$ to T_{MAX}	40		90	
Positive Supply Current in Shutdown					15	26	mA
Negative Supply Current in Shutdown					7	12	mA
Logic Input High Voltage	V_{IH}	(Note 5)				2.0	V
Logic Input Low Voltage	V_{IL}	(Note 5)		0.8			V

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

MAX458/MAX459

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +5V$, $V_{EE} = -5V$, $-2V \leq V_{IN} \leq +2V$, output load resistor (R_L) = 150Ω, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are at $T_A = +25^\circ C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Logic Input High Current	I_{IH}	(Note 3)			10	μA
Logic Input Low Current	I_{IL}	(Note 3)			10	μA
Logic Output High Voltage	V_{OH}	$I_{SOURCE} = 400\mu A$ (Note 5)	4.0			V
Logic Output Low Voltage	V_{OL}	$I_{SINK} = 1.6mA$ (Note 5)			0.5	V
DYNAMIC SPECIFICATIONS						
Differential Gain Error (Note 6)	DG	MAX458		0.01		%
		MAX459		0.13		
Differential Phase Error (Note 6)	DG	MAX458		0.05		degrees
		MAX459		0.14		
Slew Rate	SR	MAX458	Positive transition	200		V/μs
			Negative transition	150		
		MAX459	Positive transition	300		
			Negative transition	250		
Bandwidth (-3dB)	BW	MAX458, $R_L = 75\Omega$		100		MHz
		MAX459, $R_L = 150\Omega$		90		
Input Noise Density	e_n	$f = 10kHz$		20		nV/√Hz
Settling Time	t_S	To 0.1% of final value (Note 7)		40		ns
Amplifier Disable Time	t_{AOFF}			100		ns
Amplifier Enable Time	t_{AON}			120		ns
Channel Switching Time	t_{CSW}			60		ns
Channel Switching Propagation Delay	t_{CPD}			50		ns
Switching Transient Glitch		See <i>Typical Operating Characteristics</i>		100		mV _{p-p}
Adjacent Channel Crosstalk		(Note 8)		-65		dB
Non-Adjacent Channel Crosstalk		(Note 9)		-65		dB
All-Hostile Crosstalk		(Note 10)		-55		dB
All-Hostile Off Isolation		(Note 11)		-60		dB

Note 2: Defined as the DC offset shift when switching between input channels for a given output.

Note 3: Voltage Gain Accuracy for MAX458 calculated as $\frac{(V_{OUT} - V_{IN}) @ (V_{IN} = +2V) - (V_{OUT} - V_{IN}) @ (V_{IN} = -2V)}{4V}$

Note 4: Voltage Gain Accuracy for MAX459 calculated as $\frac{(V_{OUT}/2 - V_{IN}) @ (V_{IN} = +1V) - (V_{OUT}/2 - V_{IN}) @ (V_{IN} = -1V)}{2V}$

Note 5: All logic levels are guaranteed over the range of $V_G = \pm 4.75V$ to $\pm 5.25V$.

Note 6: Differential phase and gain measured with a 40 IRE (285.7mV), 3.58MHz sine wave superimposed on a linear ramp of 0 IRE to 100 IRE (714.3mV). "The IRE scale is a linear scale for measuring, in arbitrary IRE units, the relative amplitudes of the various components of a television signal" (from the "Television Engineering Handbook", edited by K. Blair Benson, McGraw Hill). This system defines 100 IRE as reference white, 0 IRE as the blanking level, and -40 IRE as the sync peak. The equipment used for the test signal generated 714.3mV (100 IRE) as reference white and -285.7mV (-40 IRE) as sync. The modulation used was 285.7mV (40 IRE), which conforms to the EIA color signal standards.

Note 7: For MAX458, step input from +2V to 0V; for MAX459, step input from +1V to 0V. All unused channels grounded and all unused amplifiers disabled.

Note 8: Test input channel programmed to an output and grounded through a 75Ω resistor. Adjacent input is programmed to an adjacent output and driven by a 10MHz, 4Vp-p sine wave.

Note 9: Same as Note 6 above, except driven input and output are not adjacent to test input/output.

Note 10: All inputs but the test input are driven by a 10MHz 4Vp-p sine wave. All outputs except the test output are connected to driven inputs.

Note 11: Same as Note 9 above, except with test channel programmed off.

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

MAX458/MAX459

TIMING CHARACTERISTICS (Note 12)

($V_{CC} = +5V$, $V_{EE} = -5V$, $-2V \leq V_{IN} \leq +2V$, output load resistor (R_L) = 150Ω , $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
PARALLEL-MODE TIMING (see Figure 1)					
Address to \overline{WR} Fall Setup Time	tADS		20		ns
Address to \overline{WR} Rise Hold Time	tADH		0		ns
\overline{CE} Fall to \overline{WR} Fall Setup Time	tCES		0		ns
\overline{CE} Rise to \overline{WR} Rise Hold Time	tCEH		0		ns
\overline{WR} Pulse Width Low	tWR		40		ns
Data to \overline{WR} Rise Setup Time	tDS		50		ns
Data to \overline{WR} Rise Hold Time	tDH		0		ns
\overline{WR} Rise to UPDATE Fall Setup Time	tWRS		0		ns
UPDATE Pulse Width Low	tUP		40		ns
UPDATE Rise to \overline{WR} Fall Setup Time	tUPS		25		ns
SERIAL-MODE TIMING (see Figure 6)					
SCLK to \overline{CS} Fall	tCSO		0		ns
\overline{CS} Fall to SCLK Rise	tCSS		35		ns
SCLK Pulse Width High	tCH		50		ns
SCLK Pulse Width Low	tCL		30		ns
DIN to SCLK Rise Setup Time	tDS		50		ns
DIN to SCLK Rise Hold Time	tDH		0		ns
SCLK Fall to DOUT	tDO			200	ns
SCLK Rise to \overline{CS} Rise	tCSH		30		ns
\overline{CS} Rise to SCLK Rise	tCS1		20		ns
\overline{CS} Pulse Width High	tCSW		100		ns

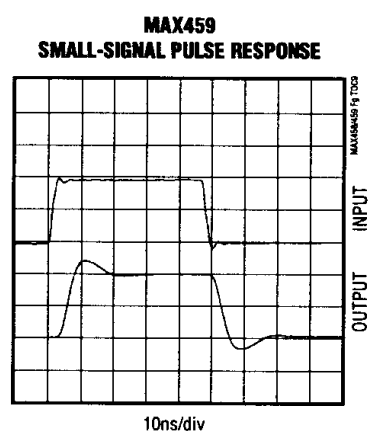
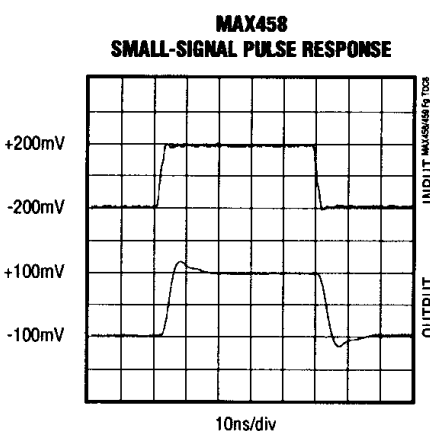
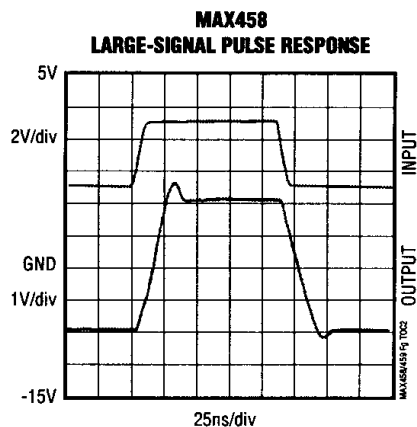
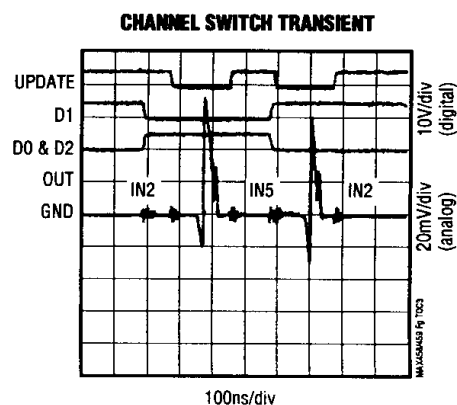
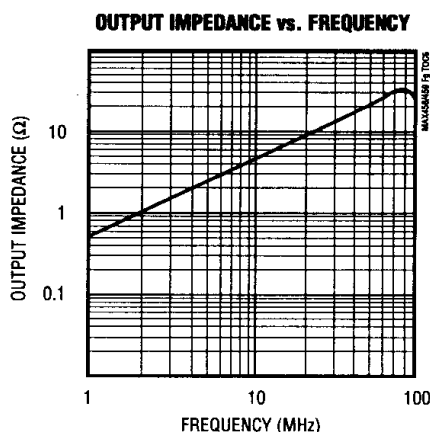
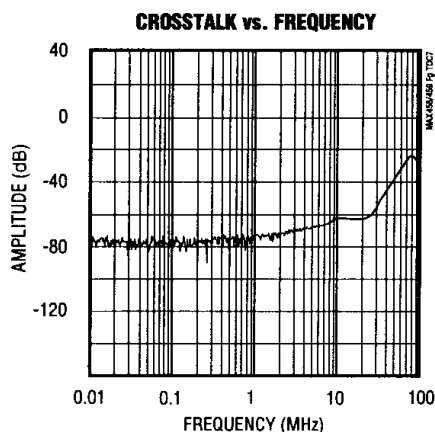
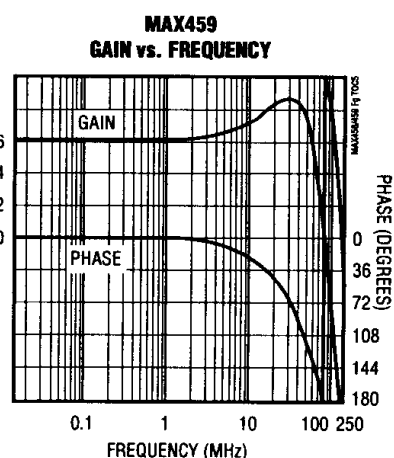
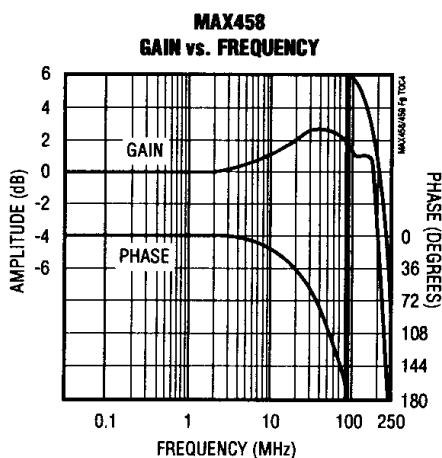
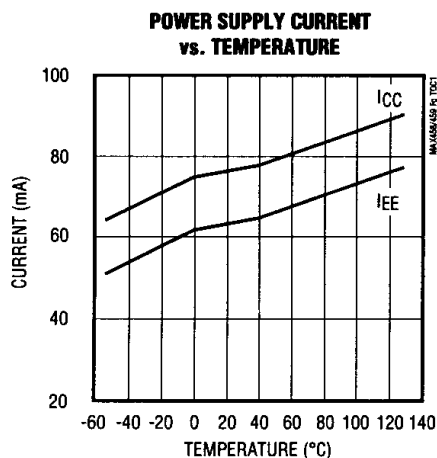
Note 12: Timing Characteristics are guaranteed by design.

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

MAX458/MAX459

標準動作特性

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



8×4、バッファ付、ビデオ・クロスポイント・スイッチ

MAX458/MAX459

端子説明

ピン		名称	機能
DIP	PLCC		
1	1	DIN	シリアル・データ入力
2, 4, 6, 8, 14, 16, 18, 27, 33, 35	3, 5, 8, 10, 16, 18, 20, 30, 37, 39	GND	グラウンド
3	4	IN0	アナログ入力チャンネル0
5	7	IN1	アナログ入力チャンネル1
7	9	IN2	アナログ入力チャンネル2
9	11	IN3	アナログ入力チャンネル3
10, 31	12, 35	V _{CC}	正電源(+5V)。両方のV _{CC} ピンを正電源に接続してください。
11	13	IN4	アナログ入力チャンネル4
12, 29	14, 33	V _{EE}	負電源(-5V)。両方のV _{EE} ピンを負電源に接続してください。
13	15	IN5	アナログ入力チャンネル5
15	17	IN6	アナログ入力チャンネル6
17	19	IN7	アナログ入力チャンネル7
19	21	SHDN	シャットダウン、アクティブハイ。未使用時はGNDに接続してください。
20	22	DOUT	デバイスをデジチェーン接続する際に用いるシリアル・データ出力
21	23	D3	パラレル・デジタル・チャンネル入力アドレスビット3
22	25	D2	パラレル・デジタル・チャンネル入力アドレスビット2
23	26	D1	パラレル・デジタル・チャンネル入力アドレスビット1
24	27	D0	パラレル・デジタル・チャンネル入力アドレスビット0
25	28	A1	パラレル・デジタル・アンプ出力アドレスビット1
26	29	A0	パラレル・デジタル・アンプ出力アドレスビット0
28	31	OUT3	アンプ3アナログ出力
30	34	OUT2	アンプ2アナログ出力
32	36	OUT1	アンプ1アナログ出力
34	38	OUT0	アンプ0アナログ出力
36	40	\overline{CE}	パラレルモード用チップ・イネーブル。シリアルモードでは、常にハイとしてください。
37	41	\overline{WR}	パラレルモード用ライト。アクティブローで入力レジスタをラッチします。シリアルモードでは、常にハイとしてください。
38	42	\overline{UPDATE}	パラレルモード用アップデート。アクティブローでアンプ・レジスタをラッチします。シリアルモードでは、常にハイとしてください。
39	43	SCLK	シリアル・クロック
40	44	\overline{CS}	シリアルモード用チップ・セレクト。パラレルモードでは常にハイとしてください。
—	2, 6, 24, 32	N.C	内部接続されていません。

注：クロストーク性能を最適化するために、すべてのGNDピンはグラウンドに接続してください。

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

MAX458/MAX459

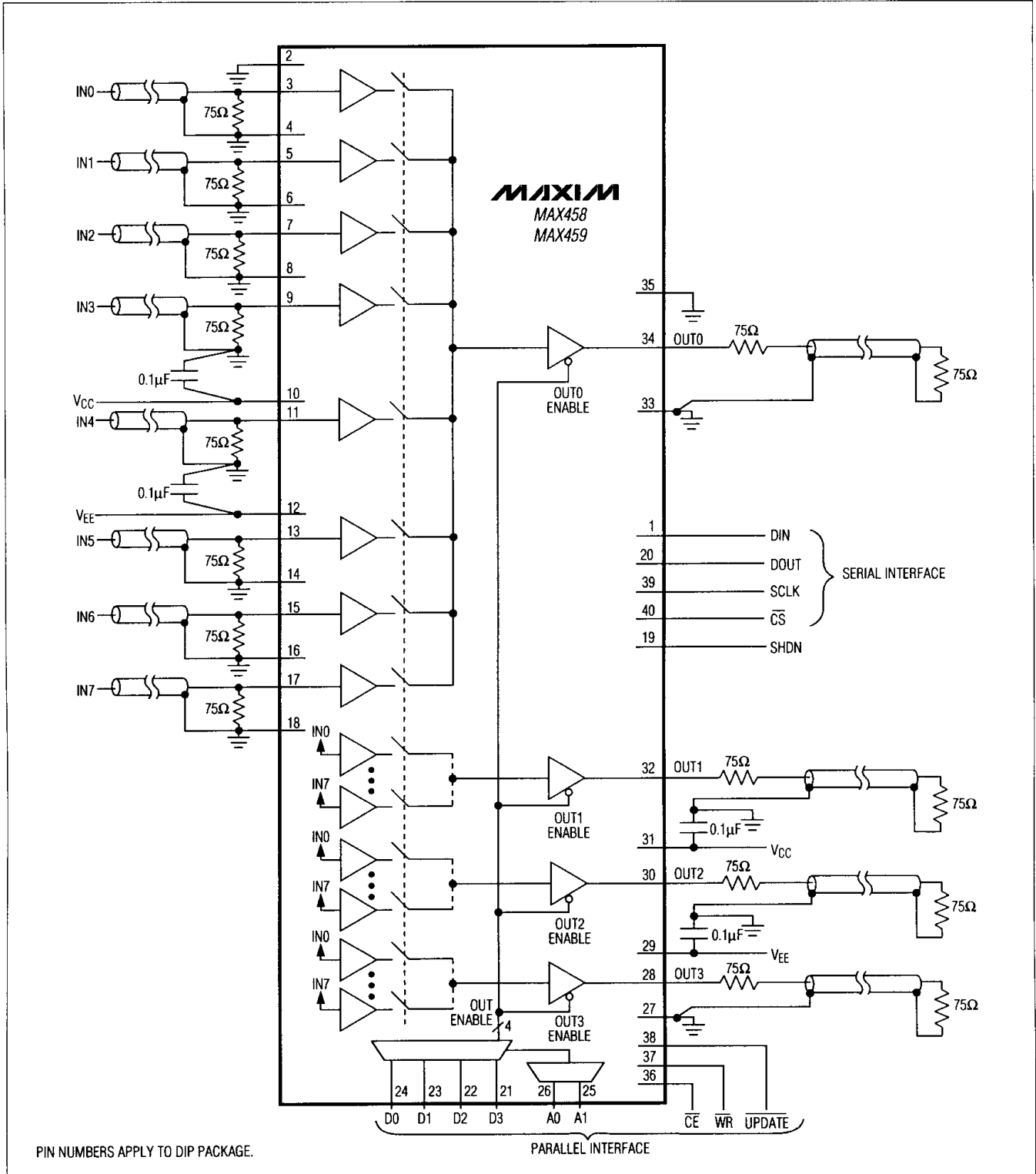


図1. ブロック図および標準動作回路

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

MAX458/MAX459

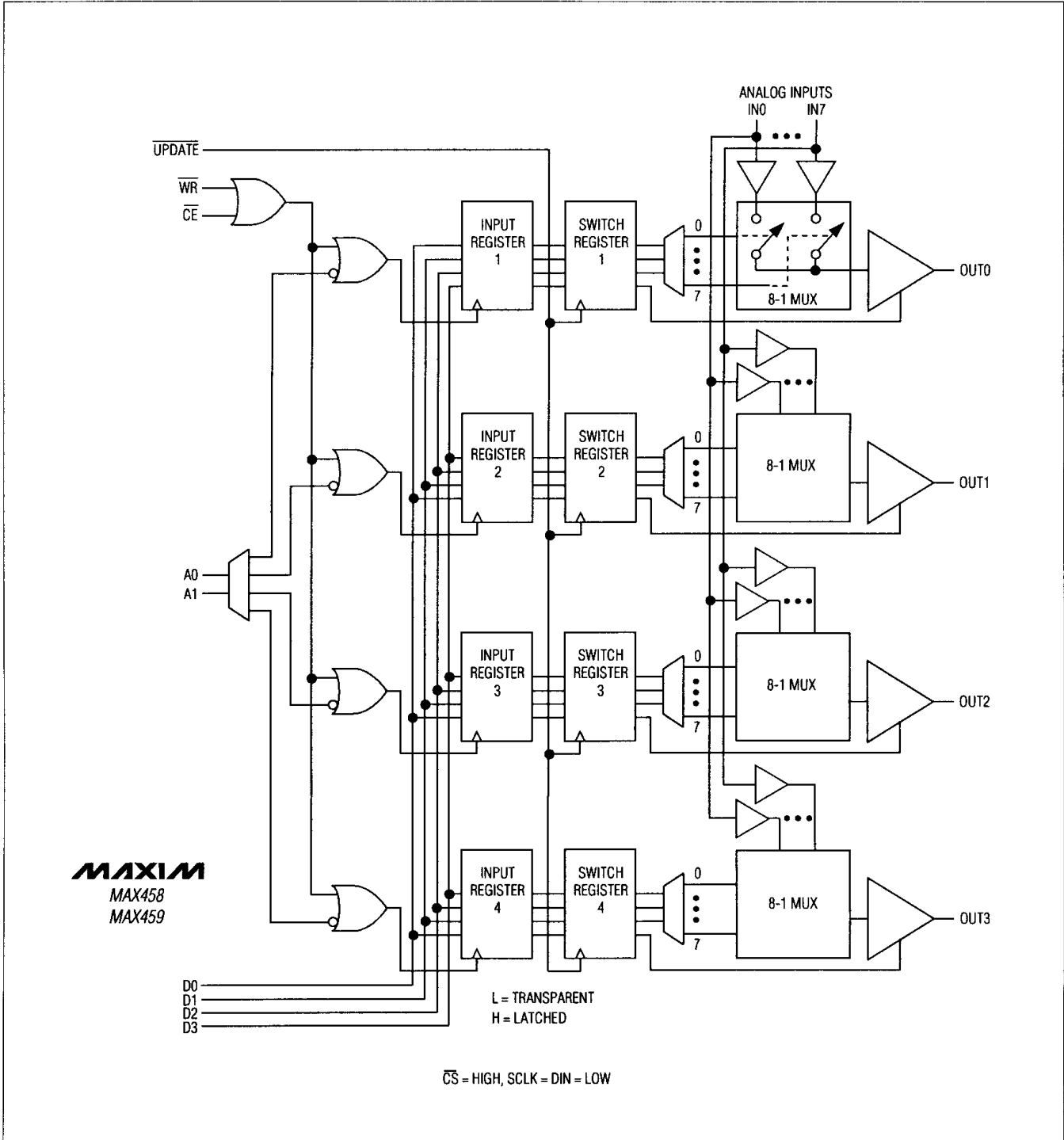


図2. パラレルロジック部のブロック図

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

MAX458/MAX459

詳細

アナログ部

MAX458/MAX459ビデオ・クロスポイント・スイッチは、広帯域のラインドライバを備えた高速な32個(8×4)のスイッチ配列から構成されています(図1)。そして、出力ノイズやグリッチの発生を抑えながら入力の短絡が生じない、メーク・ビフォー・ブレイク方式のスイッチングが可能構造を有しています。また、高入力インピーダンスと低入力容量であるため、入力バッファ・アンプが不要です。しかしながら、新しい入力にスイッチングされると、異なるトランジスタが選択された入力に応じたゲインを与えるため、DCオフセット電圧が若干シフトします。オフセット電圧の変動は、標準で3mVです。

すべての出力バッファは、逆終端された50Ω、75Ω、または、容量が100pF以下の、より高インピーダンスのラインを駆動することができます。アンプ出力は、大規模なスイッチ配列を実現する際に便利のように、出力をディセーブルすることができます。MAX458のディセーブル時の出力インピーダンスは、約1MΩです。MAX459のディセーブル時の出力インピーダンスは、ゲイン2を実現するための内部フィードバック抵抗のために、グラウンドに対して1kΩです。

電源供給中に、CSまたはUPDATEがハイに保たれると、すべての出力アンプはディセーブルされます。大規模なスイッチ配列ではこの機能により、並列に接続された2つのアンプが同時にONとなり相互の信号を歪ませることを防ぐことができます。各アンプは、電源投入後にはいつでも、同時に任意の状態になるようにプログラムすることができます。“大規模スイッチ配列の構成”の節を参照してください。

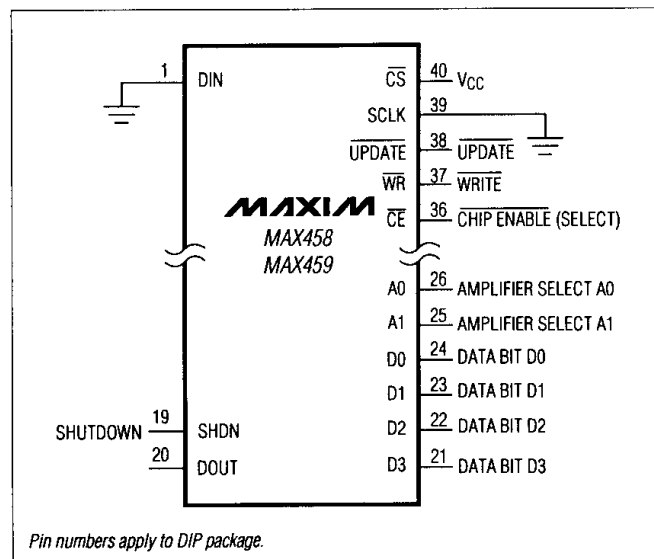


図3. パラレルモード接続
(ロジック・ピンのみ示しています)

デジタル部 - パラレルモード

MAX458/MAX459は、入力レジスタとスイッチ・レジスタの、2つのレジスタ・バンクを有しています(図2)。2つのレジスタのそれぞれは、いずれもラッチ状態(コントロール入力が高レベルのとき)またはトランスペアレント状態(コントロール入力が高レベルのとき)とすることができます。入力レジスタは、WRおよびCEによって制御し、A0とA1によって選択します。WRとCEがいずれもローの場合、A0とA1によって選択される入力レジスタはトランスペアレントとなり、D0~D3の状態はスイッチ・レジスタに与えられます。他の3つの入力レジスタは、ラッチされたままです。

表1. アンプの選択

A1	A0	Output Amplifier Selected
L	L	0
L	H	1
H	L	2
H	H	3

表2. 入力の選択

D3	D2	D1	D0	Input Channel Selected
L	L	L	L	0
L	L	L	H	1
L	L	H	L	2
L	L	H	H	3
L	H	L	L	4
L	H	L	H	5
L	H	H	L	6
L	H	H	H	7
H	X	X	X	Disable output amplifier selected by A0, A1.

表3. データの書き込み

CE	WR	UPDATE	機能
H	X	H	デバイスは選択されていないか、シリアルモードです。両レジスタ共にラッチされています。
H	X	L	入力レジスタ内のデータは、スイッチ・レジスタを通過します。出力は入力レジスタ内のデータを反映します。
L	L	H	選択されたアンプの入力レジスタがトランスペアレントとなります。スイッチ・レジスタはラッチされます。他の入力レジスタはラッチされています。
L	L	L	すべてのスイッチ・レジスタおよび選択されている入力レジスタは、トランスペアレントとなります。選択されたアンプ(A0とA1で選択)は、入力データの内容を出力します。他のアンプは、以前に入力レジスタにラッチされたデータを出力します。

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

D0～D3が、 $\overline{\text{UPDATE}}$ のアサート前(ローになる前)に変化すると、新しいデータ(変化した後のD0～D3)がスイッチ・レジスタ内にラッチされます。 $\overline{\text{WR}}$ または $\overline{\text{CE}}$ がハイの場合、すべての入力レジスタはラッチされ、それらの持つデータは対応するスイッチ・レジスタに与えられます。 $\overline{\text{WR}}$ または $\overline{\text{CE}}$ のいずれかがハイである限り、入力レジスタの内容は変化しません。スイッチ・レジスタは、すべての新しいデータを $\overline{\text{UPDATE}}$ の立下りエッジにおいて通過させます。

スイッチ・レジスタ・バンクの各レジスタは、1つのアンプへの入力を制御します。 $\overline{\text{UPDATE}}$ がローのとき、スイッチ・レジスタはトランスペアレントとなり、スイッチ接続は入力レジスタによって制御されます。しかしながら、 $\overline{\text{UPDATE}}$ がハイの場合、スイッチ・レジスタはラッチされ、入力レジスタによるデータの変更はアンプの出力に影響を与えません。2つのレジスタ・バンクを用いることで、スイッチやアンプの選択状態に影響を与えることなくデータを入力レジスタ内にロード可能です。これによって、アンプをプログラムした後に、データを同時に変更することが可能になっています。レジスタがラッチされていない場合、すべてトランスペアレントになっています。

データ・ビットD3を用いて、A0～A1で選択されているアンプをディセーブルし、出力をハイインピーダンス状態とします。例えば、OUT0をディセーブルするためのコードは以下のようになります。

ピン名称：	D3	D2	D1	D0	A1	A0
入力コード：	1	X	X	X	0	0

パラレルモードでの動作時には、図3に示すように $\overline{\text{CS}}$ はハイに接続し、SCLKとDINはグラウンドに接続してください。タイミングについては図4を参照してください。

デジタル部 - シリアルモード

MAX458/MAX459は、SPI、QSPI、Microwireインタフェースとコンパチブルな3線シリアルインタフェースを備えています。シリアルモードの動作は、 $\overline{\text{WR}}$ 、 $\overline{\text{UPDATE}}$ および $\overline{\text{CE}}$ がハイに保たれ、 $\overline{\text{CS}}$ がローとなった時にイネーブルされます(図5)。図6、7にシリアルモードのタイミングを示します。図8に、シリアルモード構成としたMAX458/MAX459を示します。図9にMicrowireとの接続を、図10にSPI/QSPIとの接続を示します。

パラレルモードでは、入力A0とA1によってデータ・ビットD0～D3で制御される出力アンプが決定されますが、シリアルモードではこの機能は $\overline{\text{CS}}$ の立上りによって行われます。最初の4クロック・パルスの間、 $\overline{\text{CS}}$ がローに保持されている場合、制御対象のアンプはOUT0です。先頭から8クロック・パルス後に $\overline{\text{CS}}$ が立ち上がるとOUT0とOUT1が対象となり、12クロック・パルス後ならばOUT0、OUT1、OUT2となります。16クロック・パルスの間 $\overline{\text{CS}}$ をローに保つと、OUT0～OUT3のすべてのアンプの入力データとなります。 $\overline{\text{CS}}$ の立上りが、クロックでの4つの立上り遷移以前に起こると、OUT0への接続は不定となります。

シリアル出力DOUTは、2つまたはそれ以上のクロスポイント・スイッチのカスケードによる大規模なスイッチ配列の構成を可能にします。DOUTにおけるデータは、DINでの入力から、16サイクルに1クロックパルス幅を加えただけ遅延しています。DOUTの変化は、 $\overline{\text{CS}}$ がローのときにSCLKの立下りエッジで起こります。 $\overline{\text{CS}}$ がハイの場合、DOUTは最後のデータ・ビットの状態を保ちます。

MAX458/MAX459の入力データは、16ビット単位です。SPIおよびMicrowireインタフェースの出力データは8ビット単位であるため、入力データのためには2つのライト・サイ

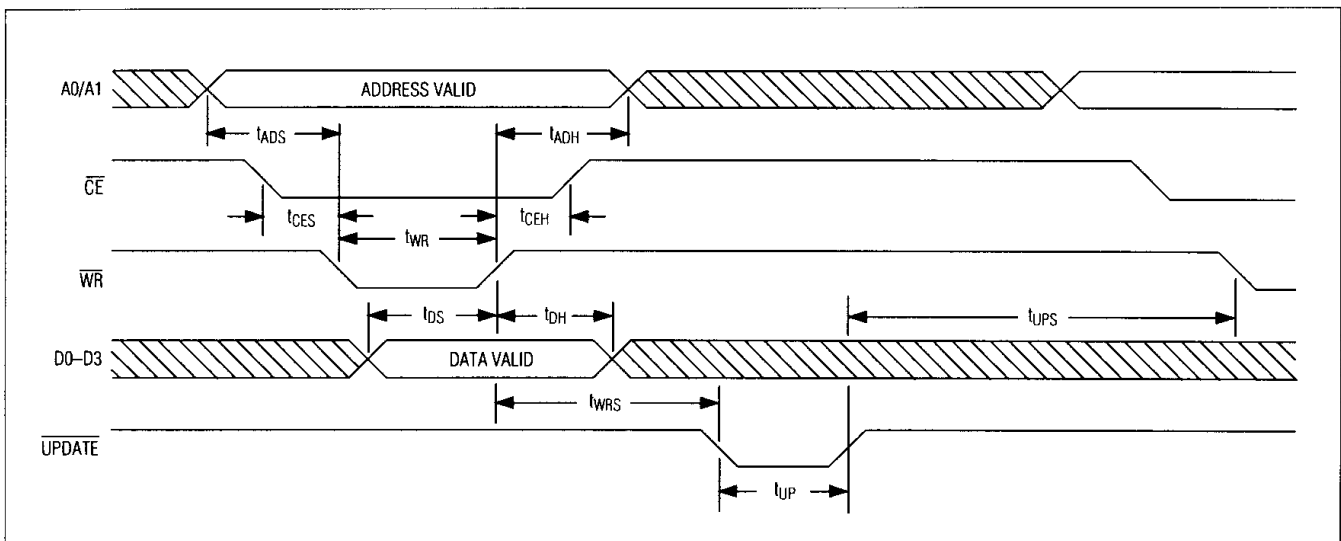


図4. パラレルモード・タイミング

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

MAX458/MAX459

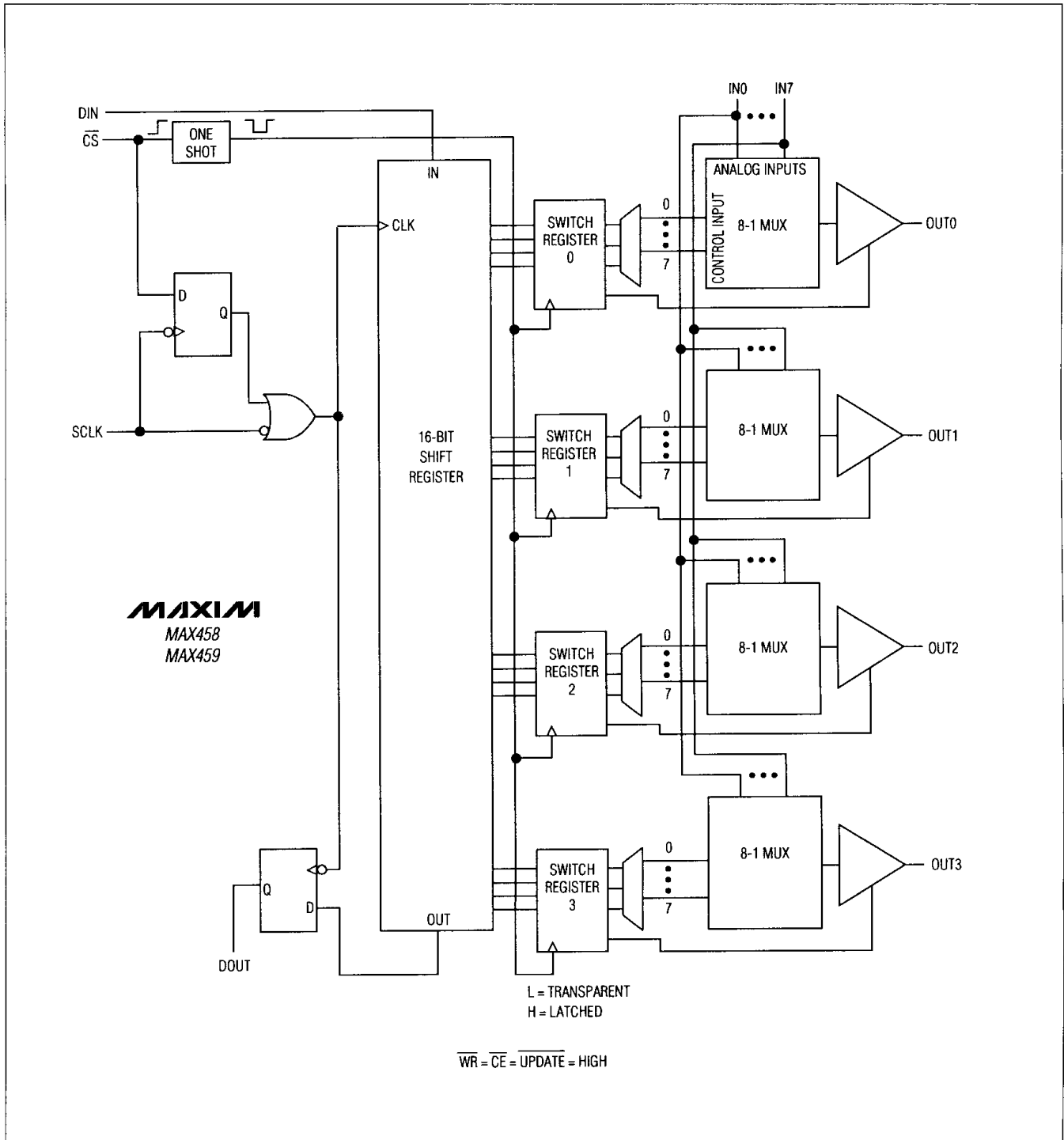


図5. シリアルモード・ロジックのブロック図

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

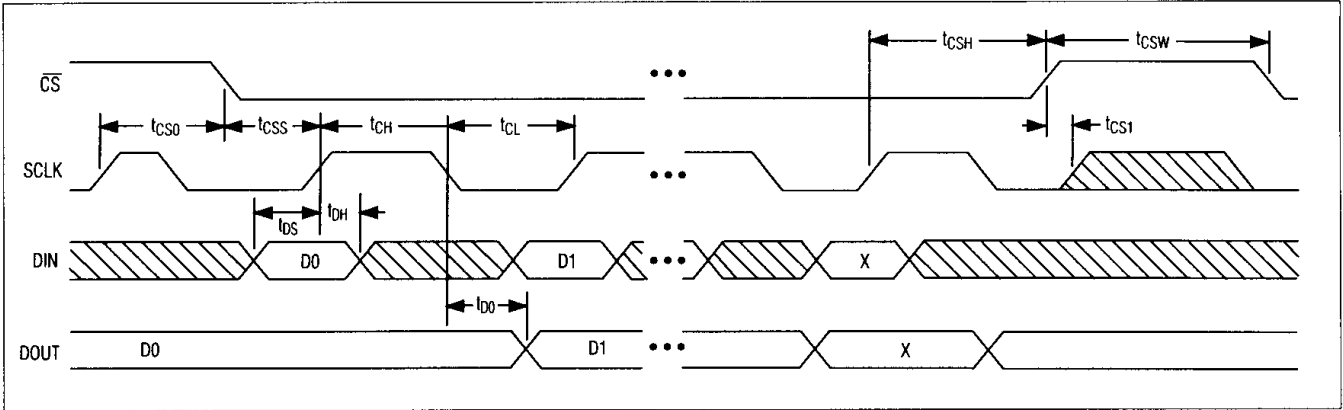


図6. シリアルモード・タイミング

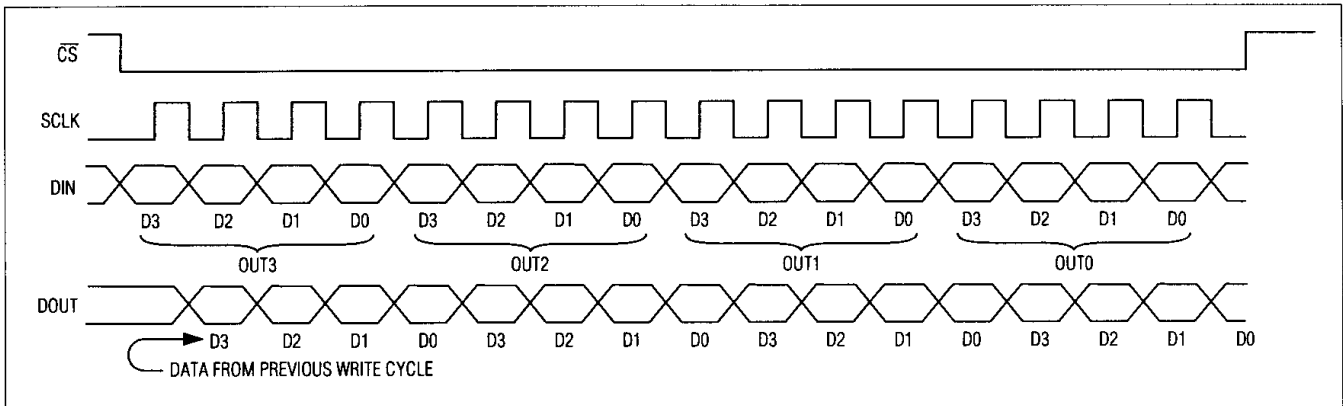


図7. シリアルモードでのデータ・シーケンス

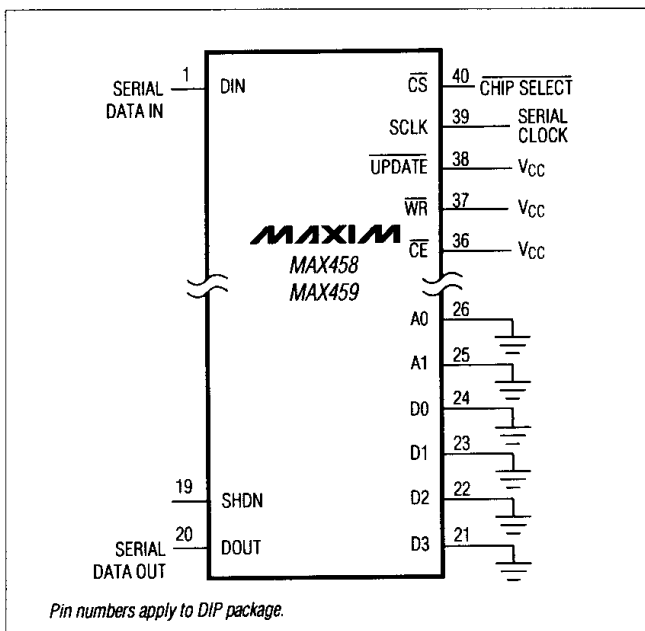


図8. シリアルモード接続
(ロジック・ピンのみ示しています)

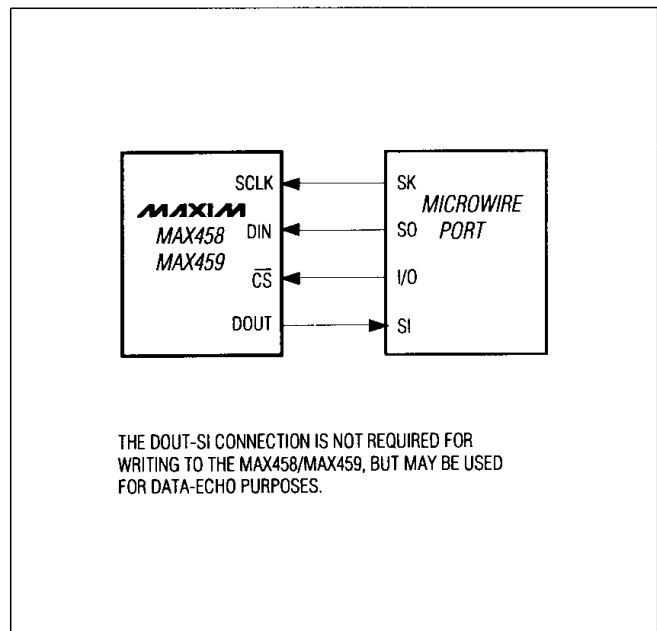


図9. Microwire接続

THE DOUT-SI CONNECTION IS NOT REQUIRED FOR WRITING TO THE MAX458/MAX459, BUT MAY BE USED FOR DATA-ECHO PURPOSES.

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

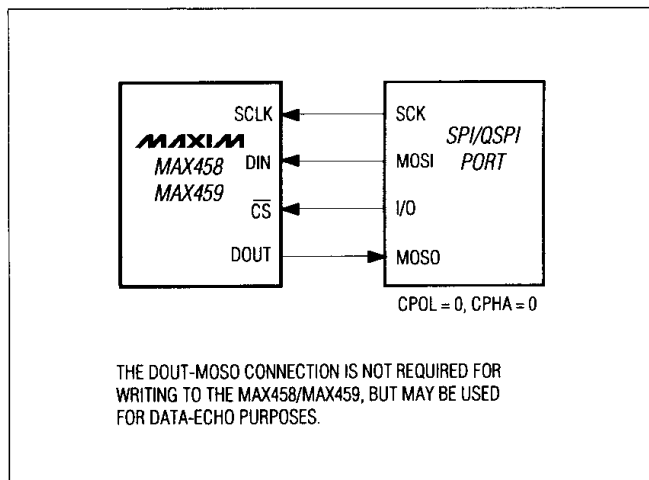


図10. SPI/QSPI接続

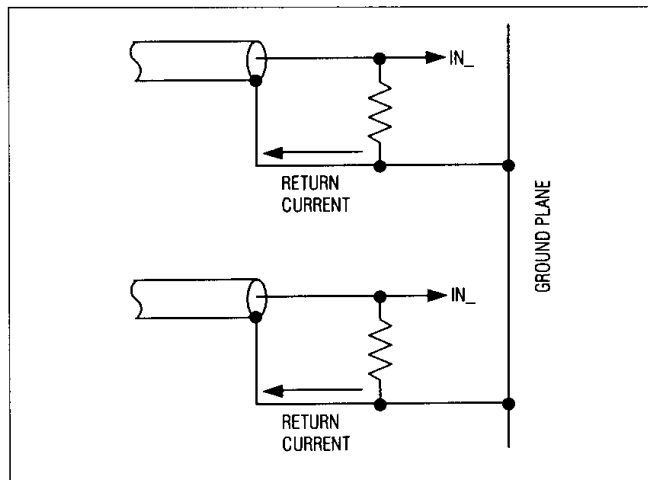


図11. 低クロストーク・レイアウト。終端抵抗からのリターン電流がグランド・プレーンを流れません。

クルが必要です。QSPIインタフェースは、8~16ビットの可変ワード長を許しており、クロスポイントへのロードを1度のライト・サイクルで行うことができます。SPIおよびMicrowireではクロック・レートが2MHzに制限されていますが、QSPIの最大クロック・レートは4MHzです。

アプリケーション情報

グランドおよびバイパス処理とPCボード・レイアウト

すべてのアナログ回路と同様に、良好なPCボードのレイアウト、正しいグランド処理および注意深い部品の選択は、MAX458/MAX459のような高速アンプのAC性能を十分に引き出すためには重要です。最良の性能を得るための注意点を以下に示します。

- 大きく、低インピーダンスのアナログ・グランド・プレーンを用いてください。多層基板でのグランド・プレーンは、信号トレースのない層に配置してください。そして、すべてのGNDピンをアナログ・グランド・プレーンに接続してください。
- 回路の重要なハイインピーダンス・ノードでは、不要な信号の結合を防ぐために、トレース領域を最小にしてください。アナログ入力をACグランドのトレース(バイパスされたDC電源、他)で囲んでください。MAX458/MAX459のアナログ入力ピンは、クロストークの原因となる寄生カップリングを最小にするために、ACグランド・ピン(GND、V_{CC}、V_{EE})から分離されています。
- 更にクロストークを減らすため、同軸ケーブルのシールドは、グランド・プレーンにおいて、75Ω終端抵抗のグランド側に接続してください(図11)。
- すべての電源ピンは、可能な限り電源ピンの近くに配置した0.1μFのセラミック・コンデンサを用いてグラ

ンド・プレーンに直接バイパスしてください。高電流負荷においては、10μFのタンタルまたはアルミニウム電解コンデンサをセラミック・コンデンサと並列に接続する必要が生じることがあります。コンデンサのリード線は可能な限り短くし、直列インダクタンスを最小にしてください。この点では、表面実装チップ・コンデンサが理想的です。

大規模スイッチ配列の構成

MAX458/MAX459は、入力特定の状態にプログラムされない限り、電源投入時にはハイインピーダンス状態にあります。また、これらのデバイスはディセーブルされた場合もハイインピーダンス状態となります。この機能により、8×4よりも大規模なスイッチ配列を、並列に接続された2つの出力を同時にONにしないようにすること以外、特別なプログラミングを行うことなく実現できます。テスト結果は、出力を並列接続した場合でも、微分ゲインや位相に劣化が生じないことを示しています。

MAX458/MAX459の入力レジスタは、シャットダウン中であってもアクティブ状態を保ち、デバイスがシャットダウンされている場合もクロスポイントのプログラムを可能にしています。このため、すべての出力を同時に、ディセーブルも含む任意の状態に設定することができます。すべてのMAX458/MAX459をシャットダウンにプログラムし、その後必要な入力および出力を選択してプログラムを入力してください。SHDNをローとすることで、デバイスはシャットダウン状態から抜け出します。

パワーオン・リセット回路により、UPDATEおよびCSをハイとすることで、SHDNの状態に関りなく出力アンプをディセーブル状態から起動することができます。

並列接続可能なMAX458の個数は、各出力の容量性負荷が

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

100pF以下でなければならないため、制限されています。各入力は、約7pFの負荷をもち、各出力は約12pFの負荷をもちます。したがって、MAX458/MAX459は、最大14入力、または、7出力と2入力、あるいは負荷の合計が100pFを越えない任意の組み合わせを駆動可能です。絶縁抵抗を追加することで、より多くのMAX458を並列化することができます（“容量性負荷の駆動”の節を参照）。

容量性負荷の駆動

100pF以上の負荷を駆動する場合、影響を受ける各出力と直列に容量補償抵抗が必要になります。必要な抵抗は、容量と共に負荷によって決まります。負荷抵抗が150Ωまたはそれ以上で、容量が1000pF以下の場合2.4Ωの抵抗を用います。100Ω負荷の場合、4.7Ωの抵抗を用います。

出力アンプの負荷が、純粋な容量または他のMAX458/MAX459の場合、クロスポイントがハイインピーダンスであるため、補償抵抗はゲインや他の性能を劣化させる原因とはなりません。しかしながら、抵抗性負荷はゲインを減少させます。

デバイスのデジチェーン接続

シリアル出力のDOUTは、2つまたはそれ以上のクロスポイント・スイッチのカスケード接続による大規模なスイッチ配列の実現を可能とします。DOUTにおけるデータはDINに入力されたデータから、16サイクルに1クロック・パルス幅を加えた時間だけ遅延しています。DOUTは、 \overline{CS} がローの際にSCLKの立下りエッジで変化します。 \overline{CS} がハイの場合、DOUTは最後に出力したデータ・ビットの状態を保ちます。

図12に示すように、あるデバイスのDOUTをチェーン内の次のデバイスのDINに接続することで、任意の個数のMAX458/MAX459をデジチェーンすることができます。正しいタイミングを得るために、 t_{CSS} (\overline{CS} の立下りからSCLKの立上りまで)および t_{CL} がいずれも $t_{OO}+t_{OS}$ 以上であることを確認してください。

DOUTはTTLコンパチブル出力であり、アクティブ・プルアップされています。 \overline{CS} がハイの場合、ハイインピーダンスにはなりません。

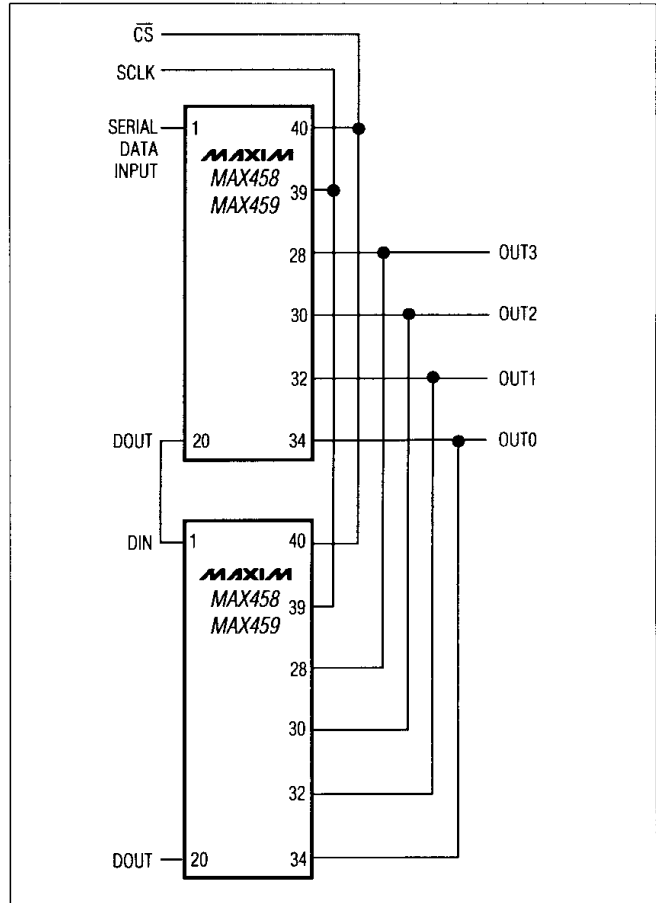
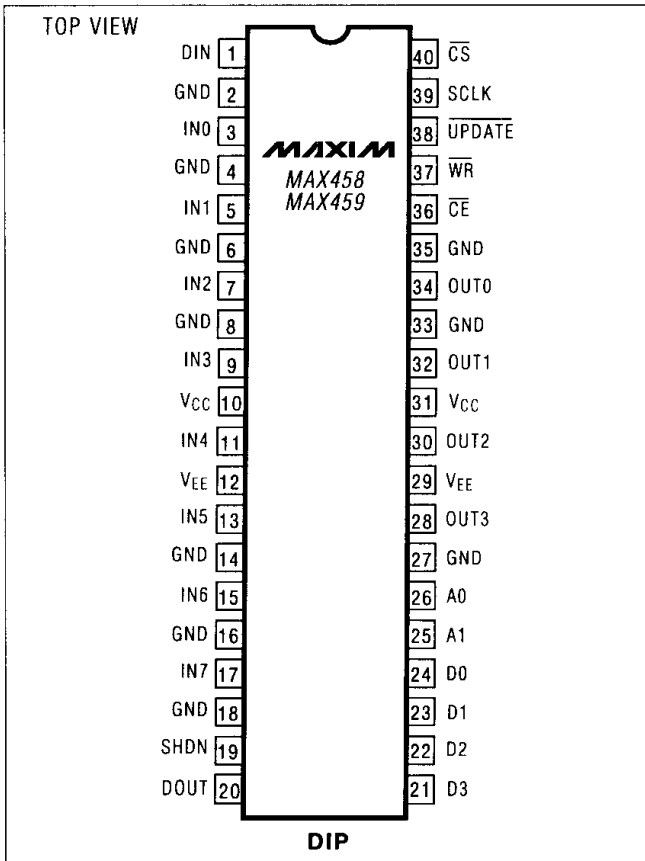


図12. シリアル・デジチェーン接続を用いた16×4クロスポイント・スイッチ

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

ピン配置(続き)



MAX458/MAX459

8×4、バッファ付、ビデオ・クロスポイント・スイッチ

パッケージ

MAX458/MAX459

