

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

概要

MAX3984は、単一チャンネル、プリエンファシスドライバで、1Gbps~10.3Gbpsで動作する入力イコライズ機能を備えています。このデバイスは、銅線リンク(8.5Gbpsファイバチャネルおよび10.3Gbps Ethernetなど)用の補償を提供し、24 AWGケーブルで最長10mまでの距離が可能になります。このドライバは、4種の選択可能なプリエンファシスレベルを備え、選択可能な入力イコライザによって、10Gbpsで最大10インチのFR-4回路ボード基板材質を補償します。

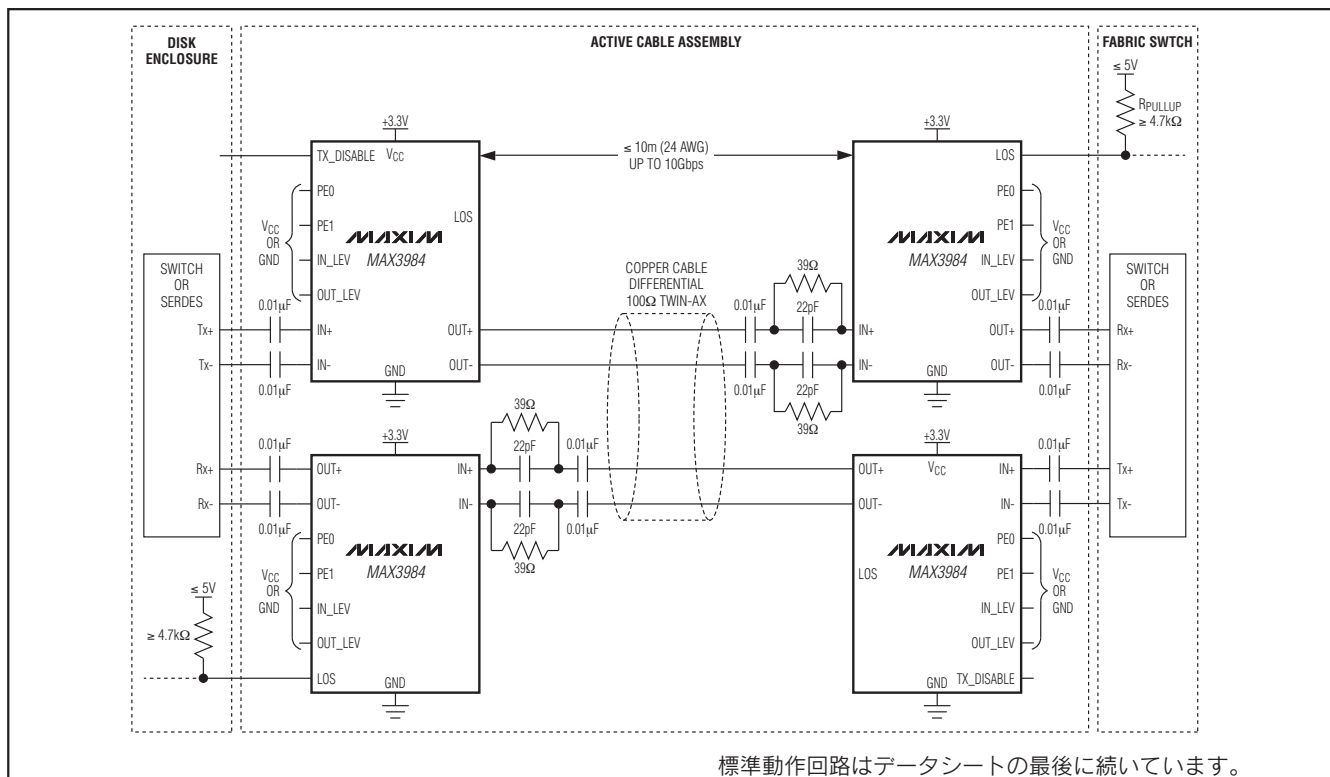
また、MAX3984は、SFP対応LOS (信号損失)検出とTX_DISABLEも備えています。出力振幅が選択可能であるためEMIと消費電力が低減されます。MAX3984は、鉛フリー、3mm x 3mmの16ピンTQFNパッケージで提供され、0°C~+85°Cの温度範囲で動作します。

アプリケーション

8.5Gbpsファイバチャネル アクティブケーブルアセンブリ
10.3Gbps Ethernet STM-64

ピン配置はデータシートの最後に記載されています。

標準動作回路



特長

- ◆ 最長10mの24 AWGケーブルを駆動
- ◆ 最長30インチのFR-4を駆動
- ◆ 1000mV_{p-p}または1200mV_{p-p}を選択可能な差動出力振幅
- ◆ 選択可能な出力プリエンファシス
- ◆ 選択可能な入力イコライゼーション
- ◆ 内蔵スケルチによるLOS検出
- ◆ 送信ディセーブル
- ◆ ホットプラグ可能

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX3984UTE+	0°C to +85°C	16 Thin QFN-EP*	T1633F-3

+は鉛フリーパッケージを示します。

*EP = エクスポートパッド。

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

ABSOLUTE MAXIMUM RATINGS

Supply Voltage Range (V _{CC}).....	-0.5V to +4.1V	Logic Inputs Range (PE1, PE0, TX_DISABLE, IN_LEV, OUT_LEV)	-0.5V to (V _{CC} + 0.5V)
Continuous Output Current Range (OUT+, OUT-)	-25mA to +25mA	LOS Open-Collector Supply Voltage Range (with ≥ 4.7kΩ pullup)	-0.5V to +5.5V
Input Voltage Range (IN+, IN-)	-0.5V to (V _{CC} + 0.5V)	Storage Ambient Temperature Range (T _{STG}) ...	-55°C to +150°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

OPERATING CONDITIONS

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}		3.0	3.3	3.6	V
Supply Noise Tolerance		1MHz ≤ f < 2GHz		40		mV _{P-P}
Operating Ambient Temperature	T _A		0	25	85	°C
Bit Rate		NRZ data	1.0	8.5	10.3	Gbps
Consecutive Identical Digits (CID)		CID (bits)			100	Bits
Input Swing (Measured differentially at data source, point A of Figure 2 and 3. Pins LOS and TX_DISABLE are floating.)		IN_LEV = high, Figure 2; 4.25Gbps < data rate ≤ 10.3Gbps	360		1200	mV _{P-P}
		IN_LEV = high, Figure 2; 1.25Gbps < data rate ≤ 4.25Gbps	360		1600	
		IN_LEV = high, Figure 2; 1.0Gbps ≤ data rate ≤ 1.25Gbps	360		2400	
		IN_LEV = low, Figure 3; 1.0Gbps < data rate ≤ 10.3Gbps	100		360	
Time to Reach 50% Mark/Space Ratio					1	μs

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +3.6V, T_A = 0°C to +85°C. Typical values are at T_A = +25°C, V_{CC} = +3.3V, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Supply Current	I _{CC}	OUT_LEV = low, TX_DISABLE = low			100	124	mA
		OUT_LEV = high, TX_DISABLE = low			120	148	
Inrush Current		Beyond steady state supply current (Note 1)				10	mA
Power-On Delay		(Note 1)		1		30	ms
EQUALIZER AND DRIVE SPECIFICATIONS							
Input Return Loss	S11	100MHz to 5GHz			10		dB
Input Resistance		Measured differentially (Note 2)		85	100	115	Ω
Different Output Swing (Notes 3, 4)		Measured differentially at point B in Figure 2; TX_DISABLE = low, OUT_LEV = high, PE1 = PE0 = high		1000		1300	mV _{P-P}
		Measured differentially at point B in Figure 2; TX_DISABLE = low, OUT_LEV = low, PE1 = PE0 = high		800		1100	
		TX_DISABLE = high, PE1 = PE0 = high				10	
Common-Mode Output (AC) (Note 4)		Measured at point B in Figure 2; TX_DISABLE = low, OUT_LEV = high (Note 5)				25	mV _{RMS}
Output Resistance	R _{OUT}	OUT+ or OUT-, single-ended		42	50	58	Ω
Output Return Loss	S22	100MHz to 5GHz			12		dB
Output Transition Time 20% to 80%	t _r , t _f	20% to 80% (Note 6)			32	40	ps
Random Jitter (Note 4)		Measured at point D in Figure 3 (Note 7)				0.8	ps _{RMS}
Output Preemphasis		Figure 1 (Note 3)		PE1	PE0		dB
				0	0	3.5	
				0	1	6.5	
				1	0	9.5	
				1	1	13	
Residual Output Deterministic Jitter at 1.0Gbps (Notes 4, 8, and 9)		Source to IN	OUT to load	PE1	PE0	0.02	UI _{P-P}
		6-mil, 10in of FR-4	3m, 24 AWG	0	0		
			5m, 24 AWG	0	1		
			7m, 24 AWG	1	0		
10m, 24 AWG	1		1				

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +3.0V to +3.6V, T_A = 0°C to +85°C. Typical values are at T_A = +25°C, V_{CC} = +3.3V, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS				MIN	TYP	MAX	UNITS
Residual Output Deterministic Jitter at 5.0Gbps (Notes 4, 8, and 9)		Source to IN	OUT to load	PE1	PE0	0.09	0.12	UIP-P	
		6-mil, 10in of FR-4	3m, 24 AWG	0	1				
			5m, 24 AWG	1	0				
			7m, 24 AWG	1	0				
			10m, 24 AWG	1	1				
Residual Output Deterministic Jitter at 8.5Gbps (Notes 4, 8, and 9)		Source to IN	OUT to load	PE1	PE0	0.15	0.20	UIP-P	
		6-mil, 10in of FR-4	3m, 24 AWG	0	1				
			5m, 24 AWG	1	0				
			7m, 24 AWG	1	0				
			10m, 24 AWG	1	1				
Residual Output Deterministic Jitter at 10Gbps (Notes 4, 8, and 9)		Source to IN	OUT to load	PE1	PE0	0.18	0.25	UIP-P	
		6-mil, 10in of FR-4	3m, 24 AWG	0	1				
			5m, 24 AWG	1	0				
			7m, 24 AWG	1	1				
			10m, 24 AWG	1	1				
Residual Output Deterministic Jitter at 10.0Gbps (Notes 4, 8, and 10)		10in of FR-4 at OUT±; no cable; see Figure 3		PE1	PE0	0.10	UIP-P		
			0	0					
Propagation Delay						230		ps	
STATUS OUTPUT: LOS									
LOS Deassert		IN_LEV = high (Note 11)				300		mVP-P	
		IN_LEV = low (Note 11)				100			
LOS Assert		IN_LEV = high (Note 11)				80			
LOS Hysteresis (Note 4)		IN_LEV = high (Note 11)				20		mVP-P	
		IN_LEV = low (Note 11)				10			

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +3.0V to +3.6V, T_A = 0°C to +85°C. Typical values are at T_A = +25°C, V_{CC} = +3.3V, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOS Open-Collector Current Sink		LOS asserted	0		25	μA
		LOS asserted; V _{OL} ≤ 0.4V	1.0			mA
		(Note 12)	0		25	μA
LOS Response Time (Note 4)		Time from V _{IN} dropping below deassert level or rising above assert level to 50% point of LOS output transition			10	μs
LOS Transition Time		Rise time or fall time (10% to 90%); pullup supply = 5.5V; external pullup R ≥ 4.7kΩ		200		ns
CONTROL INPUTS: TX_DISABLE, PE0, PE1, OUT_LEV, IN_LEV						
Logic-High Voltage	V _{IH}		2.0			V
Logic-Low Voltage	V _{IL}				0.8	V
Logic-High Current	I _{IH}	Current required to maintain logic-high state at V _{IH} > +2.0V			-150	μA
Logic-Low Current	I _{IL}	Current required to maintain logic-low state at V _{IL} < +0.8V			350	μA

Note 1: Supply voltage to reach 90% of final value in less than 100μs, but not less than 10μs. Power-on delay interval measured from the 50% level of the final voltage at the filter's device side to 50% level of final current. The supply is to remain at or above 3V for at least 100ms. Only one full-scale transition is permitted during this interval. Aberrations on the transition are limited to less than 100mV.

Note 2: IN+ and IN- are single-ended, 50Ω terminations to (V_{CC} - 1.5V) ±0.2V.

Note 3: Load is 50Ω ±1% at each side and the pattern is 0000011111 or equivalent pattern at 2.5Gbps.

Note 4: Guaranteed by design and characterization.

Note 5: PE1 = PE0 = logic-high (maximum preemphasis), load is 50Ω ±1% at each side. The pattern is 11001100 (50% edge density) at 10Gbps. AC common-mode output is computed as:

$$V_{ACCM_RMS} = \text{RMS}[(V_P + V_N) / 2] - V_{DCCM}$$

where:

V_P = time-domain voltage measured at OUT+ with at least 10GHz bandwidth.

V_N = time-domain voltage measured at OUT- with at least 10GHz bandwidth.

AC common-mode voltage (V_{ACCM_RMS}) expressed as an RMS value.

DC common-mode voltage (V_{DCCM}) = average DC voltage of (V_P + V_N) / 2.

Note 6: Using 0000011111 or equivalent pattern at 2.5Gbps. PE0 = PE1 = logic-low for minimum preemphasis. Measured within 2in of the output pins with Rogers 4350 dielectric, or equivalent, and ≥ 10-mil line width. For transition time, the 0% reference is the steady state level after four zeros, just before the transition, and the 100% reference level is the steady state level after four consecutive logic ones.

Note 7: Pattern is 0000011111 or equivalent pattern at 10Gbps and 100mV_{P-P} differential swing. IN_LEV = logic-low and PE0 = PE1 = logic-low for minimum preemphasis. Signal transition time is controlled by the 4th-order BT filter (7.5GHz bandwidth) or equivalent. See Figure 3 for setup.

Note 8: Test pattern (464 bits): 100 zeros, 1010, PRBS7, 100 ones, 0101, PRBS7.

Note 9: Input range selection is IN_LEV = logic-high for FR-4 input equalization. Cables are unequalized, Amphenol Spectra-Strip (160-2499-997) 24 AWG or equivalent. Residual deterministic jitter is the difference between the source jitter at point A and the load jitter point D in Figure 2. The deterministic jitter (DJ) at the output of the transmission line must be from media induced loss and not from clock source modulation. DJ is measured at point D of Figure 2.

Note 10: Input range selection is IN_LEV = logic-low. Residual deterministic jitter is the difference between the source jitter at point A and the load jitter point D in Figure 3. The deterministic jitter (DJ) at the output of the transmission line must be from media induced loss and not from clock source modulation. DJ is measured at point D of Figure 3.

Note 11: Measured with 101010... pattern at 10Gbps with less than 1in of FR-4 at the input.

Note 12: True open-collector outputs. V_{CC} = 0 and the external 4.7kΩ pullup resistor is connected to +5.5V.

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

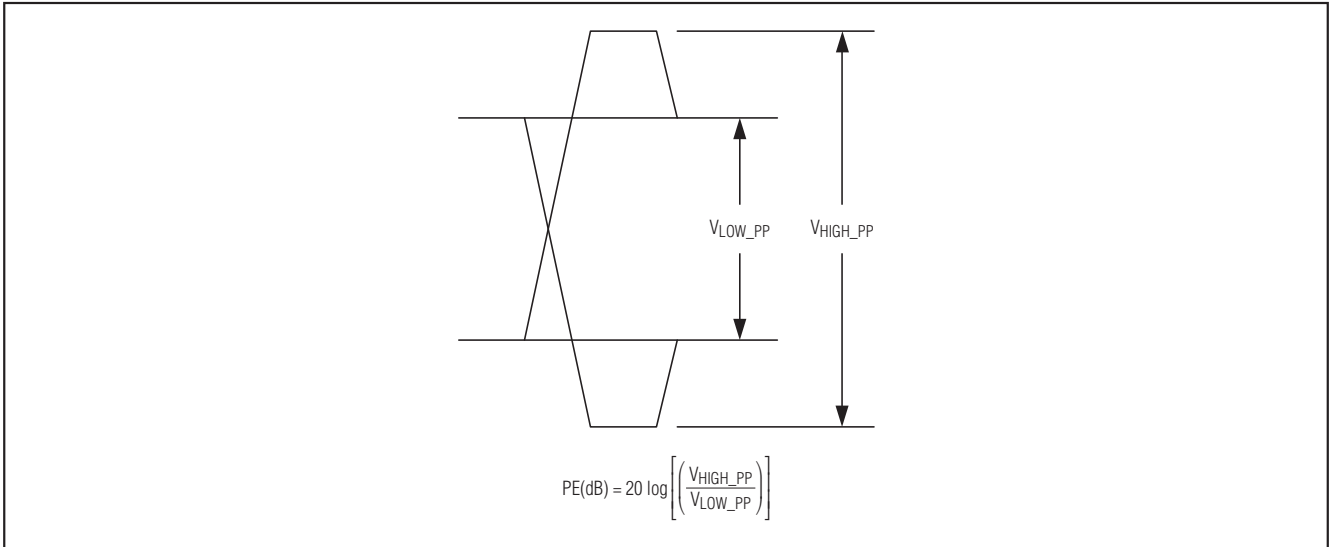


図1. TXプリエンファシス(dB単位)

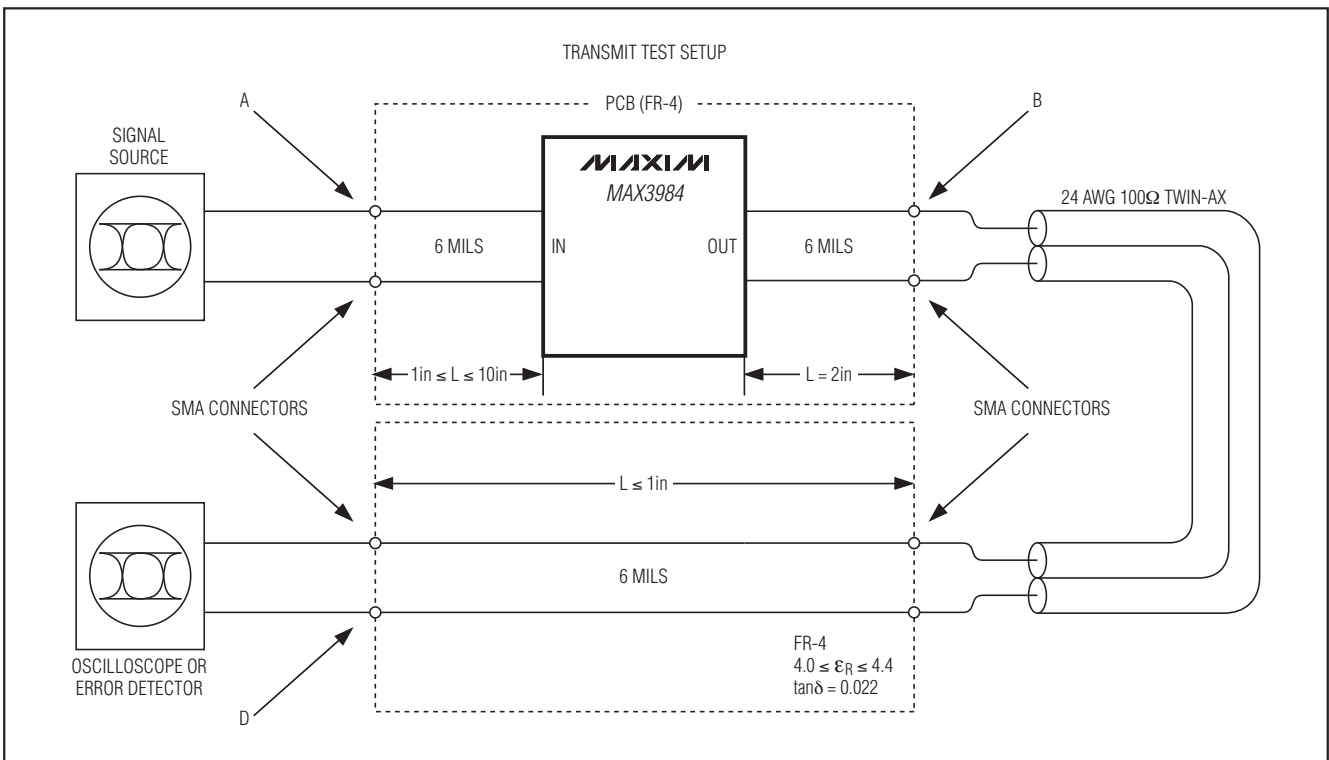


図2. 伝送試験装置(A、B、およびDの各点はACパラメータの試験条件の参照記号。確定的ジッタとアイダイアグラムは点Dで測定)

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

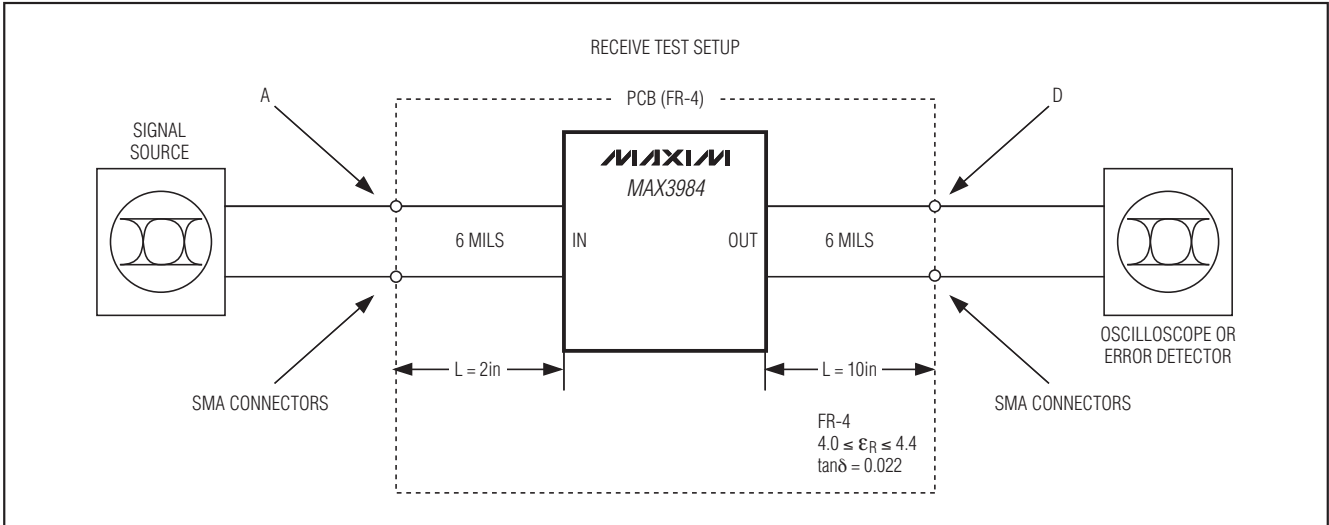
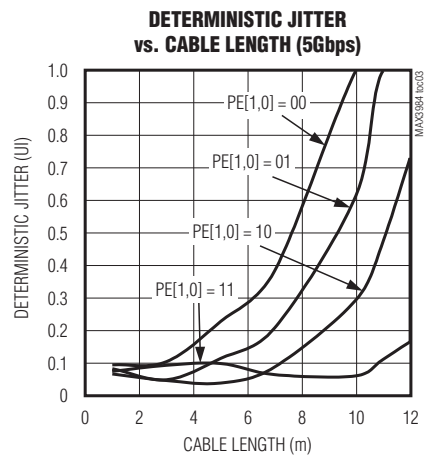
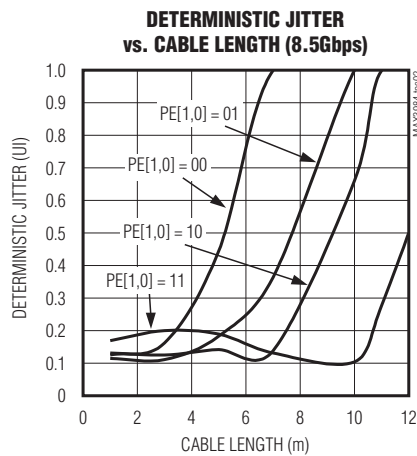
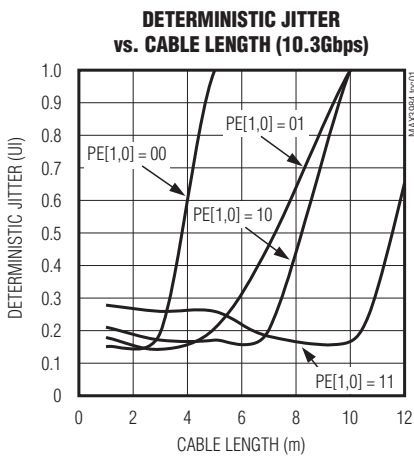


図3. 受信側試験装置(A、Dの各点はACパラメータ試験の参照記号)。

標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, PRBS7 + 100 CID pattern is PRBS 2^7 , 100 zeros, 1010, PRBS 2^7 , 100 ones, 0101, OUT_LEV = high, 10in of FR-4 at the input, IN_LEV = high, 360mV_{p-p} at input of FR-4, unless otherwise noted.)

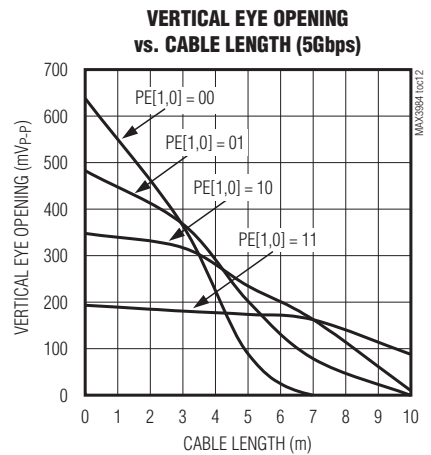
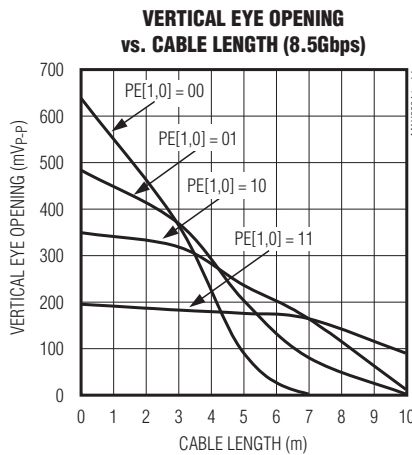
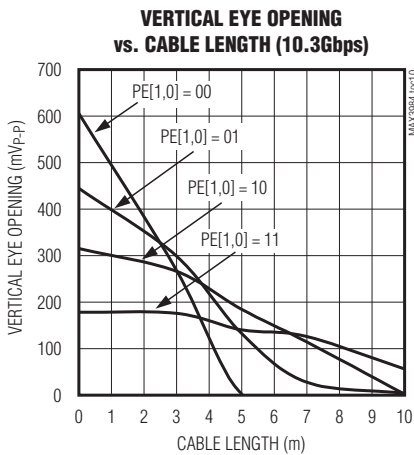
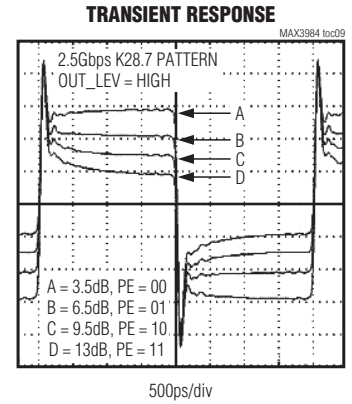
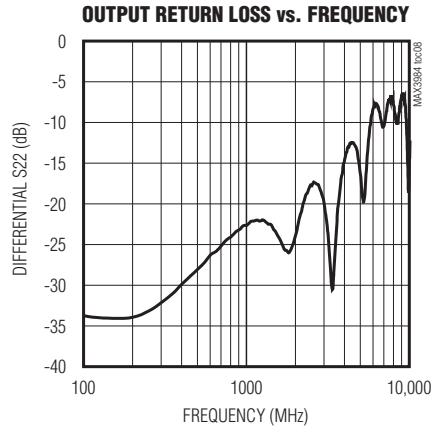
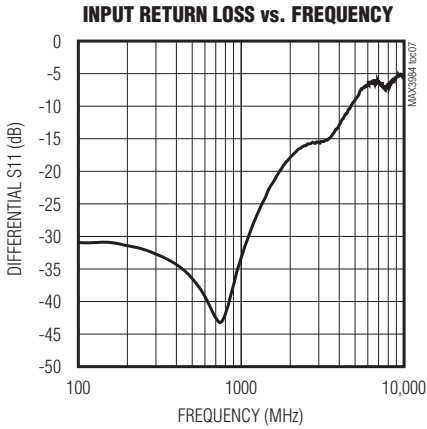
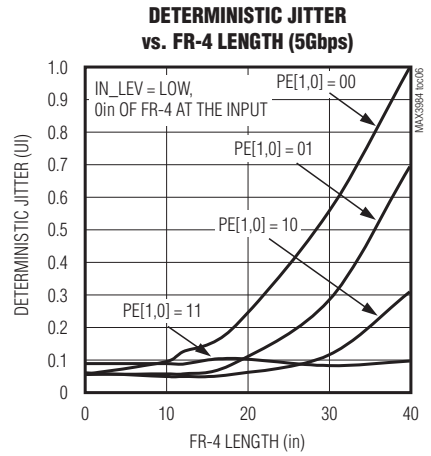
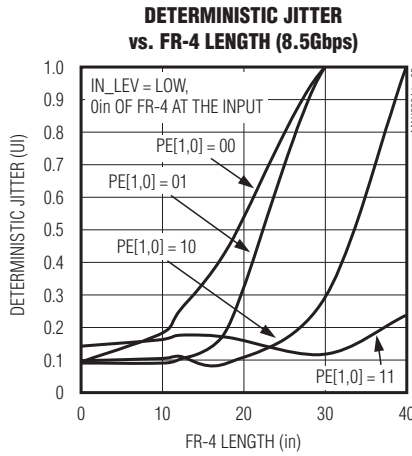
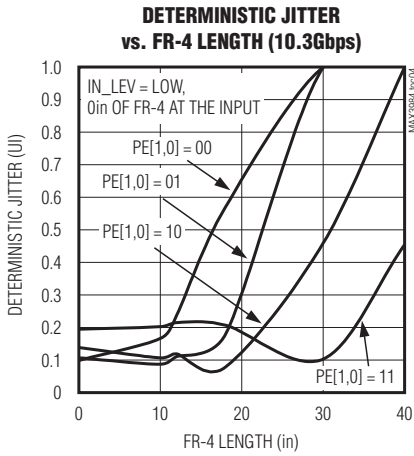


受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

標準動作特性(続き)

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, PRBS7 + 100 CID pattern is PRBS 2^7 , 100 zeros, 1010, PRBS 2^7 , 100 ones, 0101, OUT_LEV = high, 10in of FR-4 at the input, IN_LEV = high, 360mVp-p at input of FR-4, unless otherwise noted.)

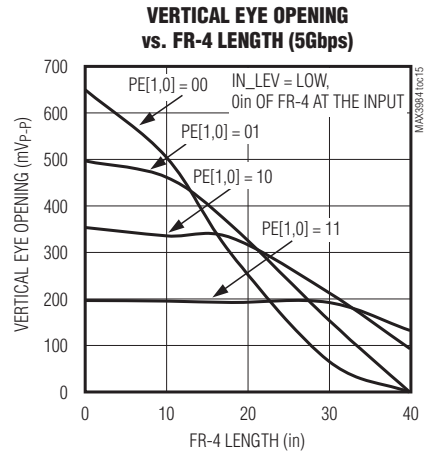
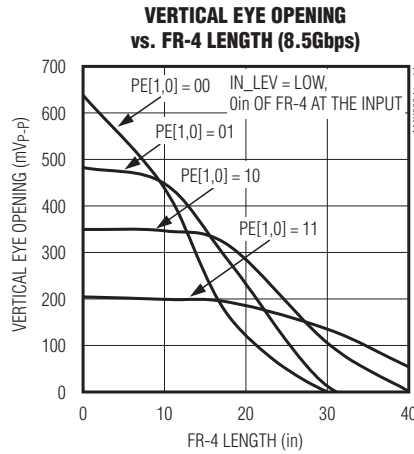
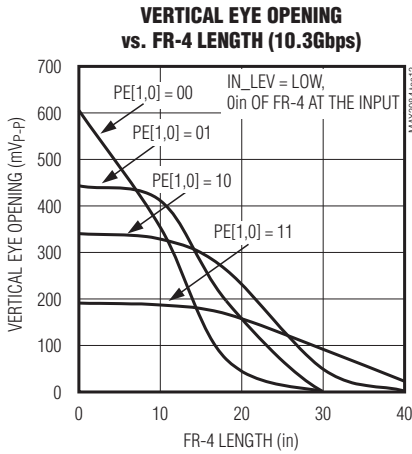


受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

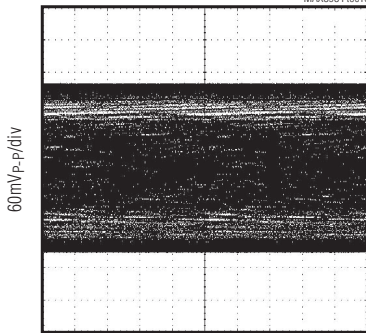
MAX3984

標準動作特性(続き)

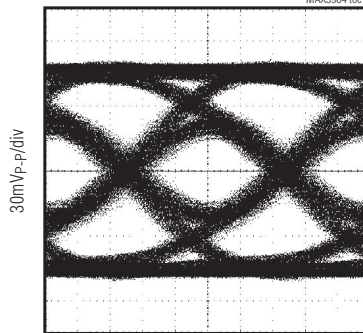
($V_{CC} = +3.3V$, $T_A = +25^\circ C$, PRBS7 + 100 CID pattern is PRBS 2⁷, 100 zeros, 1010, PRBS 2⁷, 100 ones, 0101, OUT_LEV = high, 10in of FR-4 at the input, IN_LEV = high, 360mVp-p at input of FR-4, unless otherwise noted.)



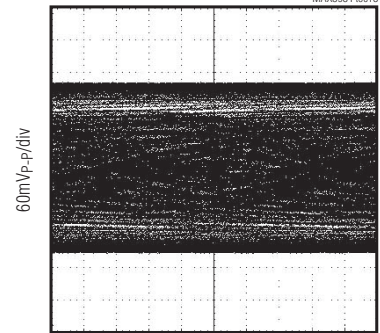
**10m 24 AWG CABLE ASSEMBLY
OUTPUT WITHOUT MAX3984 AT 10.3Gbps**



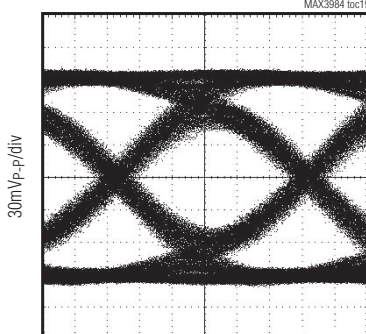
**10m 24 AWG CABLE ASSEMBLY
OUTPUT WITH MAX3984 AT 10.3Gbps
(PREEMPHASIS, PE[1,0] = 11, OUT_LEV = HIGH)**



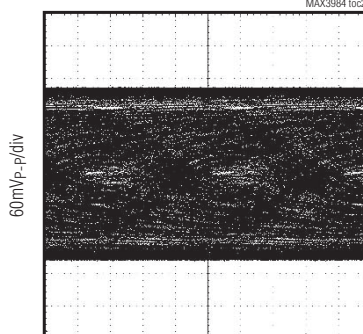
**10m 24 AWG CABLE ASSEMBLY
OUTPUT WITHOUT MAX3984 AT 8.5Gbps**



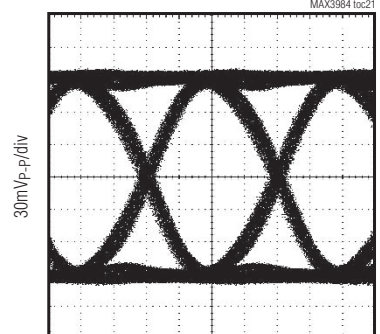
**10m 24 AWG CABLE ASSEMBLY
OUTPUT WITH MAX3984 AT 8.5Gbps
(PREEMPHASIS, PE[1,0] = 11, OUT_LEV = HIGH)**



**10m 24 AWG CABLE ASSEMBLY
OUTPUT WITHOUT MAX3984 AT 5Gbps**



**10m 24 AWG CABLE ASSEMBLY
OUTPUT WITH MAX3984 AT 5Gbps
(PREEMPHASIS, PE[1,0] = 11, OUT_LEV = HIGH)**



受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

端子説明

端子	名称	機能
1	VCC1	入力用の電源接続。+3.3Vに接続します。
2	IN+	正のデータ入力、CML。この入力は50Ωで内部終端されます。
3	IN-	負のデータ入力、CML。この入力は50Ωで内部終端されます。
4, 8, 9, 16	GND	回路グラウンド
5	OUT_LEV	出力振幅制御入力、LVTTL (20kΩの内部プルアップ)。最大出力振幅を得るには、TTLハイに設定するか、またはオープンにします。振幅を下げるには、TTLローに設定します。
6	PE1	出力プリエンファシス制御入力、LVTTL (10kΩの内部プルアップ)。この端子は、2ビットプリエンファシス制御の最下位ビットです。この端子をアサートするには、ハイに設定するか、またはオープンにします。
7	PE0	出力プリエンファシス制御入力、LVTTL (10kΩの内部プルアップ)。この端子は、2ビットプリエンファシス制御の最下位ビットです。この端子をアサートするには、ハイに設定するか、またはオープンにします。
10	OUT-	負のデータ入力、CML。この出力は50ΩでVCC2に終端されます。
11	OUT+	正のデータ入力、CML。この出力は50ΩでVCC2に終端されます。
12	VCC2	出力用の電源接続。+3.3Vに接続します。
13	TX_DISABLE	トランスミッタディセーブル入力、LVTTL (10kΩで内部プルアップ)。ハイまたはオープンの場合、差動出力は10mV _{p-p} 以下です。通常動作の場合はローに設定します。
14	LOS	信号損失(LOS)検出、オープンコレクタTTL出力。4.7kΩ以上の外付けプルアップが必要です(+5.5V max)。この出力は、入力信号がLOSのデアサートレベル以上になると電流をシンクします。スケルチをディセーブルにする場合は、LOSをグラウンドにプルダウンします。
15	IN_LEV	受信イコライズ制御入力、LVTTL (40kΩで内部プルアップ)。高LOSアサート/デアサートレベルと10インチのFR-4補償の場合、TTLハイに設定するか、またはオープンにします。低LOSアサート/デアサートレベルと、FR-4イコライゼーションのバイパスの場合、TTLローに設定します。
—	EP	エクスポーズドパッド。最適な熱伝導率を得るには、このパッドを回路ボードのグラウンドに半田付けする必要があります。

詳細

MAX3984は、レシーバ、ドライバ、およびスレッシュホールド値選択可能なLOS検出器で構成されます。レシーバはイコライズ機能を備えています。トランスミッタは選択可能なプリエンファシスと選択可能な出力振幅を備えています。また、MAX3984は、出力の送信ディセーブル制御も備えています。

レシーバ

データは、CML入力段と選択可能なイコライゼーション段からMAX3984にフィードされます。レシーバの固定イコライザは、10Gbps時にFR-4材質PCBの損失を最大10インチまで補償します。固定イコライザは、IN_LEV端子をロジックローに設定してバイパスすることができます。

ドライバ

ドライバは、最長10mの24 AWG、100Ωのバランスケーブル、または30インチのFR-4を補償する4状態のプリエンファシスを内蔵しています。OUT_LEV端子は出力振幅を選択します。OUT_LEVがローの場合、ピーク-ピーク振幅は1000mV_{p-p}です。OUT_LEVがハイの場合、ピーク-ピーク振幅は1200mV_{p-p}です。

信号損失(LOS)

入力LOS検出が提供されています。これは、オープンコレクタ出力で、外付けプルアップ抵抗(4.7kΩ以上)が必要となります。このプルアップ抵抗は、LOSから+3.0V~+5.5V範囲の電源に接続する必要があります。LOS出力は、パワーアップが完了するまで有効になりません。

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

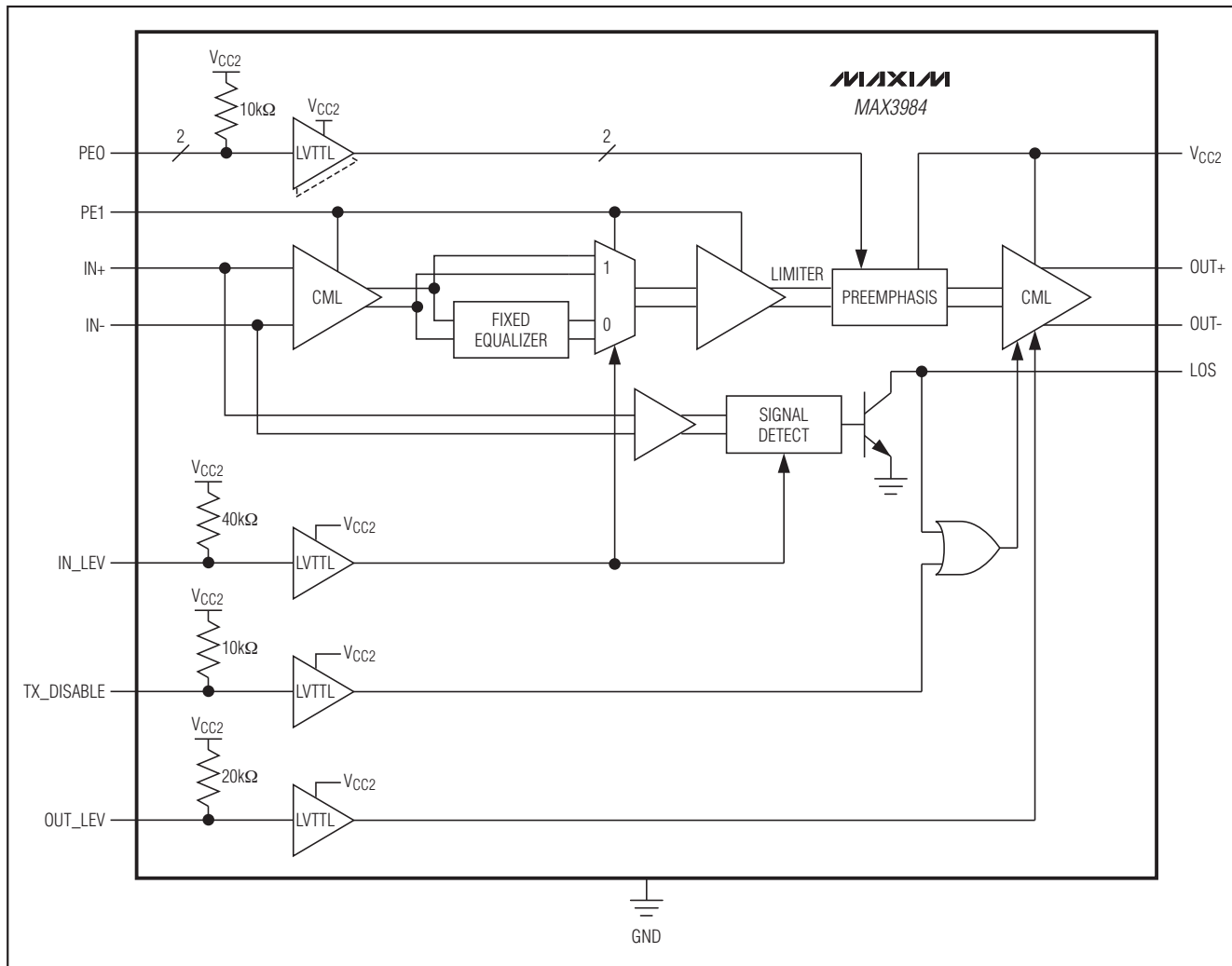


図4. ファンクションダイアグラム

IN_LEV端子は、LOSアサートおよびデアサートレベルを設定します。IN_LEVがLVTTTLハイまたはオープンの場合、LOSアサートスレッショルドは300mV_{p-p}です。IN_LEVがLVTTTLローの場合、LOSアサートスレッショルドは100mV_{p-p}です。

TX_DISABLEは、出力をオフにする手動の制御を提供します。MAX3984は、LOS状態が存在する場合に出力をディセーブルにするスケルチ機能を備えています。スケルチ機能をディセーブルにするには、LOSをグラウンドに接続します(「スケルチ」の項を参照)。

アプリケーション情報

スケルチ

MAX3984は、受信信号を自動的に検出し、データ出力をイネーブルまたはディセーブルにします。スケルチをイネーブルにするには、LOS端子をTTLハイ、またはプルアップ抵抗(4.7kΩ以上)でV_{CC}に接続する必要があります。内部的に、TX_DISABLEとLOSは、ORゲートを通じて接続され、CML出力を制御します。これらの出力は、LOSがアサートされた場合にディセーブルになります。スケルチ機能をオフにするには、LOSはTTLローにプルダウンする必要があります。この出力は、TX_DISABLEがハイに強制された場合もディセーブルにすることができます。

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

-40°Cにおける標準特性

MAX3984は、0°C~+85°Cでの動作が保証されています。
表1は、保証された制限値以外の標準性能を示しています。

表1. -40°Cにおける標準特性

PARAMETER	SYMBOL	CONDITIONS				MIN	TYP	MAX	UNITS
Different Output Swing (Note 1)		Measured differentially at point B in Figure 2; TX_DISABLE = low, OUT_LEV = high, PE1 = PE0 = high					1100		mVp-p
		Measured differentially at point B in Figure 2; TX_DISABLE = low, OUT_LEV = low, PE1 = PE0 = high					920		
		TX_DISABLE = high, PE1 = PE0 = high					3.5		
Common-Mode Output (AC)		Measured at point B in Figure 2; TX_DISABLE = low, OUT_LEV = high (Note 2)					5		mVRMS
Random Jitter		Measured at point D in Figure 3 (Note 3)					0.5		psRMS
Residual Output Deterministic Jitter at 1.0Gbps (Notes 4, 5)		Source to IN	OUT to load	PE1	PE0	0.02		UIp-p	
		6-mil, 10in of FR-4	3m, 24 AWG	0	0				
			5m, 24 AWG	0	1				
			7m, 24 AWG	1	0				
			10m, 24 AWG	1	1				
Residual Output Deterministic Jitter at 5.0Gbps (Notes 4, 5)		Source to IN	OUT to load	PE1	PE0	0.12		UIp-p	
		6-mil, 10in of FR-4	3m, 24 AWG	0	1				
			5m, 24 AWG	1	0				
			7m, 24 AWG	1	0				
			10m, 24 AWG	1	1				
Residual Output Deterministic Jitter at 8.5Gbps (Notes 4, 5)		Source to IN	OUT to load	PE1	PE0	0.2		UIp-p	
		6-mil, 10in of FR-4	3m, 24 AWG	0	1				
			5m, 24 AWG	1	0				
			7m, 24 AWG	1	0				
			10m, 24 AWG	1	1				

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

表1. -40°Cにおける標準特性(続き)

PARAMETER	SYMBOL	CONDITIONS				MIN	TYP	MAX	UNITS
Residual Output Deterministic Jitter at 10Gbps (Notes 4, 5)		Source to IN	OUT to load	PE1	PE0	0.25			UIP-P
		6-mil, 10in of FR-4	3m, 24 AWG	0	1				
			5m, 24 AWG	1	0				
			7m, 24 AWG	1	1				
	10m, 24 AWG	1	1						

注1: 負荷は、各側50Ω ±1%で、パターンは2.5Gbpsにおける0000011111または等価パターンです。

注2: PE1 = PE0 = ロジックハイ(最大プリエンファシス)、負荷は各側50Ω ±1%です。パターンは10Gbpsにおける11001100 (50%のエッジ密度)です。ACコモンモード出力は、次のように計算されます。

$$V_{ACCM_RMS} = \text{RMS}[(V_P + V_N) / 2] - V_{DCCM}$$

ここで、各項目は以下を表します。

V_P = 最低10GHz帯域幅においてOUT+で測定されたタイムドメイン電圧

V_N = 最低10GHzの帯域幅においてOUT-で測定されたタイムドメイン電圧

RMS値のACコモンモード電圧(V_{ACCM_RMS})

DCコモンモード電圧(V_{DCCM}) = $(V_P + V_N) / 2$ の平均DC電圧

注3: パターンは、10Gbpsと100mV_{p-p}差動振幅における0000011111または等価パターンです。最小プリエンファシスの場合、IN_LEV = ロジックロー、およびPE0 = PE1 = ロジックローです。信号遷移時間は、4次のBTフィルタ(7.5GHzの帯域幅)によって制御されます。装置については、図3を参照してください。

注4: テストパターン(464ビット): 100個のゼロ、1010、PRBS7、100個の1、0101、PRBS7

注5: 入力範囲選択は、FR-4入力イコライゼーションの場合、IN_LEV = ロジックハイです。ケーブルは、非イコライズAmphenol Spectra-Strip (160-2499-997)の24 AWGまたは等価製品です。確定的な残留ジッタは、図2の点Aのソースジッタと点Dの負荷ジッタとの差です。伝送ラインの出力の確定的ジッタ(DJ)は、クロックソース変調からでなく、伝送媒体損失からのものである必要があります。DJは、図2の点Dで測定されます。

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

レイアウトについて

回路ボードのレイアウトと設計は、MAX3984の性能に大きな影響を及ぼします。グラウンドインダクタンスの最小化、およびデータ信号に対してインピーダンスが制御された伝送ラインの使用を含め、優れた高周波数設計技術が採用される必要があります。また、電源分離は、可能な限り V_{CC} 端子の近くに配置する必要があります。すべての V_{CC} 端子は必ず電源プレーンに接続します。フィードスルーを低減するために、入力を出力信号から絶縁することに細心の注意を払う必要があります。

インタフェース回路図

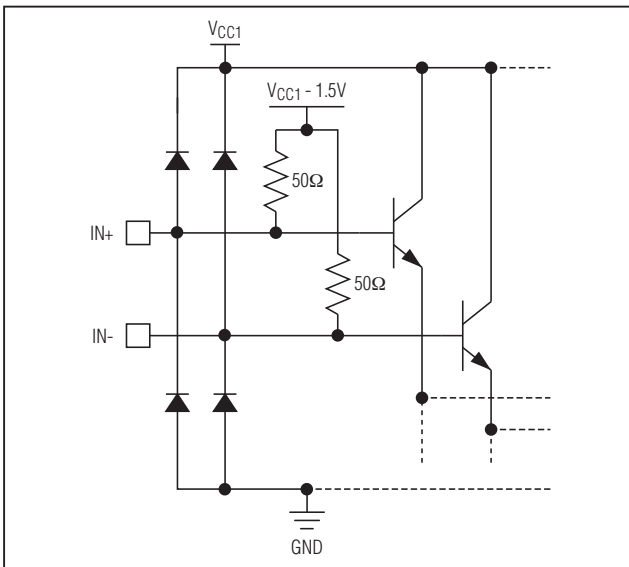


図5. IN+/IN-の等価入力構成

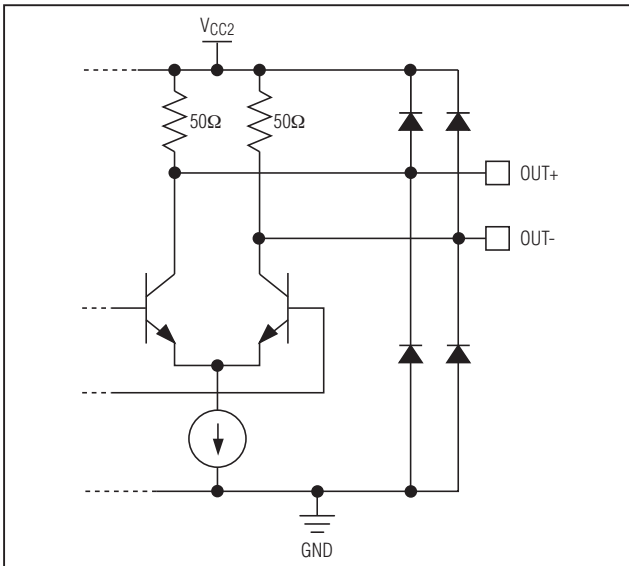


図6. OUT+/OUT-の等価出力構成

エクスポーズドパッド付きのパッケージ

エクスポーズドパッド付きの16ピンTQFNパッケージは、ICからの熱除去用の超低熱抵抗パスを備えています。MAX3984のエクスポーズドパッドは、適切な熱的性能を得るために回路ボードに半田付けする必要があります。詳細については、マキシムのアプリケーションノート「HFAN-08.1: Thermal Considerations of QFN and Other Exposed-Paddle Packages」を参照してください。

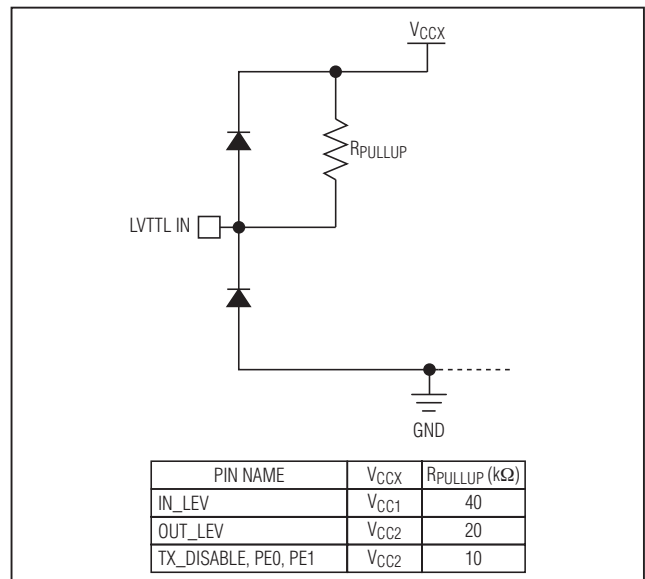


図7. LVTTLの等価入力構成

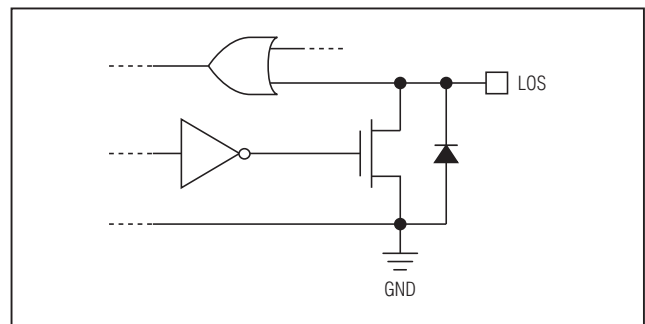
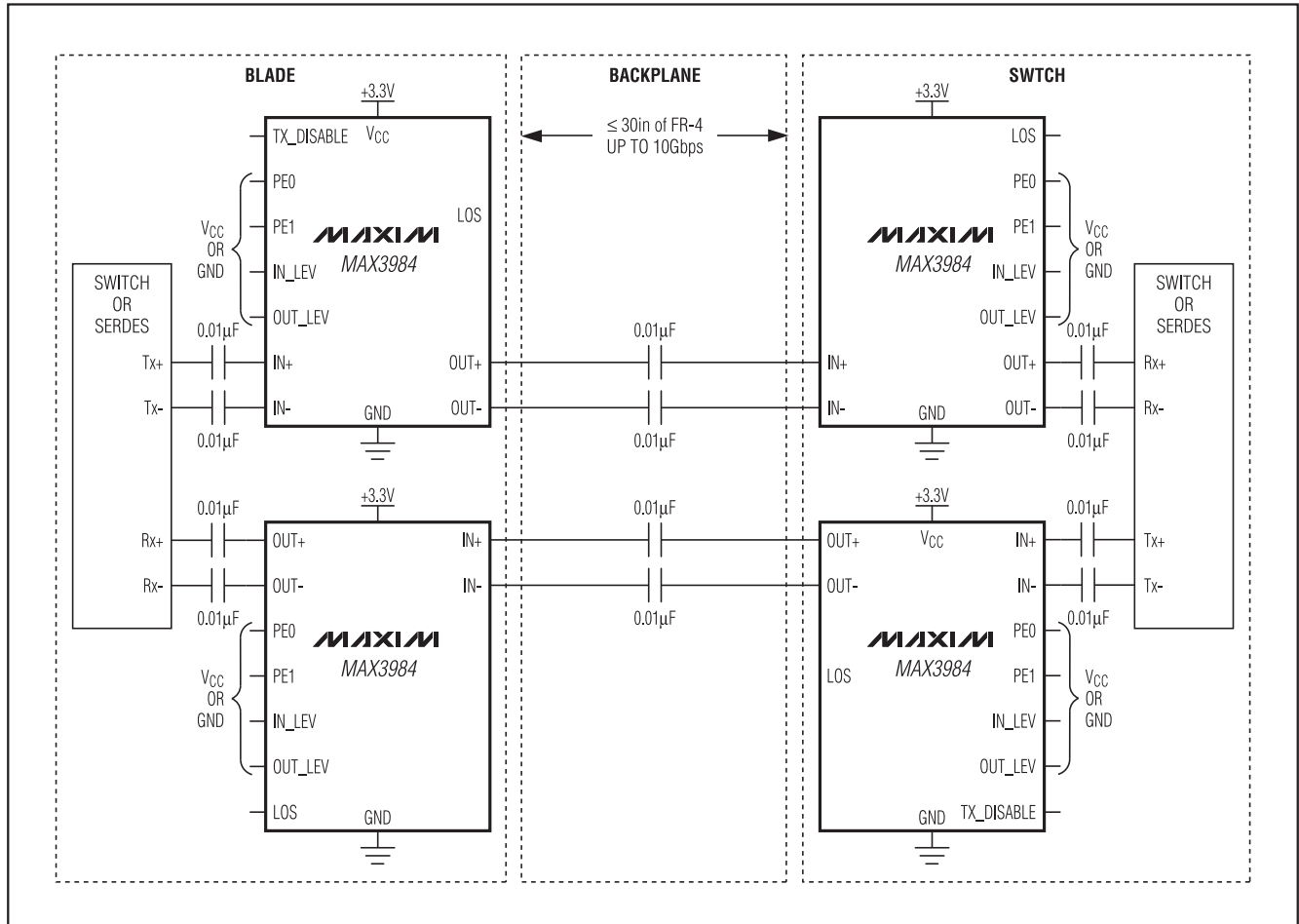


図8. 信号損失(LOS)の等価出力構成

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

標準動作回路(続き)

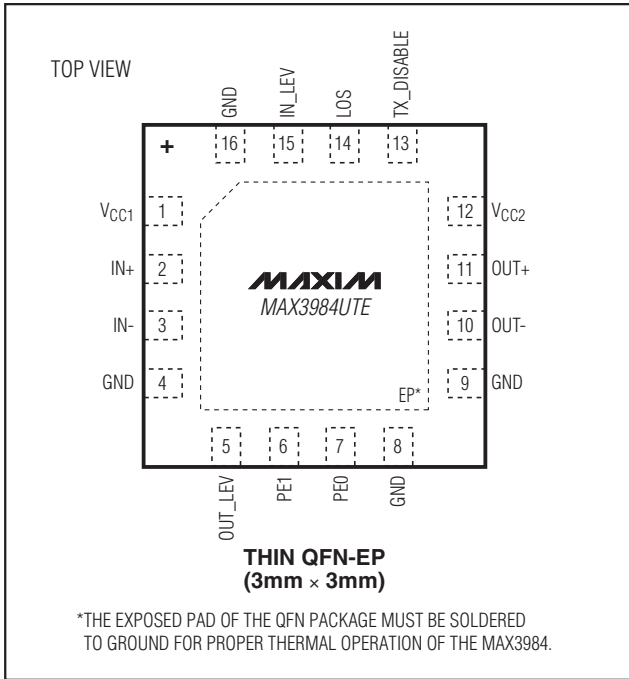


MAX3984

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

ピン配置



チップ情報

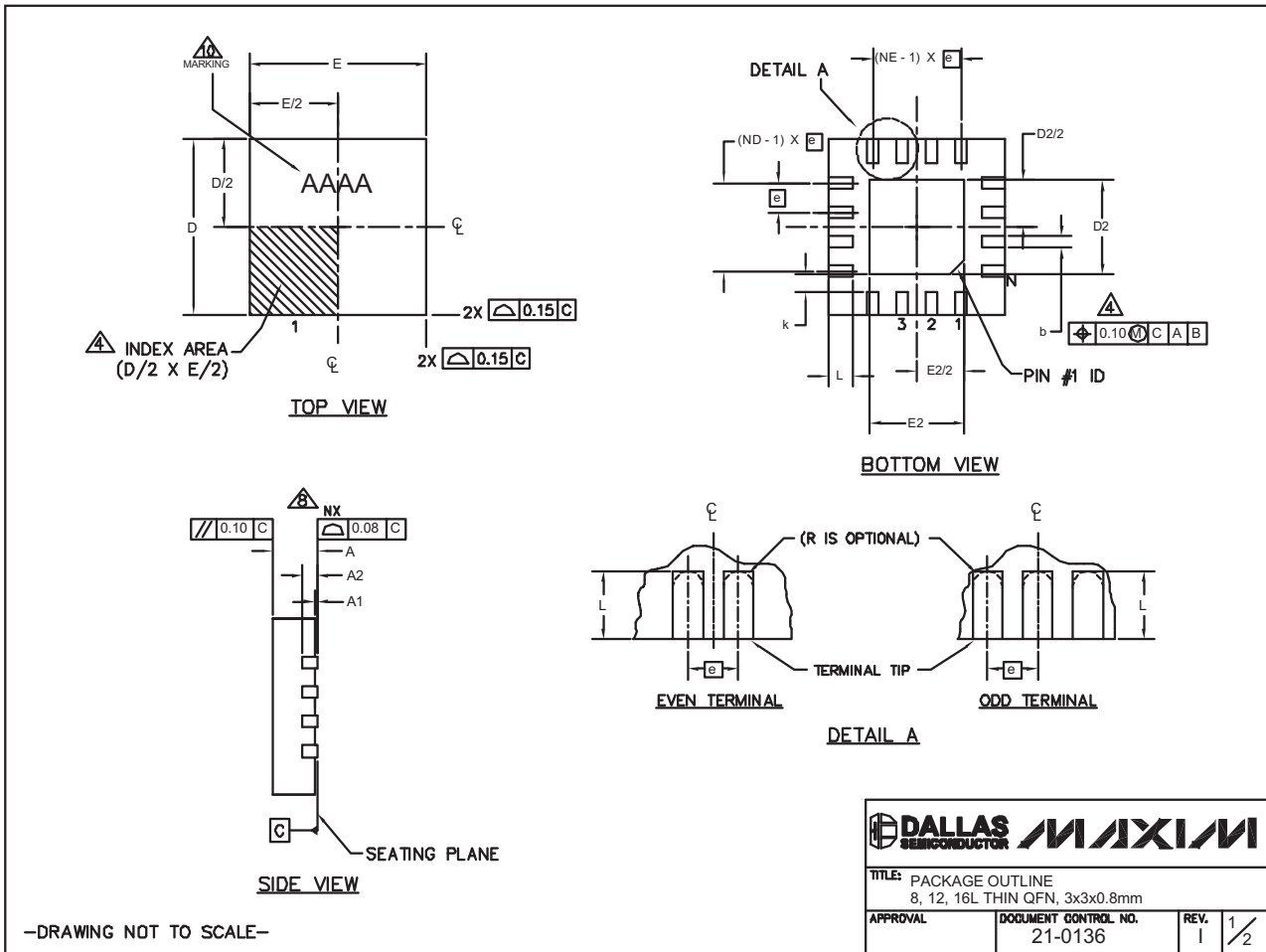
PROCESS: SiGe Bipolar

受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



受信イコライザ付き、 1Gbps~10Gbpsプリエンファシスドライバ

MAX3984

パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)

PKG REF.	8L 3x3			12L 3x3			16L 3x3		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
E	2.90	3.00	3.10	2.90	3.00	3.10	2.90	3.00	3.10
e	0.65 BSC.			0.50 BSC.			0.50 BSC.		
L	0.35	0.55	0.75	0.45	0.55	0.65	0.30	0.40	0.50
N	8			12			16		
ND	2			3			4		
NE	2			3			4		
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A2	0.20 REF			0.20 REF			0.20 REF		
k	0.25	-	-	0.25	-	-	0.25	-	-

PKG CODES	EXPOSED PAD VARIATIONS						PIN ID	JEDEC
	D2			E2				
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
TQ833-1	0.25	0.70	1.25	0.25	0.70	1.25	0.35 x 45°	WEEC
T1233-1	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-3	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1233-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-1
T1633-2	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633F-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633FH-3	0.65	0.80	0.95	0.65	0.80	0.95	0.225 x 45°	WEED-2
T1633-4	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2
T1633-5	0.95	1.10	1.25	0.95	1.10	1.25	0.35 x 45°	WEED-2

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.20 mm AND 0.25 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 REVISION C.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- WARPAGE NOT TO EXCEED 0.10mm.

-DRAWING NOT TO SCALE-

	
TITLE: PACKAGE OUTLINE 8, 12, 16L THIN QFN, 3x3x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0136
REV. 1	REV. 2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

18 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2007 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products, Inc.