

HDMI/DVIケーブル用 TMDSデジタルビデオイコライザ

概要

ケーブルイコライザのMAX3815Aは、自動的にDVI™およびHDMI™のv1.3ケーブルの補償を行います。MAX3815Aは、使用可能なケーブルの距離を最大40メートル(1.65Gbps)と35メートル(2.25Gbps)にまで延長します。MAX3815Aは、TMDS® (Transition Minimized Differential Signaling)形式で符号化された信号を等化するように設計されています。

MAX3815Aは、4組のCML差動入力と出力(データに3組、クロックに1組)を備えています。MAX3815Aは、クロック信号が喪失された場合に信号喪失(LOS)出力を供給します。出力には、ディセーブルする機能が備わっています。またLOSが生じるとチップの電源は切断されます。チップ間で直接、通信を行う場合は、省電力とEMI低減のため出力ドライバをDVI出力定格の半分に切り替えることができます。さらに、出力駆動電流を増大させることで、逆終端抵抗を使用して信号完全性を向上させることができます。個々のケーブル内のアプリケーションに合わせて、等化は自動または手動の制御に設定することができます。

MAX3815Aは、7mm x 7mmの48ピンTQFP-EPパッケージで提供され、0°C ~ +70°Cの温度範囲で動作します。

アプリケーション

- フロントプロジェクタHDMI/DVI入力
- 高精細テレビおよびディスプレイ
- HDMI/DVI-D用ケーブル拡張器モジュールおよびアクティブケーブルアセンブリ
- コンピュータモニタLCD
- HDMI 1.3 Deep Colorシステム

特長

- ◆ 2.25Gbps (HDMI 1.3)までの性能を保証、低振幅ソースにおけるジッタ性能の改善、および出力ドライバの向上
- ◆ 2.25GbpsでのTMDSインタフェースの長さを次のように延長
 - 24 AWGのHDMIケーブル：0~35メートル
 - 28 AWGのHDMIケーブル：0~22メートル
- ◆ 1.65GbpsでのTMDSインタフェースの長さを次のように延長
 - 24 AWGのHDMIケーブル：0~40メートル
 - 28 AWGのHDMIケーブル：0~28メートル
- ◆ HDTV解像度に対応：720p、1080i、1080p、および1080p (36ビットカラー)
- ◆ コンピュータの解像度に対応：VGA、SVGA、XGA、SXGA、UXGA、およびWUXGA
- ◆ 完全自動等化、システム制御不要
- ◆ 3.3V電源
- ◆ 消費電力：0.6W (typ)
- ◆ 7mm x 7mmの48ピンTQFP鉛フリーパッケージ

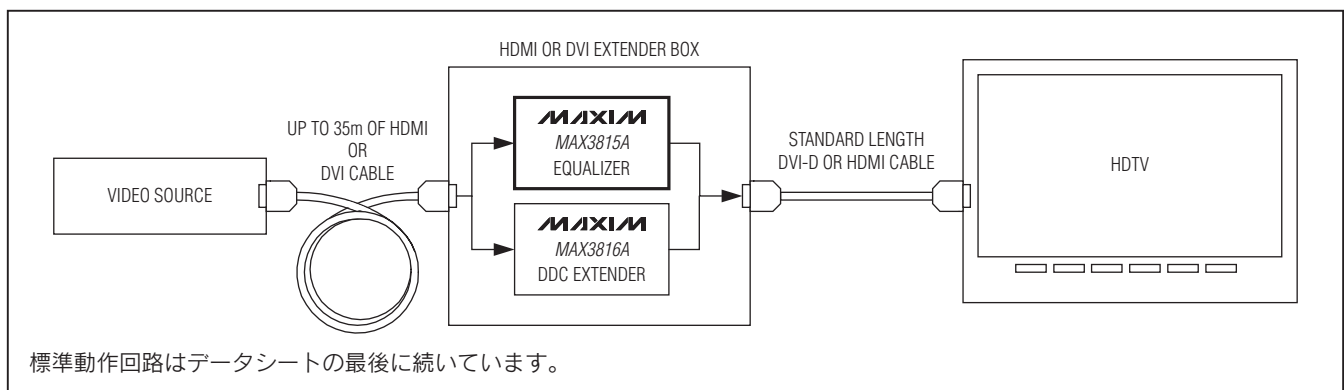
型番

PART	TEMP RANGE	PIN-PACKAGE
MAX3815ACCM+	0°C to +70°C	48 TQFP-EP*

+は鉛(Pb)フリー/RoHS準拠のパッケージを表します。
*EP = エクスポートパッド

ピン配置はデータシートの最後に記載されています。

標準動作回路



DVIはDigital Display Working Groupの商標です。
HDMIはHDMI Licensing, LLCの商標です。
TMDSはSilicon Image, Inc.の登録商標です。

HDMI/DVIケーブル用 TMDSデジタルビデオイコライザ

ABSOLUTE MAXIMUM RATINGS

Supply Voltage Range, VCC-0.5V to +4.0V
 Voltage Range at Output CML Pins.....-0.5V to +4.0V
 Voltage Range at Input CML Pins, RES, VCC_T,
 and GND_T -0.5V to (VCC + 0.7V)
 Voltage Between Input CML Complementary Pair ±3.3V
 Voltage Between Output CML Complementary Pair ±1.4V

Continuous Power Dissipation (T_A = +70°C)
 48-Pin TQFP (derate 36.2mW/°C above +70°C)2896mW
 Operating Junction Temperature Range -55°C to +150°C
 Storage Temperature Range.....-55°C to +150°C
 Die Attach Temperature+400°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(VCC = +3.0V to +3.5V, T_A = 0°C to +70°C. Typical values are at VCC = +3.3V, external terminations = 50Ω ±1%, MAX3815A in automatic equalization mode (EQCONTROL = GND), TMDS rate = 250Mbps to 2.25Gbps, T_A = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Power-Supply Current	I _{CC}	Clock present ($\overline{\text{CLKLOS}} = \text{HIGH}$)		210	270	mA	
		Clock and data absent ($\overline{\text{CLKLOS}} = \text{LOW}$)		12			
Supply-Noise Tolerance		DC to 500kHz		200		mV _{P-P}	
EQUALIZER PERFORMANCE							
Residual Output Jitter (Cables Only) 0.25Gbps to 1.65Gbps (Notes 1, 2, and 3)		1dB skin-effect loss at 825MHz		0.05		UI	
		24dB skin-effect loss at 825MHz		0.13	0.21		
Residual Output Jitter (Cables Only) 1.65Gbps to 2.25Gbps (Notes 1, 2, and 3)		1dB skin-effect loss at 825MHz		0.1		UI	
		24dB skin-effect loss at 825MHz		0.14	0.28		
CID Tolerance			20			Bits	
CONTROL AND STATUS							
$\overline{\text{CLKLOS}}$ Assert Level		Differential peak-to-peak at EQ input with max 225MHz clock (see the <i>Typical Operating Characteristics</i> for more information)		50		mV _{P-P}	
CML INPUTS (CABLE SIDE)							
Differential Input-Voltage Swing	V _{ID}	At cable input	800	1000	1200	mV _{P-P}	
Common-Mode Input Voltage	V _{CM}		VCC - 0.4		VCC + 0.1	V	
Input Resistance	R _{IN}	Single-ended	45	50	55	Ω	
CML OUTPUTS (ASIC SIDE)							
Differential Output-Voltage Swing	V _{OD}	50Ω load, each side to VCC	OUTLEVEL = HIGH	800	1000	1200	mV _{P-P}
			OUTLEVEL = LOW		500		
		With back termination as shown in Figure 4, OUTLEVEL = OPEN		910			
Output-Voltage High		Single-ended, OUTLEVEL = HIGH		VCC		mV	
Output-Voltage Low		Single-ended, OUTLEVEL = HIGH	VCC - 600		VCC - 400	mV	
Output Voltage During Clock Absence ($\overline{\text{CLKLOS}} = \text{LOW}$)		Single-ended	VCC - 10		VCC + 10	mV	

HDMI/DVIケーブル用 TMDSデジタルビデオイコライザ

MAX3815A

ELECTRICAL CHARACTERISTICS (continued)

(VCC = +3.0V to +3.5V, TA = 0°C to +70°C. Typical values are at VCC = +3.3V, external terminations = 50Ω ±1%, MAX3815A in automatic equalization mode (EQCONTROL = GND), TMDS rate = 250Mbps to 2.25Gbps, TA = +25°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Common-Mode Output Voltage		50Ω load, each side to VCC, OUTLEVEL = HIGH		VCC - 0.25		V
Rise/Fall Time (Note 1)		20% to 80%	80	160		ps
LVTTTL CONTROL AND STATUS INTERFACE						
LVTTTL Input High Voltage	V _{IH}		2.0			V
LVTTTL Input Low Voltage	V _{IL}				0.8	V
LVTTTL Input High Current		V _{IH(MIN)} < V _{IN} < VCC			±50	μA
LVTTTL Input Low Current		GND < V _{IN} < V _{IL(MAX)}			-100	μA
Open-Collector Output High Voltage		R _{LOAD} ≥ 10kΩ to VCC	2.4			V
Open-Collector Output Low Voltage		R _{LOAD} ≥ 2kΩ to VCC			0.4	V
Open-Collector Output Sink Current					5	mA
OUTLEVEL Input Open-State Current Tolerance				±5		μA

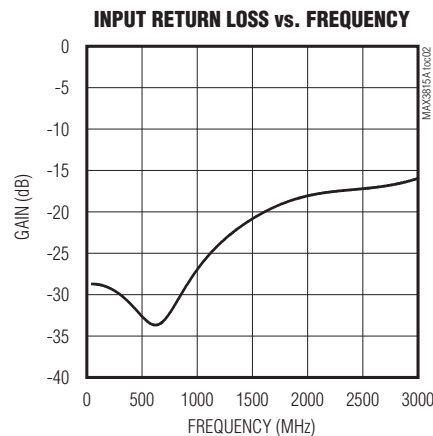
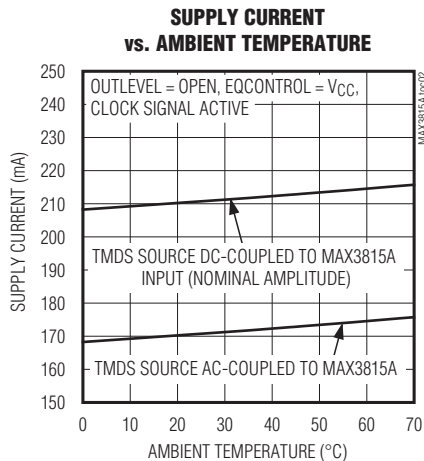
Note 1: AC specifications are guaranteed by design and characterization.

Note 2: Cable input swing is 800mV to 1200mV differential peak-to-peak. Residual output jitter is defined as peak-to-peak jitter, both deterministic plus random, as measured using an oscilloscope histogram with 5000 hits. Source jitter subtracted.

Note 3: Test pattern is a 2⁷ - 1 PRBS + 20 ones + 2⁷ - 1 PRBS (inverted) + 20 zeros.

標準動作特性

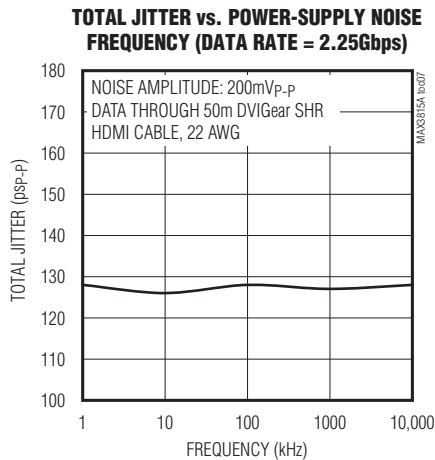
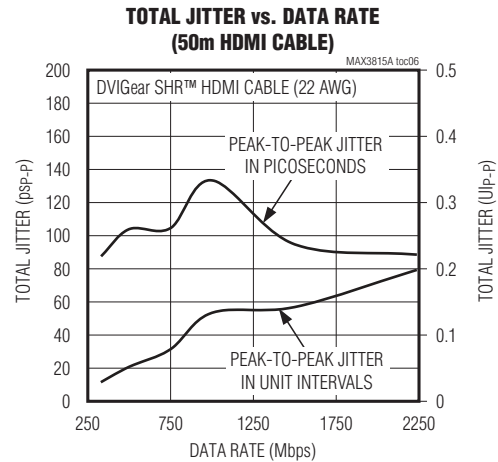
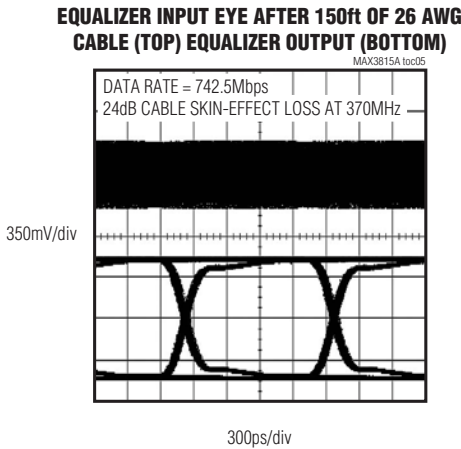
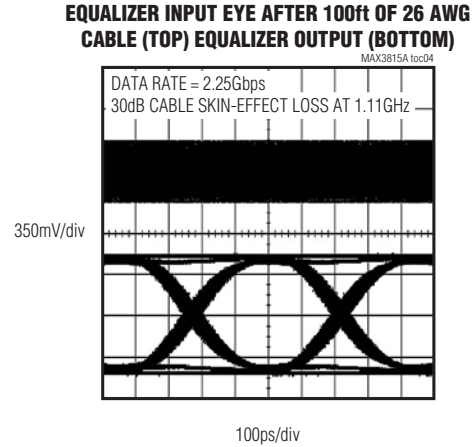
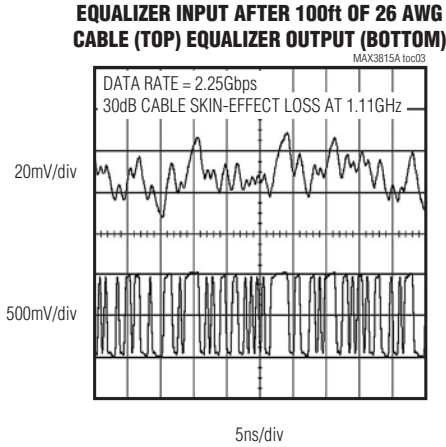
(Typical values are at VCC = +3.3V, TA = +25°C, data pattern = 2⁷ - 1 PRBS + 20 ones + 2⁷ - 1 PRBS (inverted) + 20 zeros, equalizer in automatic mode, cable launch amplitude 1Vp-p differential, unless otherwise noted.)



HDMI/DVIケーブル用 TMDSデジタルビデオコライザ

標準動作特性(続き)

(Typical values are at $V_{CC} = +3.3V$, $T_A = +25^{\circ}C$, data pattern = $2^7 - 1$ PRBS + 20 ones + $2^7 - 1$ PRBS (inverted) + 20 zeros, equalizer in automatic mode, cable launch amplitude 1Vp-p differential, unless otherwise noted.)



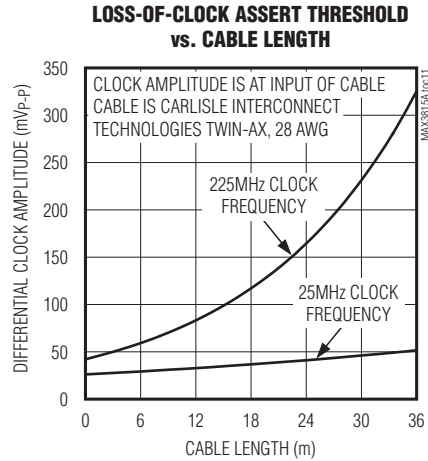
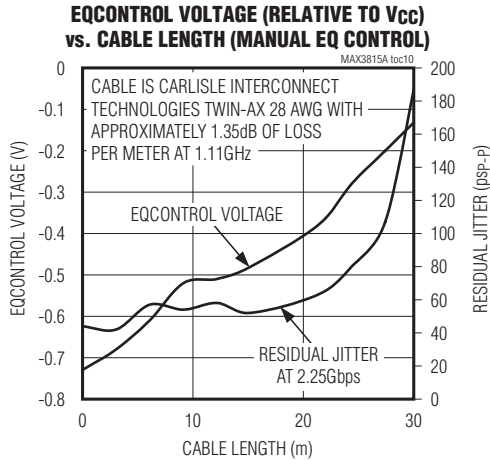
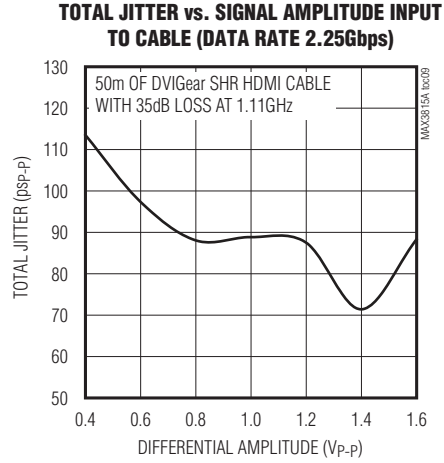
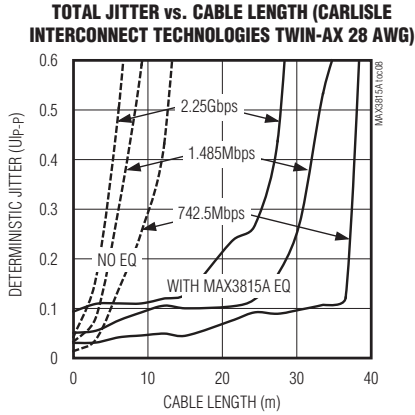
SHRはDVIGear, Inc.の商標です。

HDMI/DVIケーブル用 TMDSデジタルビデオイコライザ

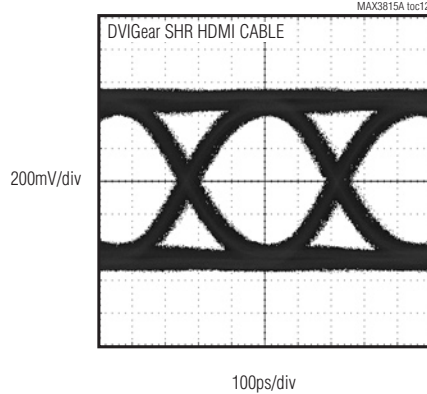
MAX3815A

標準動作特性(続き)

(Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$, data pattern = $2^7 - 1$ PRBS + 20 ones + $2^7 - 1$ PRBS (inverted) + 20 zeros, equalizer in automatic mode, cable launch amplitude 1Vp-p differential, unless otherwise noted.)



EQUALIZER OUTPUT EYE AFTER 50m OF 22 AWG HDMI CABLE (DATA RATE = 2.25Gbps)



HDMI/DVIケーブル用 TMDSデジタルビデオコライザ

MAX3815A

端子説明

端子	名称	機能
1, 4, 5, 8, 9, 12, 13, 16, 38	VCC	電源電圧。すべてのピンをVCCに接続する必要があります。
2	RX0_IN-	負のデータ入力、CML
3	RX0_IN+	正のデータ入力、CML
6	RX1_IN-	負のデータ入力、CML
7	RX1_IN+	正のデータ入力、CML
10	RX2_IN-	負のデータ入力、CML
11	RX2_IN+	正のデータ入力、CML
14	RXC_IN+	正のクロック入力、CML
15	RXC_IN-	負のクロック入力、CML
17	EQCONTROL	イコライザ制御。このピンを使用するとMAX3815Aの等化レベルを制御することができます。自動で動作させる場合は、このピンをGNDに接続してください。等化を最小にしたい場合は、電圧をVCC - 1Vに設定してください。また手動で等化を行う場合は電圧をVCC - 1V~VCCに設定してください。詳細については、「アプリケーション情報」の項を参照してください。
18	CLKLOS	クロック喪失信号出力(LVTTLオープンコレクタ)。このピンは、ケーブルからのTMDSクロック入力 が喪失した場合にローにアサートされます。ピンは4.7kΩの抵抗を介してVCCに接続してください。
19	N.C.	接続なし。このピンは内部で接続されていません。
20, 23, 24, 25, 28, 29, 32, 33, 36, 37	GND	グラウンド
21	RXC_OUT-	負のクロック出力、CML
22	RXC_OUT+	正のクロック出力、CML
26	RX2_OUT+	正のデータ出力、CML
27	RX2_OUT-	負のデータ出力、CML
30	RX1_OUT+	正のデータ出力、CML
31	RX1_OUT-	負のデータ出力、CML
34	RX0_OUT+	正のデータ出力、CML
35	RX0_OUT-	負のデータ出力、CML
39	OUTLEVEL	出力レベルの制御入力 <ul style="list-style-type: none"> • HIGH：標準の出力振幅(1000mV_{p-p}差動) • OPEN：267Ωの外付け逆終端抵抗で標準の出力振幅(900mV_{p-p}差動) (図4を参照) • LOW：標準の出力振幅の1/2 (500mV_{p-p}差動)
40	OUTON	出力イネーブル制御入力(LVTTL)。この入力をローに強制すると、CML出力はイネーブルとなり、 ハイに強制すると差動ロジックがゼロになります。
41, 43, 44	VCC_T	予約済み。通常動作では、VCCに接続する必要があります。
42	GND_T	予約済み。通常動作では、GNDに接続する必要があります。
45-48	RES	予約済み。通常動作では、オープンにする必要があります。
—	EP	エクスポーズドパッド。熱的および電氣的に正しい動作を確保するため、エクスポーズドパッドは 回路基板のグラウンドに半田付けしなければなりません。

HDMI/DVIケーブル用 TMDSデジタルビデオイコライザ

MAX3815A

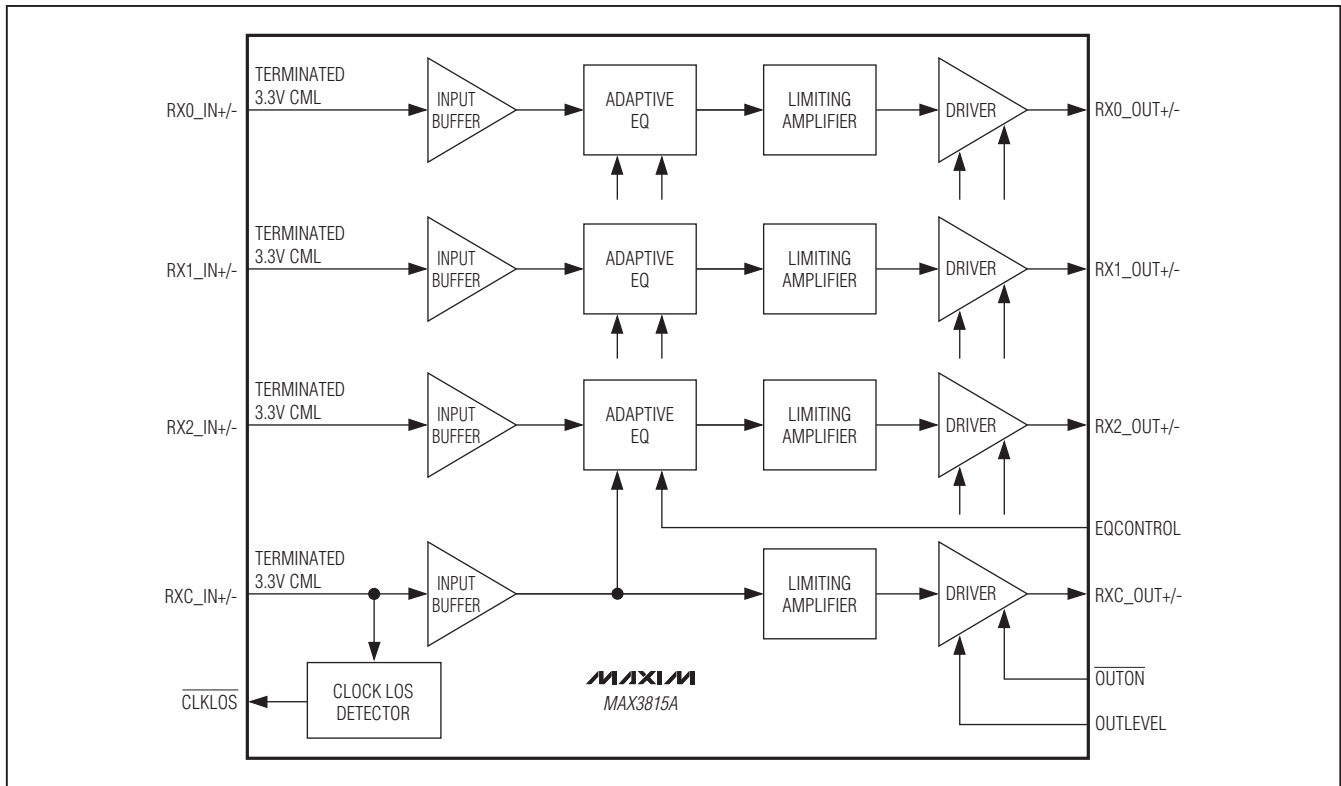


図1. ファンクションダイアグラム

詳細

TMDSイコライザのMAX3815Aは、250Mbps~2.25Gbpsの速度(個々のチャンネルのデータ速度)で差動CML入力データを受け取ります。MAX3815Aは銅ケーブルの表皮効果損失を自動的に調整します。MAX3815Aは4組のCML入力バッファ、1つのクロック信号喪失検出器、3つの独立した適応型イコライザ、4組のリミティングアンプ、および4組の出力バッファで構成されます(図1)。

CML入力バッファおよび出力ドライバ

入力バッファと出力ドライバは、電流モードロジック(CML)を用いて実装されます(図4と図5を参照)。出力ドライバはオープンコレクタであり、 $\overline{\text{OUTON}}$ ピンを使ってオフにすることができます。また、 OUTLEVEL ピンを使って、出力駆動電流を3つのレベルのうちの1つに設定することができます。詳細については、「アプリケーション情報」と「端子説明」の項を参照してください。CMLとのインタフェースの詳細については、アプリケーションノート291「HFAN-01.0: Introduction to LVDS, PECL, and CML」(英文)を参照してください。

クロック喪失信号検出器

クロック喪失信号検出器は $\overline{\text{CLKLOS}}$ ピンにクロック喪失信号を出力します。これはオープンコレクタ出力であり、 $4.7\text{k}\Omega$ の外付けプルアップ抵抗を介して V_{CC} に接続する必要があります。この抵抗は、LOS出力の使用の有無に関わらず必要です。

適応型イコライザ

3組の各データチャンネルは、独立した適応型イコライザを備えています。各チャンネルは、入力信号を解析して印加すべき等化の量を決定します。

リミティングアンプ

リミティングアンプは、適応型イコライザからの信号を増幅して、波形の上と下を切り取り、完全なハイレベル信号およびローレベル信号として出力ドライバに供給します。

HDMI/DVIケーブル用 TMDSデジタルビデオイコライザ

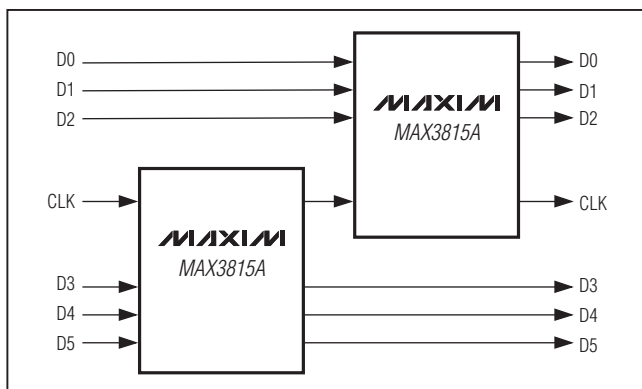


図2. デュアルリンクのアプリケーションにおけるMAX3815Aの接続図

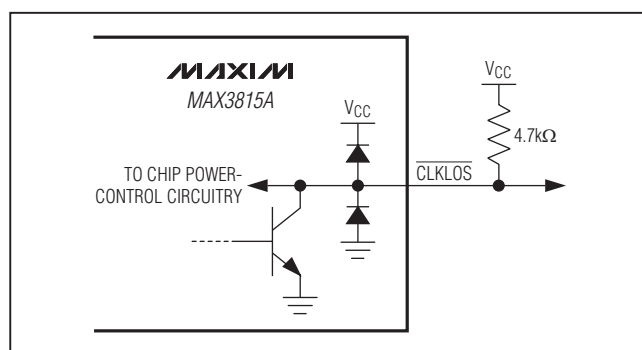


図3. 簡略化したCLKLOS出力回路図

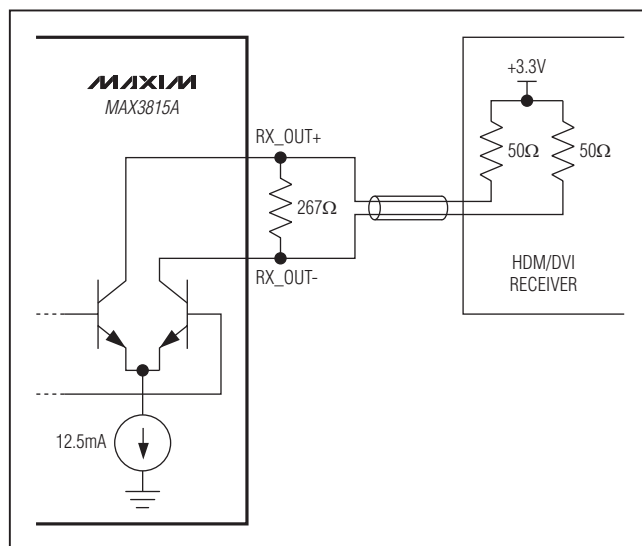


図4. 逆終端回路

アプリケーション情報

標準的なシールド付きツイストペアケーブル(STP)、シールドなしツイストペアケーブル(UTP)、および2芯同軸ケーブルでは、表皮効果損失によってTMDS信号の高周波スペクトルが減衰します。結果として、データエラーが生じるか、あるいはケーブルが十分に長い場合は、信号アイパターンが完全に閉じてしまいます。MAX3815Aはデータを回復し、補償等化を行って信号アイパターンを開きます。

基本的なTMDSインタフェースは4組の差動シリアルリンクで構成されています。この内の3組のリンクはそれぞれ最大2.25Gbpsのシリアルデータを伝送し、4番目のリンクは最大225MHzで動作する10分の1 (0.1x)の速度のクロックです。TMDSはアナログのnVGAリンクのように、さまざまな解像度とスクリーンの更新速度を扱える必要があります。実際のデジタルシリアル速度の範囲は、およそ250Mbps~2.25Gbpsです。超高解像度(例: QXGA)を必要とするアプリケーションでは、「デュアルリンク」のDVIインタフェースが使用されます。このDVIインタフェースは、6つのデータリンクと1つのクロックで構成されるため、2つのMAX3815Aの両方のICに接続できるようにクロックを付ける必要があります。図2を参照してください。

MAX3815Aは、以下の商標で使われる、いかなるTMDSインタフェースの拡張にも使用することができます。

DVI (デジタルビジュアルインタフェース)、DFP™ (デジタルフラットパネル)、PanelLink、ADC™ (Appleディスプレイコネクタ)、およびHDMI (高精細マルチメディアインタフェース)

クロック喪失信号(CLKLOS)出力

クロック喪失信号は、CLKLOS出力によって示されます。CLKLOSがローレベルになると、RXC_INピンの信号パワーがスレッショルドレベルを下回る値になったことを示します。そのチャンネルに十分な入力電圧(標準値で100mV_{p-p}差動電圧より大きい値)が供給されていれば、CLKLOSはハイになります。CLKLOS出力は、たとえば、ケーブルの断線、ドライバの故障、またはイコライザとの未接続による伝送リンクの問題を示す場合に適しています。クロック喪失回路は、RXC_INピン間のDC電圧またはAC電圧に影響されやすいことに留意してください。±30mV (標準値)よりも大きなDC電圧またはAC電圧はアクティブクロック信号として検知されます。

DFPはVideo Electronics Standards Association (VESA)の商標です。
ADCはApple Computer, Inc.の商標です。

HDMI/DVIケーブル用 TMDSデジタルビデオイコライザ

MAX3815A

クロック喪失回路は、クロック信号がなくなると必ず、製品の電源を切断します。入力信号が得られないときは必ず、この電源断によって出力をオフにし、消費電力を83mWに低減します。電源断時、MAX3815AのTMDS出力ピンは、ハイインピーダンス状態になります。

CLKLOSはオープンコレクタ出力であり、動作するためにはVCCとの間にプルアップ抵抗が必要です。プルアップ抵抗の値は1kΩ～10kΩの範囲になります(図3を参照)。

出力レベル制御(OUTLEVEL)入力

OUTLEVELピンはトライステート入力であり、このピンを使用することで、3つの出力設定から出力レベルを選択することができます。このピンをハイに強制すると、逆終端のない標準の出力信号レベルになります。ピンをオープンにすると、267Ωの差動逆終端抵抗によって標準の出力振幅になります。このピンをローに強制すると、標準の出力信号レベルの1/2になります。

逆終端の使用

逆終端抵抗を使用すると、反射を吸収することで信号完全性を向上させることができます。さらに、逆終端抵抗はシングルエンド出力の電圧ハイ(V_H)とロー(V_L)にシフトします。表1は、3つの出力構成のそれぞれでMAX3815Aを使用するときの出力電圧を示しています。

イコライザ制御(EQCONTROL)入力

EQCONTROLピンを使用すると、2通りの方法で等化を制御することができます。このピンをグランドに接地するとイコライザは自動等化モードになります。また、このピンをV_{CC} - 1V～V_{CC}の電圧にすると等化レベルの手動制御が可能になります。ブーストを最大にするためには、V_{CC}に設定してください(長いケーブル)。ブーストを最小にするには、V_{CC} - 1Vに設定してください(短いケーブル)。

インタフェースモデル

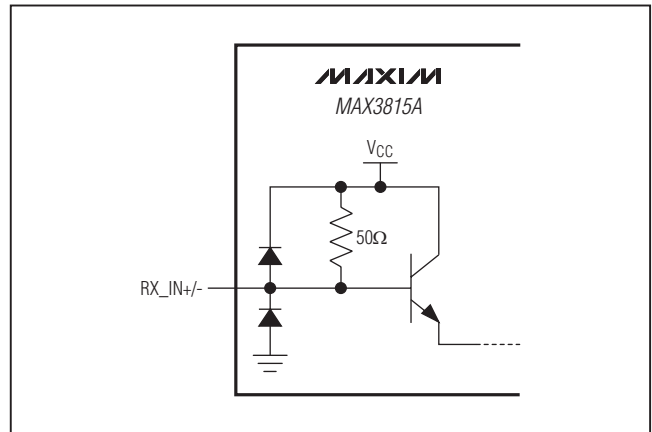


図5. 簡略化した入力回路図

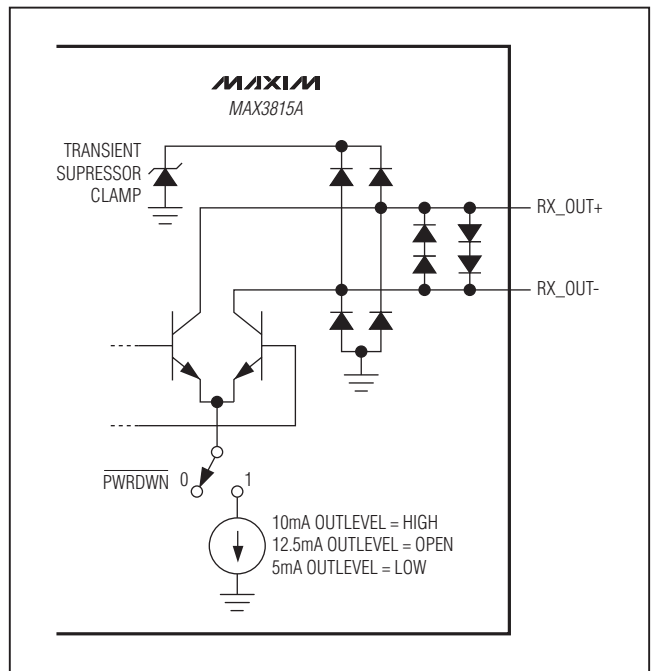


図6. 簡略化した出力回路図

表1. 出力設定と出力振幅

OUTLEVEL	BACK TERMINATION	DIFFERENTIAL SWING (mV _{p-p})	SINGLE-ENDED HIGH (V _H)	SINGLE-ENDED LOW (V _L)
High	Open	1000	V _{CC}	V _{CC} - 500mV
Open	267Ω	910	V _{CC} - 85mV	V _{CC} - 540mV
Low	Open	500	V _{CC}	V _{CC} - 250mV

HDMI/DVIケーブル用 TMDSデジタルビデオコライザ

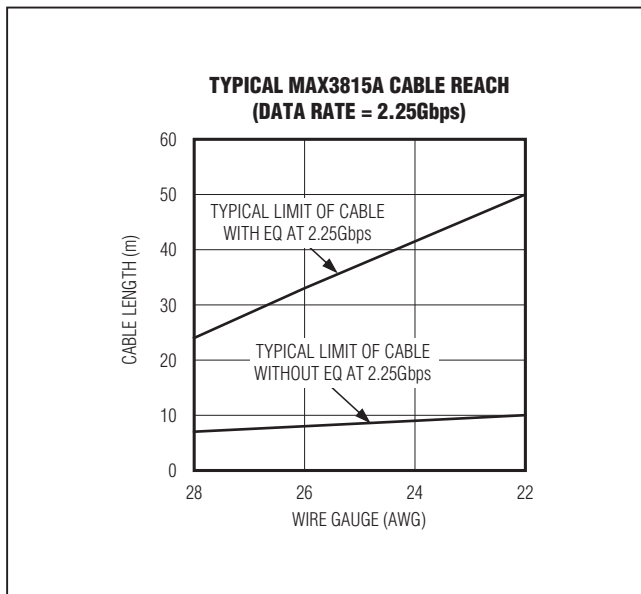


図7. ケーブル距離

出力オン(OUTON)入力

OUTONピンはLVTTTL入力です。このピンをローに強制すると、出力がイネーブルされます。このピンをハイに強制すると、入力ピンの信号に関わらず、出力は差動ゼロになります。

ケーブルの選択

TMDSの性能は、ケーブルの品質に大きく依存しています。ツイストペアケーブル(STPまたはUTP)内では通常、ケーブルのねじれや誘電体の不平衡によって、差動からコモンモードへの変換(またはその逆)で確定ジッタ(DJ)が生じる可能性があります。詳細については、アプリケーションノート3353「HFAN-04.5.4: ツイストペアが不平衡なときの「ジッタ発生」とアプリケーションノート4218「不平衡ツイストペアがジッタに与える影響」を参照してください。

レイアウトについて

MAX3815Aでは、データとクロック入力が最も重要な経路であり、コネクタとICの間の伝送ラインの不連続性を最小にするように細心の注意を払う必要があります。MAX3815Aの性能を最大にするためのいくつかの提案を以下に示します。

- データとクロック入力はスタブを使用せずに、ケーブルコネクタとICの間でじかに配線する必要があります。
- 電源のリターン電流に対し低インダクタンス経路にするため、電源のフィルタコンデンサをMAX3815Aの入力の近くに取り付けてください。

- 入力および出力データチャンネルの表示は単なるガイドです。極性の割当ては交換することが可能であり、チャンネル経路を入れ替えることも可能です。
- 高速I/Oの真下には、途切れのないグランドプレーンを配置する必要があります。
- 入力/出力コネクタの近くにグランドパス用のビアを配置することで、リターン電流経路のインダクタンスを低減することができます。
- MAX3815Aに対する入力/出力は、差動伝送ラインインピーダンスを100Ωに維持してください。
- EMIとクロストークを最小化するために、優れた高周波レイアウト技術と、切れ目のないグランドプレーンを持つ多層基板を採用してください。アプリケーションノート3854「MAX3815: MAX3815 DVI/HDMIケーブルコライザとのインタフェース接続」とEVキットMAX3815AEVKIT-HDMIのデータシートを参照してください。

エクスポーズドパッド付きのパッケージ

48ピンのTQFP-EP上のエクスポーズドパッドは、ICからの熱を除去するための非常に小さな熱抵抗経路を設けています。このパッドは、MAX3815Aの電気的なグランドでもあり、熱的および電氣的に良好な性能を得るために回路基板のグランドに半田付けする必要があります。詳細については、マキシムのアプリケーションノート862「HFAN-08.1: Thermal Considerations of QFN and Other Exposed-Paddle Packages」(英文)を参照してください。

チップ情報

PROCESS: SiGe BiPOLAR

パッケージ(続き)

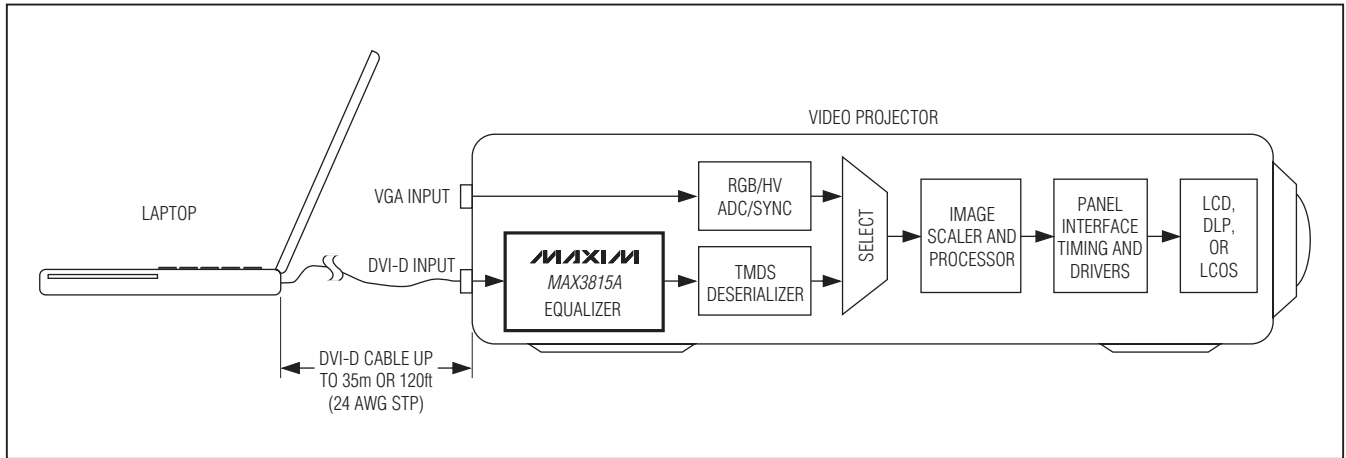
最新のパッケージ情報とランドパターンは、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
48 TQFP-EP	C48E+8	21-0065

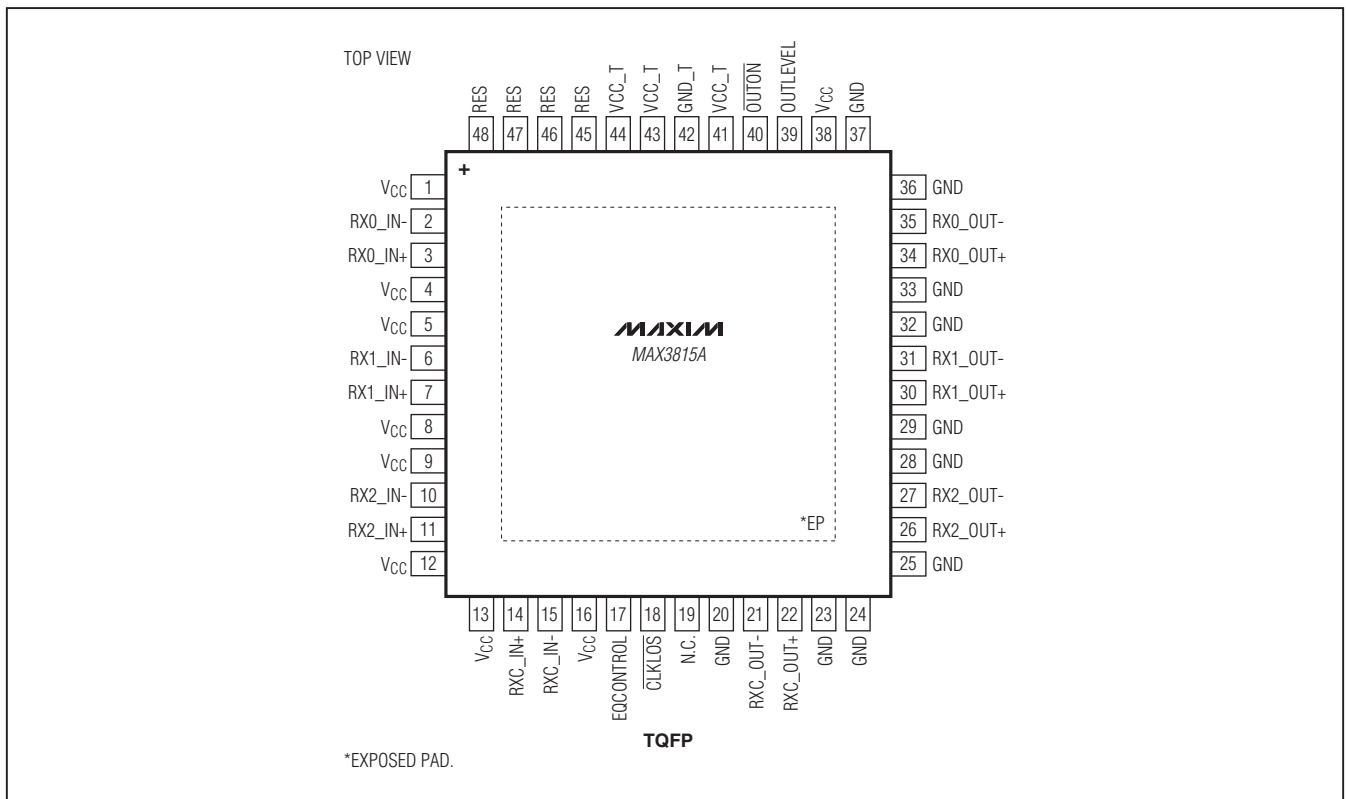
HDMI/DVIケーブル用 TMDSデジタルビデオイコライザ

MAX3815A

標準動作回路(続き)



ピン配置



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 11

© 2009 Maxim Integrated Products

Maxim is a registered trademark of Maxim Integrated Products, Inc.