

LAN用、チャタリングのないパワー検出付低電力、 622Mbps リミティングアンプ

概要

MAX3761/MAX3762は、PECLデータ出力を備えた感度4mVのリミティングアンプで、低コスト622Mbps LAN/ATM LAN光ファイバアプリケーション用として最適化されています。

内蔵パワーディテクタが入力信号の振幅を検出します。受信信号強度インジケータ(RSSI)がパワーレベルのアナログ表示を提供し、コンプリメンタリロスオブシグナル信号(LOS)を利用して入力パワーレベルが設定されたスレッシュホールドレベルを超えているかどうかを表示します。LOSスレッシュホールドを調節して、3mVp-p ~ 100mVp-pの信号振幅を検出することができます。これは、光ファイバレシーバに対する15dBのLOS調節範囲となります。LOS出力は3.5dBのヒステリシスを持っているため、入力信号が小さいときのチャタリングを防ぐことができます。MAX3761のLOS出力は、TTLロジックレベルとコンパチブルです。MAX3762は、PECL LOS出力を備えています。

DISABLEとLOSを使用して、スケルチ機能を実現することができます。これは入力信号が設定されたスレッシュホールドよりも低いときにデータ出力をターンオフする機能です。

アプリケーション

622Mbps LAN/ATM LANレシーバ

155Mbps LAN/ATM LANレシーバ

特長

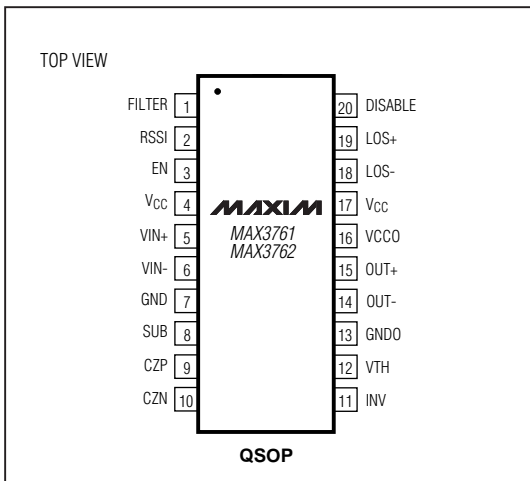
- ◆ プログラマブルロスオブシグナル出力を備えたチャタリングなしのパワー検出
- ◆ 入力感度：4mV(PECLロスオブシグナルインタフェースロジック：MAX3766)
- ◆ PECLデータ出力
- ◆ 電源：5V単一
- ◆ 出力エッジ速度：250ps
- ◆ 低パルス幅歪み：15ps
- ◆ TTLロスオブシグナルのインタフェースロジック：MAX3761

型番

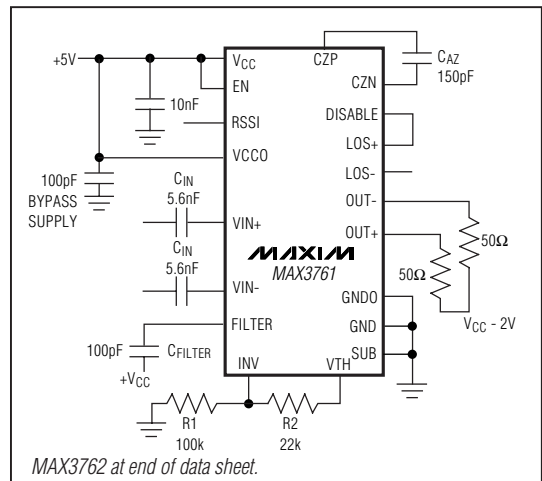
PART	TEMP. RANGE	PIN-PACKAGE
MAX3761EEP	-40°C to +85°C	20 QSOP
MAX3761C/D	-40°C to +85°C	Dice*
MAX3762EEP	-40°C to +85°C	20 QSOP
MAX3762C/D	-40°C to +85°C	Dice*

*Dice are designed to operate from -40°C to +85°C, but are tested and guaranteed only at $T_A = +25^\circ\text{C}$.

ピン配置



標準動作回路



LAN用、チャタリングのないパワー検出付低電力、 622Mbpsリミティングアンプ

MAX3761/MAX3762

ABSOLUTE MAXIMUM RATINGS

V_{CC}, V_{CCO}.....-0.5V to +7.0V
 FILTER, RSSI, EN, VIN+, VIN-, CZP, CZN,
 DISABLE, LOS+, LOS-, INV, VTH.....-0.5V to (V_{CC} + 0.5V)
 PECL Output Current (OUT+, OUT-, LOS+, LOS-)50mA
 Continuous Power Dissipation (T_A = +85°C)
 QSOP (derate 8.3mW/°C above +70°C).....667mW

Operating Junction Temperature Range.....-40°C to +150°C
 Processing Temperature (die)+400°C
 Storage Temperature Range-65°C to +160°C
 Lead Temperature (soldering, 10sec)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.5V to +5.5V, DISABLE = low, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = +5.0V, T_A = +25°C.)
 (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Power-Supply Current	MAX3761, I _{VCC}		25	37	mA
	MAX3762, I _{VCC}		30	46	
LOS Output TTL High	MAX3761	2.8			V
LOS Output TTL Low	MAX3761	(T _A = +25°C to +85°C)		0.40	V
		(T _A = -40°C to +25°C)		0.44	
LOS Output PECL High	MAX3762 (Notes 2, 3)	-1150		-880	mV
LOS Output PECL Low	MAX3762 (Notes 2, 3)	-1830		-1555	mV
DISABLE Input Current	Logic high			100	μA
DISABLE Input High	MAX3761	2.65			V
DISABLE Input Low	MAX3761			0.8	V
DISABLE Input PECL High	MAX3762 (Note 3)	-1160			mV
DISABLE Input PECL Low	MAX3762 (Note 3)			-1470	mV
PECL Data Output Voltage High (V _{OH})	(Notes 2, 3)	-1150		-880	mV
PECL Data Output Voltage Low (V _{OL})	(Notes 2, 3)	-1830		-1555	mV
Disabled Differential Output	DISABLE = high	-100		100	mV
Disabled Common-Mode Output	DISABLE = high	V _{CC} - 0.7		V _{CC} - 1.2	V

Note 1: Dice are tested at T_A = +25°C.

Note 2: Outputs terminated with 50Ω to V_{CC} - 2V.

Note 3: Voltage measurements are relative to V_{CC}.

LAN用、チャタリングのないパワー検出付低電力、 622Mbpsリミティングアンプ

MAX3761/MAX3762

AC ELECTRICAL CHARACTERISTICS

($V_{CC} = +4.5V$ to $+5.5V$, PECL outputs terminated with 50Ω to $V_{CC} - 2V$, input $4mV$ to $2Vp-p$, $T_A = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $V_{CC} = +5.0V$, $T_A = +25^\circ C$.) (Note 5)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum LOS Assert Input	$T_A = -40^\circ C$, $2^{23} - 1$ PRBS			3.2	mV
Data-Output Edge Speed	20% to 80%			250	ps
Data-Output Overshoot	(Note 6)			20	%
Pulse-Width Distortion	(Notes 6, 7)		15	80	ps
Input Resistance	Differential		3900		Ω
LOS Hysteresis	$2^{23} - 1$ PRBS, $V_{TH} = 1.8V$		3.5		dB

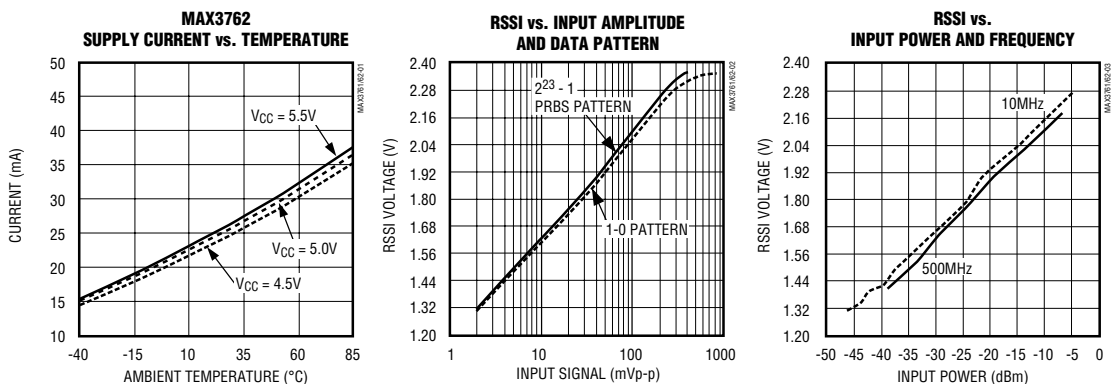
Note 5: AC parameters are guaranteed by design and characterization.

Note 6: Input signal is a 1-0 pattern, 622Mbps.

Note 7: $PWD = [(width\ of\ wider\ pulse) - (width\ of\ narrower\ pulse)] / 2$.

標準動作特性

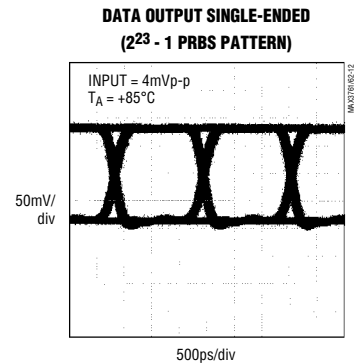
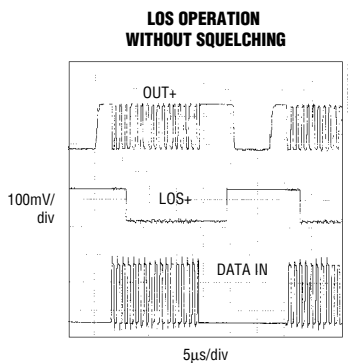
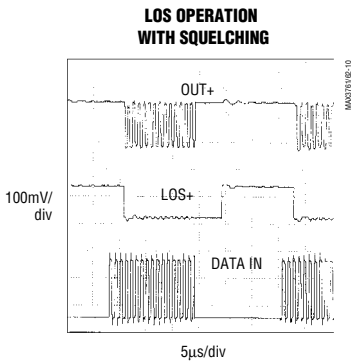
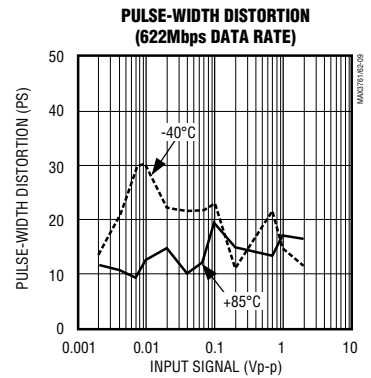
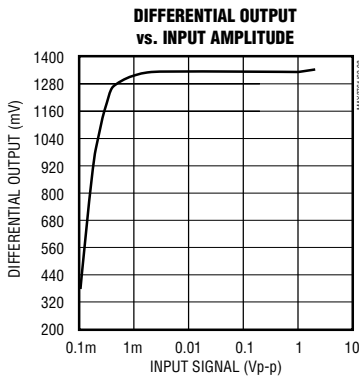
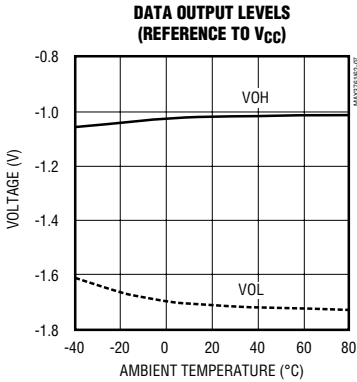
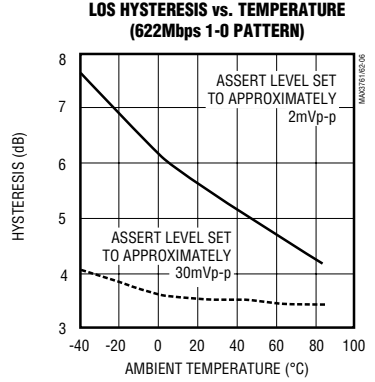
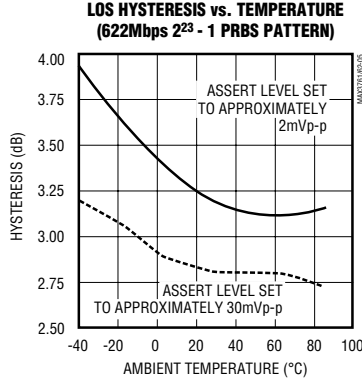
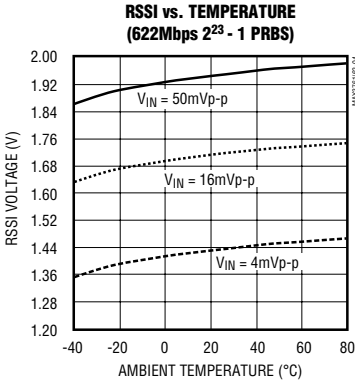
(MAX3761/MAX3762 EV kit, $V_{CC} = +5.0V$, PECL outputs terminated with 50Ω to $V_{CC} - 2V$, input is a 1-0 pattern, 622Mbps, $T_A = +25^\circ C$, unless otherwise noted.)



LAN用、チャタリングのないパワー検出付低電力、622Mbpsリミティングアンプ

標準動作特性 (続き)

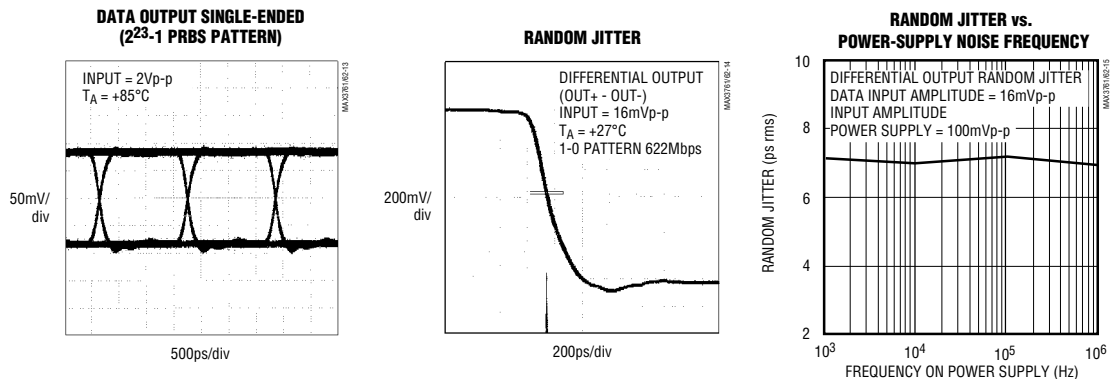
(MAX3761/MAX3762 EV kit, $V_{CC} = +5.0V$, PECL outputs terminated with 50Ω to $V_{CC} - 2V$, input is a 1-0 pattern, 622Mbps, $T_A = +25^\circ C$, unless otherwise noted.)



LAN用、チャタリングのないパワー検出付低電力、622Mbpsリミティングアンプ

標準動作特性 (続き)

(MAX3761/MAX3762 EV kit, $V_{CC} = +5.0V$, PECL outputs terminated with 50Ω to $V_{CC} - 2V$, input is a 1-0 pattern, 622Mbps, $T_A = +25^\circ C$, unless otherwise noted.)



端子説明

端子	名称	機能
1	FILTER	パワーディテクタの積分周波数を設定します。このノードのインピーダンスは約500Ωです。
2	RSSI	受信信号強度インジケータ。入力パワーを表すアナログDC電圧です。
3	EN	V_{CC} に接続してください。
4, 17	V_{CC}	+5V電源
5	VIN+	正入力データ
6	VIN-	負入力データ
7	GND	電源グランド
8	SUB	サブストレート。グランドに接続してください。
9	CZP	入力オフセット補正を設定します(低周波カットオフ)。
10	CZN	入力オフセット補正を設定します(低周波カットオフ)。
11	INV	オペアンプへの負入力。ロスオブシグナルのスレッシュホールドを設定するときに使用します。
12	VTH	ロスオブシグナルのスレッシュホールド電圧
13	GNDO	出力バッファのグランド電源
14	OUT-	負PECLデータ出力
15	OUT+	正PECLデータ出力
16	VCCO	出力バッファの+5V電源
18	LOS-	ロスオブパワーの負フラグ、TTL(MAX3761)又はPECL(MAX3762)
19	LOS+	ロスオブパワーの正フラグ、TTL(MAX3761)又はPECL(MAX3762)
20	DISABLE	これがハイの場合、データ出力がディセーブルされます(TTL(MAX3761)又はPECL(MAX3762))。

LAN用、チャタリングのないパワー検出付低電力、622Mbpsリミティングアンプ

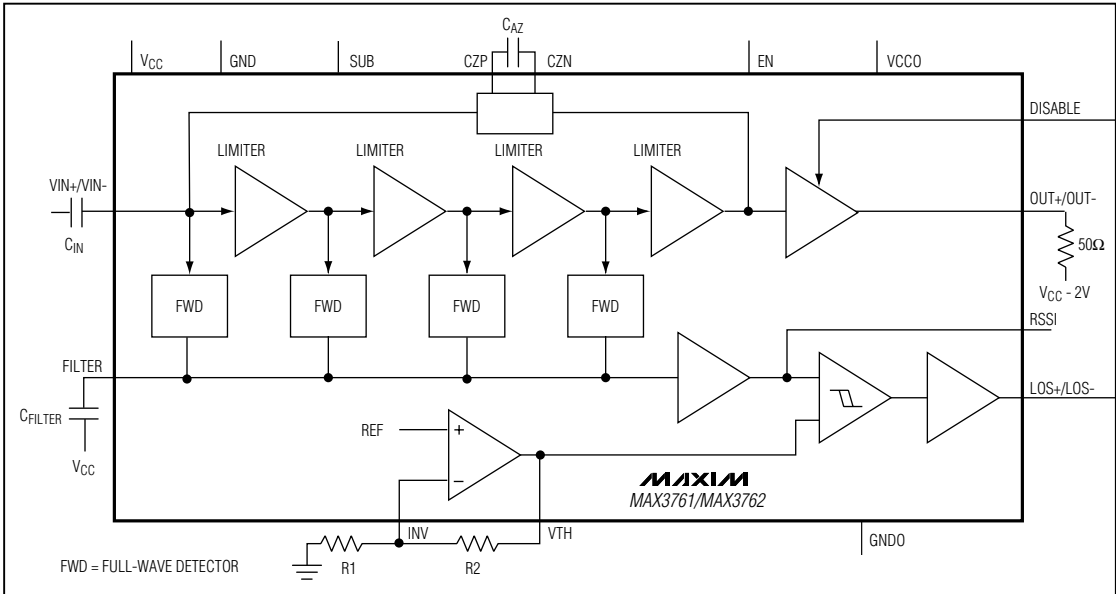


図1. ファンクションダイアグラム

詳細

図1にMAX3761/MAX3762のファンクションダイアグラムを示します。入力信号はVIN+及びVIN-に印加されます。各々が約12.5dBの利得を持つ一連の増幅段が、入力信号をPECL出力電圧スイングまで増幅します。4mVp-pの入力信号で出力はフルリミットになります。

受信信号強度インジケータ (RSSI)

各増幅段が全波対数ディテクタ(FWD)を備えています。(複数の)全波ディテクタ出力の総和がFILTERピンに現れ、受信信号強度表示(RSSI)に使用されます。RSSI出力電圧は入力パワー(デシベル単位)に直線的に比例し、近似的に次式で与えられます。

$$V_{RSSI}(V) = 1.13 + 0.457 \log(V_{IN})$$

ここで V_{IN} はピーク間の入力信号(mV)です。

RSSI出力は、温度及び電源電圧の変動に対しては鈍感です。パワーディテクタは約750MHzのパスバンドに存在する全ての信号の全パワーを検出する広帯域パワーメータとして機能します。「標準動作特性」のRSSI出力対入力パワー及び信号振幅のグラフを参照してください。

高速RSSI信号はFILTERから V_{CC} に接続された1個の外部コンデンサによってフィルタリングされます。FILTERピンでのインピーダンスは約500Ωです。

適正な動作のためには、FILTERコンデンサ(C_{FILTER})を V_{CC} に接続する必要があります。

入力オフセット補正

本リミティングアンプは、約60dBの利得があります。僅か1mVの入力DCオフセットでもパワー検出回路の精度が低下し、出力がリミットまで振れてしまう可能性があります。MAX3761/MAX3762には入力オフセットを除去する低周波フィードバックループが内蔵されています。入力のDCカップリングは、DCオフセット補正回路が適切に動作しなくなるため推奨されません。入力オフセットは、100μV以下(typ)に低減されます。

CZPピンとCZNピン間の容量及びそれに並列な10pFの内部容量が、オフセット補正回路の時間定数を決定します。CZPとCZN間の入力インピーダンスは約800kΩです。

オフセット補正回路は、平均データ入力のデューティサイクルとして50%を必要とします。入力データの平均デューティサイクルがこれとは異なっていると、出力のパルス幅歪みが増加します。

LAN用、チャタリングのないパワー検出付低電力、622Mbpsリミティングアンプ

ロスオブシグナルインジケータ

MAX3761/MAX3762は、プログラマブルなスレッシュールド及びヒステリシスコンパレータ付のロスオブシグナルモニタを備えています。内部で片方のコンパレータの入力がRSSI出力信号に接続され、他方がスレッシュールド電圧(VTH)ピンに接続されています。VTHピンがLOS表示のスレッシュールドを与えます。電源に依存しないスレッシュールド電圧を設定するために、内部バンドギャップ電圧(1.18V)を基準としたオペアンプが装備されています。LOS発生レベルを設定するのに必要なのは外部抵抗2つだけです。VTHは1.18V~2.4Vの範囲でプログラマブルであるため、RSSI出力の有効範囲を十分にカバーします。オペアンプは超低消費電流で動作し、正確な温度安定性の高いスレッシュールドを提供しますが、電流のソース能力は僅か20µAです。適正な動作のためには、R1(「標準動作回路」を参照)を100k以上にしてください。INVでの入力バイアス電流は50nA以下です。

LOS動作のチャタリングをなくすため、内部LOSコンパレータは約90mVのヒステリシスを持っています。RSSI信号出力のスロープは25mV/dBです。従って、全体的な回路のヒステリシスは約3.6dB [90mV/(25mV/dB)]となります。LOS発生スレッシュールドはVTHよりも45mV下であり、LOS発生停止スレッシュールドはVTHより45mV上です。

出力バッファ

DISABLEピンを使用して、データ出力バッファをディセーブルすることができます。DISABLEがハイの場合は、OUT+及びOUT-における差動出力信号はほぼゼロになります。ディセーブルされた状態では、各出力のコモンモード電圧が約V_{CC}-0.8Vとなります。DISABLEを

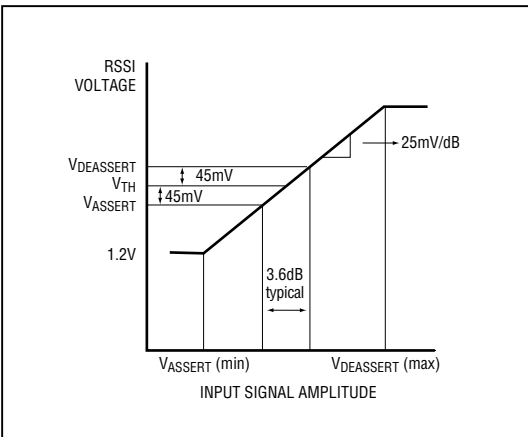


図2. ロスオブシグナルの定義

LOS+に接続するとスケルチ機能可以实现できます。スケルチ機能を使用すると、入力信号が小さすぎて確実に検出できないとき(VTHの電圧で決定)には、出力信号が常にディセーブルされます。ディセーブル機能は常に使用することが推奨されます。

データ出力(OUT+及びOUT-)は、出力インピーダンスが約2Ωのエミッタフォロワで構成されています。MAX3762のPECL LOS出力も同様に出力インピーダンスが約2Ωのエミッタフォロワで構成されています。MAX3761のTTL LOS出力バッファは、6kΩの内部プルアップ抵抗付オープンコレクタトランジスタです。

設計手順

電源電圧

MAX3761/MAX3762は、単一の+5V又は-5V電源で動作します。

LOS発生レベルの設定

最初に、レーザシステムの感度を見積りあるいはプロトタイプ(試作)の結果から求めてください。プリアンプ及びフォトダイオードの総利得を見積り、図3を使用して抵抗R2を選択します。レーザ感度の3dB~4dB下でLOSが発生するようにしてください。

別の方法としては、「標準動作特性」を使用してLOSの発生に必要なVTH値を選択し、次式を使用してVTHを設定してください。

$$V_{TH} = 1.18(1 + R2 / R1)$$

R1については、100kΩ以上のものを選択してください。

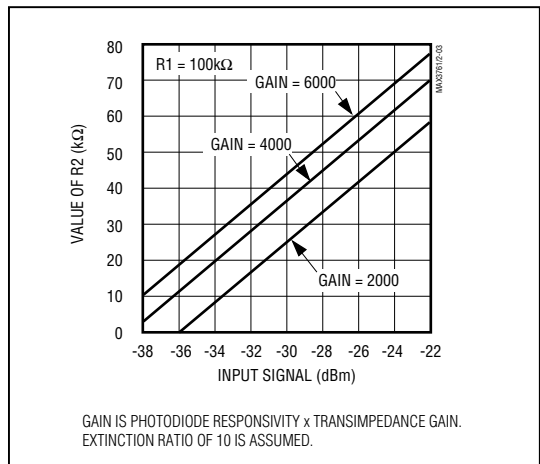


図3. TIA利得とフォトダイオードの応答性を用いてLOS設定抵抗を選択

LAN用、チャタリングのないパワー検出付低電力、622Mbpsリミティングアンプ

コンデンサの選択

MAX3761/MAX3762の標準的な用途では、4つの外付コンデンサが必要です。コンデンサを選択するには、まずレシーバシステムの下記のパラメータを求めてください(622Mbps ATM及びファイバチャネル1063Mbpsシステムのアプリケーション情報の項を参照してください)。

- 1) データストリームに予想される最も長い連続ビット列の持続時間。例えば、622Mbpsのデータストリームで72個のゼロが連続した場合の持続時間は116nsとなります。
- 2) 最大許容データ依存ジッタ
- 3) 希望するパワーディテクタ積分時間定数 $[1/(2 \cdot f_{INT})]$ 。
- 4) トランスインピーダンスアンプの最大ピーク間出力電圧。

ステップ1. 入力ACカップリングコンデンサ(C_{IN})の選択

ハイパス周波数応答を持つリミティングプリアンプを使用するときは、低周波カットオフ(f_C)がプリアンプの低周波カットオフより1桁下になるような C_{IN} を選択してください。これにより殆ど全てのデータ依存ジッタ(DDJ)がプリアンプ回路で生成されるようになります。例えば、プリアンプの低周波カットオフが150kHzの場合は低周波カットオフが15kHzになるような C_{IN} を選択してください。

C_{IN} は次式で選択してください。

$$C_{IN} = \frac{1}{2\pi f_C 1950\Omega}$$

差動入力信号の場合は、 C_{IN} に等しいコンデンサを両方の入力(VIN+及びVIN-)に対して使用してください。シングルエンド入力信号の場合は、片方のコンデンサをVIN+に接続し、他方をVIN-をグランドにデカップリングしてください。

ハイパス応答を持たないプリアンプを使用する場合は、データ依存ジッタが許容範囲内になるような C_{IN} を選択してください。次式で C_{IN} を見積もることができます。

$$C_{IN} \geq \frac{-t_L}{1950 \ln \left[1 - \frac{(DDJ)(BW)}{0.5} \right]}$$

ここで、 t_L =連続して同じ値を持つビット列のうちの最も長いものの持続時間(秒)、DDJ=最大許容データ依存ジッタ(ピーク間、秒)、BW=標準システム帯域幅(通常はデータレートの0.6~1.0倍、Hz)です。

どの方法で C_{IN} を選択した場合でも、 C_{IN} の値から最大LOS発生時間を見積もることができます。次式は最大振幅信号が瞬間的に入力から除去されて、しかもFILTER時間定数が入力時間定数よりもさらに速い場合($C_{FILTER} < 0.4C_{IN}$)にLOS時間遅延を見積もるための式です。

$$t_{LOS \text{ ASSERT}} = 1950 C_{IN} \ln(V_{MAXp-p} / V_{ASSERTp-p})$$

ここで V_{MAXp-p} はプリアンプの最大出力、 $V_{ASSERTp-p}$ はLOSを発生させる入力振幅です。この式は入力コンデンサを最大入力からLOSスレッシュドまで、1950のシングルエンド入力抵抗に放電するときの放電時間を表しています。

ステップ2. オフセット補正コンデンサ(C_{AZ})の選択
安定性を保持するためには、 f_C とDCオフセット補正回路の低周波カットオフ(f_{OC})を1桁離すことが重要です。

CZPとCZNの間のカインピーダンスは、約800kの抵抗と10pFの並列容量です。その結果、DCオフセット補正ループの低周波カットオフ(f_{OC})は次式で計算されます。

$$f_{OC} = \frac{1}{2\pi 800k\Omega (C_{AZ} + 10pF)}$$

ここで、 C_{AZ} はCZPとCZNの間のオプションの外付コンデンサです。

C_{IN} が既知であれば、次のようになります。

$$C_{AZ} \geq \frac{C_{IN}}{41} - 10pF$$

ステップ3. パワー検出積分コンデンサ(C_{FILTER})の選択
622Mbps ATMアプリケーションの場合、マキム社ではフィルタ周波数として3MHzを推奨しています。この場合、 $C_{FILTER} = 100pF$ が必要です。低周波ノイズを除去するため、あるいは例外的なデータシーケンスによってLOSの発生を防ぐために積分周波数を低めに選択することもできます。

$$C_{FILTER} = 1 / (2\pi 500 f_{INT})$$

ここで、 f_{INT} は積分周波数です。

LAN用、チャタリングのないパワー検出付低電力、622Mbpsリミティングアンプ

アプリケーション情報

平均光パワーを信号振幅に変換する方法

MAX3761/MAX3762の仕様項目の多くは入力信号振幅に関係しています。光ファイバレシーバの場合、入力は通常平均光パワー及び消滅比によって表されます。表1の関係式は、MAX3761/MAX3762を使った設計で光パワーを入力信号に変換する場合に役立ちます。

表1. 光パワーの関係式*

PARAMETER	SYMBOL	RELATION
Average Power	P_{AVE}	$P_{AVE} = (P_0 + P_1) / 2$
Extinction Ratio	r_e	$r_e = P_1 / P_0$
Optical Power of a "1"	P_1	$P_1 = 2P_{AVE} \frac{r_e}{r_e + 1}$
Optical Power of a "0"	P_0	$P_0 = 2P_{AVE} / (r_e + 1)$
Signal Amplitude	P_{IN}	$P_{IN} = P_1 - P_0 = 2P_{AVE} \frac{(r_e - 1)}{r_e + 1}$

*平均入力データのデューティサイクルを50%と仮定(SONET/ATMデータに該当)。

光レシーバの場合、リミティングアンプの入力電圧は表1の関係式にフォトダイオードの応答性(p)とトランスインピーダンスアンプの利得(G)を掛けることで得られます。

光ヒステリシス

パワー及びヒステリシスは通常、デシベル単位で表現されます。デシベルは $10 \log(\text{パワー})$ で定義されています。MAX3761/MAX3762のリミティングアンプの入力では、パワーは V_{IN}^2/R です。レシーバの光入力パワー(x)が2倍に増えてプリアンプがリニアだとすると、MAX3761/MAX3762への電圧入力も2倍に増えます。光パワー変化は $10 \log(2x/x) = 10 \log(2) = +3 \text{dB}$ です。MAX3761/MAX3762での電圧変化は、次のようになります。

$$10 \log \frac{(2y)^2/R}{y^2/R} = 10 \log(2^2) = 20 \log(2) = +6 \text{dB}$$

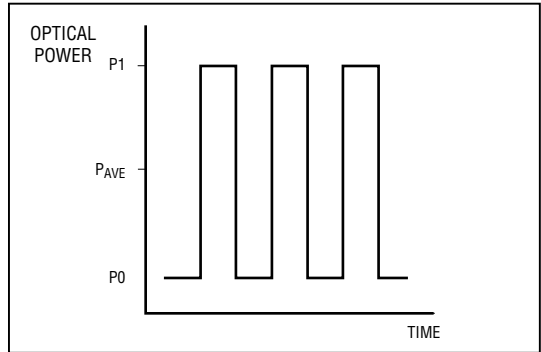


図4. 光パワーの関係

光レシーバにおけるMAX3761/MAX3762でのdB変化は、常に光dB変化の2倍になります。

MAX3761/MAX3762の標準電圧ヒステリシスは3.6dBです。即ち、光ヒステリシスは1.8dBとなります。

入力感度

完全に制限されたPECLコンパチブルデータ出力をもたらす最小の信号は、入力レシーバの利得感度によって決まります。これより小さな信号は非制限出力になります。MAX3761/MAX3762の入力感度(S_{GAIN})は4mVp-pです。

$$S_{GAIN} = 4 \text{mV}$$

光利得感度(dBm単位)は、

$$10 \log \left[\frac{S_{GAIN}}{2Gp} \times \frac{r_e + 1}{r_e - 1} \times 1000 \right]$$

$G = 6k$ 、 $r_e = 10$ 、及び $\rho = 0.8 \text{A/W}$ のレシーバでは、利得感度は、510nW、即ち-32.9dBmとなります。

622Mbps ATMの部品選択

例えば、低周波カットオフが150kHzで最大出力が950mVp-pのプリアンプの場合は、下記の部品で最高の性能を発揮します。

$C_{IN} = 5.6 \text{nF}$ 、これは $f_C = 15 \text{kHz}$ (150kHzカットオフの1桁下)とするためです。

$C_{AZ} = 150 \text{pF}$ 、これは $f_{OC} < 1.5 \text{kHz}$ (f_C の1桁下)とするためです。

$C_{FILTER} = 100 \text{pF}$ 、これは積分周波数を3MHzとするためです。

これらの部品を選択することで、連続入力72ビット以下のPRBSデータから構成される場合に、データ依存ジッタは110ps p-p以下になります。

LAN用、チャタリングのないパワー検出付低電力、622Mbpsリミティングアンプ

LOSを-3.5dBmで発生したい場合は、 $R1 = 100k$ 及び $R2 = 22k$ を選択してください。これにより、入力が約3mVのときにLOSが発生します。この場合、LOS発生時間は通常85 μ s以下です。

ファイバチャネルの部品選択

ファイバチャネルアプリケーションでは、望ましいLOS発生時間は、普通最大25 μ sです。また、8B10Bコーディング技法によりデータ依存ジッタが低減されています。プリアンプ利得が2000V/W、LOS発生の設定が-2.4dBm(MAX3761/MAX3762入力が1.3mV)及びMAX3761/MAX3762への最大入力が1Vp-pであるファイバチャネルシステムでは、下記の部品定数が推奨されます。

$C_{IN} = 3.3nF$ (LOS発生時間を25 μ sにするため)

$C_{AZ} = 82pF$ ($f_{OC} = 1/10 f_C$ として安定性を確保するため)

$C_{FILTER} = 100pF$ (積分定数を3MHzとするため)

$R1 = 100k$ 、 $R2 = 50k$ (-2.4dBmでLOSを発生させるため)

PECL終端処理

最高の性能と出力特性を得るためには、標準PECL終端処理(50 Ω で $V_{CC} - 2V$)が推奨されます。データ出力は高速で動作するため、常に50 Ω から70 Ω の終端を持つ伝送ラインを駆動するようにしてください。全ての出力での平衡終端処理をお勧めします。

図5に示すのは、データ出力の終端処理の別方法です。この技法は出力終端として8mAのDCバイアス電流(AC負荷50 Ω)を提供します。この技法は出力をオシロスコープで見たり、PECLリファレンス電圧を変更する場合に便利です。

MAX3762のPECL LOS出力は比較的遅いため、50 Ω の終端処理を必要としません(50 Ω を駆動する能力があります)。パワーを節約するため、MAX3762のLOS出力は500 Ω で終端処理できます。図6にMAX3762の標準動作回路を示します。

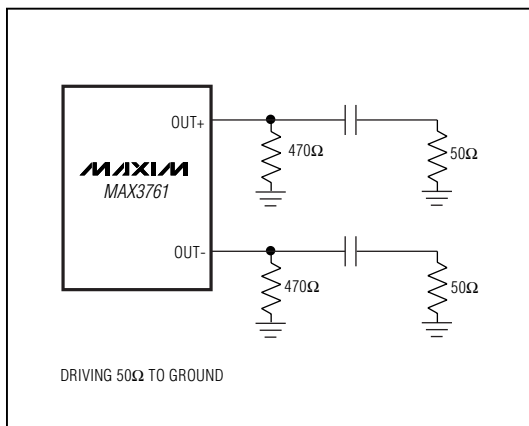


図5. PECL終端処理の別方法

ワイヤボンディング

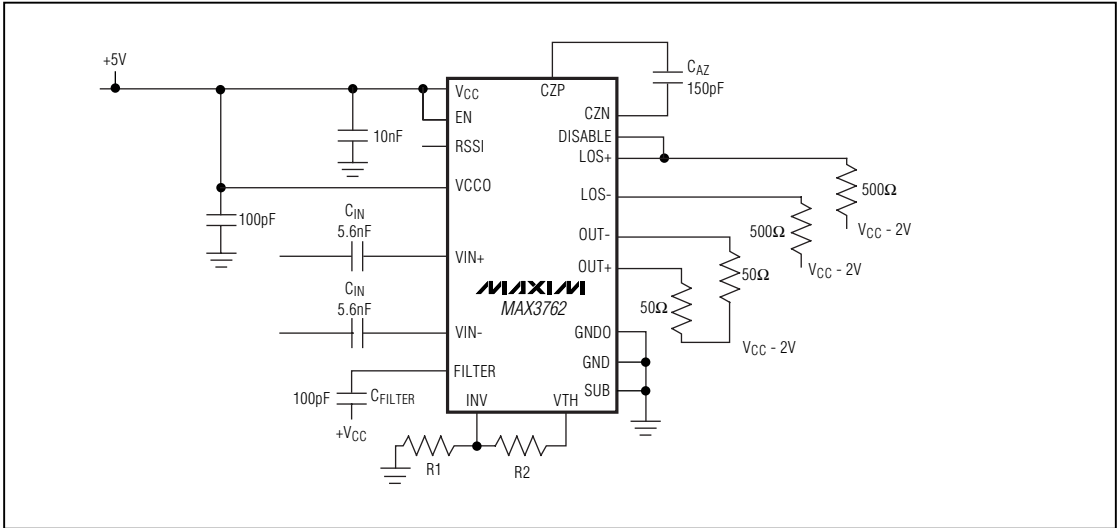
MAX3761/MAX3762は電流密度が高いため、信頼性を高めるために金被覆を施してあります。チップへの接続は金ワイヤでのみ行い、ボールボンディング法を使用してください。(ウェッジボンディングは推奨されません。)チップのパッドサイズは0.1mm四方でピッチは0.15mmです。チップの厚さは0.3mmです。

レイアウト技法

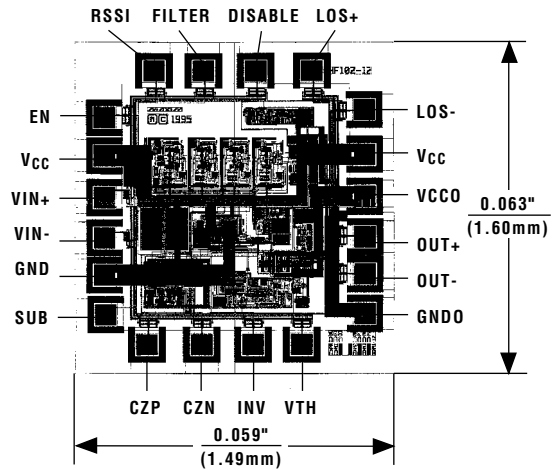
MAX3761/MAX3762は高周波、広帯域幅回路です。安定性を保証するために良質な高周波レイアウト技法を使用してください。電圧電源はフィルタリングし、グランドへの接続は短くしてください。可能な限り複数のビアを使用してください。MAX3761/MAX3762のデータ出力を他の回路に接続するには、コントロールドインピーダンス伝送ラインを使用してください。

LAN用、チャタリングのないパワー検出付低電力、 622Mbpsリミティングアンプ

標準動作回路 (続き)



チップ構成図



TRANSISTOR COUNT: 961
SUBSTRATE CONNECTED TO SUB

