

622Mbps、3.3Vクロックリカバリ及び データタイミングIC、リミテイングアンプ付

概要

MAX3676は、リミテイングアンプを備えた完全クロックリカバリ及びデータタイミングICです。622Mbps SDH/SONETアプリケーション用に設計されており、+3.3V単一電源で動作します。

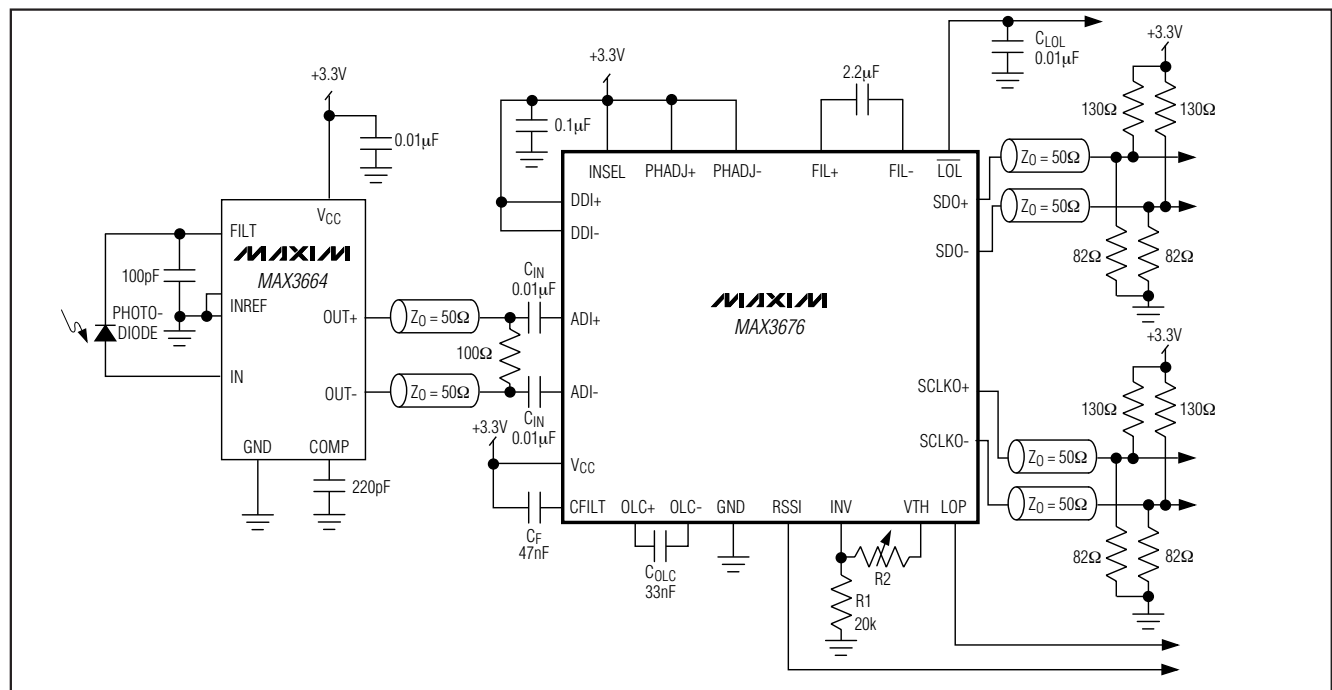
MAX3876は、OC-12/STM-4伝送システムのセクションリジェネレータ及びターミナルレーバアプリケーション用に設計されています。ジッタ性能は、全てのSONET/SDH仕様を上回っています。

MAX3676は、2つの差動アンプを備えています。1つは正基準エミッタカップリングロジック(PECL)レベルを受け付け、もう1つは小信号アナログレベルを受け付けます。アナログ入力のリミテイングアンプ段に入力されますが、そこには受信信号強度インジケータ(RSSI)及びスレッシュホールドの設定が可能なロスオブパワー(LOP)モニタの両方の機能があります。PECLアンプを選択するとリミテイングアンプがディセーブルされ、電力が節約されます。ロスオブブロック(LOL)モニタが、完全集積PLLの一部として組み込まれています。

アプリケーション

- SDH/SONET伝送システム
- SDH/SONETアクセスノード
- アッド/ドロップ・マルチプレクサ
- ATMスイッチ
- デジタルクロスコネクト

標準動作回路



特長

- ◆ 電源：+3.3V又は+5.0V単一
- ◆ ITU/Bellcore SDH/SONETリジェネレータ仕様に適合
- ◆ 低電力：+3.3Vで237mW
- ◆ データ入力選択可能：差動PECL又はアナログ
- ◆ 受信信号強度インジケータ
- ◆ ロスオブパワー及びロスオブブロックモニタ
- ◆ 差動PECLクロック及びデータ出力
- ◆ 外部リファレンスクロック不要

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3676EHJ	-40°C to +85°C	5mm 32 TQFP
MAX3676E/D	-40°C to +85°C	Dice*

* 入手可能性についてはお問い合わせください。チップは-40 ~ +140 の範囲で動作するように設計されていますが、試験と保証は $T_j = +45$ のみ行われています。

ピン配置はデータシートの最後に記載されています。

622Mbps、3.3Vクロックリカバリ及び データリタイミングIC、リミティングアンプ付

MAX3676

ABSOLUTE MAXIMUM RATINGS

Supply Voltage, V_{CC}	-0.5V to +6.5V	CFILT	($V_{CC} - 2.5V$) to ($V_{CC} + 0.5V$)
Input Voltage Levels, DDI+, DDI-, ADI+, ADI-	-0.5V to ($V_{CC} + 0.5V$)	INV	-0.5V to +2.0V
Input Differential Voltage (ADI+) - (ADI-).....	$\pm 3V$	Continuous Power Dissipation ($T_A = +85^\circ C$)	
PECL Output Currents, SDO+, SDO-, SCLKO+, SCLKO- ...	100mA	TQFP (derate 11.1mW/ $^\circ C$ above +85 $^\circ C$).....	721mW
LOL, LOP, INSEL, PHADJ+, PHADJ-	-0.5V to ($V_{CC} + 0.5V$)	Operating Junction Temperature Range.....	-40 $^\circ C$ to +150 $^\circ C$
FIL+, FIL-, OLC+, OLC-, RSSI, VTH	-0.5V to ($V_{CC} + 0.5V$)	Storage Temperature Range	-65 $^\circ C$ to +150 $^\circ C$
(OLC+) - (OLC-).....	$\pm 3V$	Processing Temperature (die)	+400 $^\circ C$
(FIL+) - (FIL-)	$\pm 700mV$	Lead Temperature (soldering, 10sec)	+300 $^\circ C$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

($V_{CC} = +3.0V$ to +5.5V, $T_A = -40^\circ C$ to +85 $^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Notes 1, 2)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Supply Current	I_{CC}	MAX3676EHJ, PECL outputs unterminated	INSEL = V_{CC}		72	111	mA
			INSEL = GND		51	81	
PECL Input Voltage High	V_{IH}		$V_{CC} - 1.16$		$V_{CC} - 0.88$	V	
PECL Input Voltage Low	V_{IL}		$V_{CC} - 1.81$		$V_{CC} - 1.48$	V	
PECL Input Current High	I_{IH}		-10		10	μA	
PECL Input Current Low	I_{IL}		-10		10	μA	
PECL Output Voltage High	V_{OH}	$T_A = 0^\circ C$ to +85 $^\circ C$	$V_{CC} - 1.025$		$V_{CC} - 0.88$	V	
		$T_A = -40^\circ C$	$V_{CC} - 1.085$		$V_{CC} - 0.88$		
PECL Output Voltage Low	V_{OL}	$T_A = 0^\circ C$ to +85 $^\circ C$	$V_{CC} - 1.81$		$V_{CC} - 1.620$	V	
		$T_A = -40^\circ C$	$V_{CC} - 1.83$		$V_{CC} - 1.555$		
LOP, LOL Voltage High	V_{OH}		2.4			V	
LOP, LOL Voltage Low	V_{OL}		0.1		0.4	V	
INV Input Bias Voltage		4k Ω between INV and VTH	1.10	1.23	1.30	V	

Note 1: Dice are tested at $T_j = +45^\circ C$, $V_{CC} = +4.25V$.

Note 2: At $T_A = -40^\circ C$, DC characteristics are guaranteed by design and characterization.

622Mbps、3.3Vクロックリカバリ及び データリタイミングIC、リミティンクアンプ付

MAX3676

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0V to +5.5V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at V_{CC} = +3.3V and T_A = +25°C.)
(Notes 3, 4)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Differential Input Voltage Range	V _{ID}	BER < 10 ⁻¹⁰ , ADI inputs (Note 5)	0.003		1.2000	V _{p-p}
Input-Referred Noise	V _N	ADI inputs		80		μV _{RMS}
Power-Detect Hysteresis		(Notes 6, 7)	3		6	dB
Limiting Amplifier Small-Signal Bandwidth	BW	(Note 8)		650		MHz
RSSI Output Voltage		(ADI+) - (ADI-) = 2mV _{p-p}		1.40		V
		(ADI+) - (ADI-) = 20mV _{p-p}		1.93		
Threshold Voltage	V _{TH}	(Note 7)		1.41		V
LOP Threshold Accuracy		(Note 7)	-2		+2	dB
RSSI Linearity		(ADI+) - (ADI-) = 2mV _{p-p} to 50mV _{p-p}		±0.7		%
RSSI Slope		(ADI+) - (ADI-) = 2mV _{p-p} to 50mV _{p-p} (Note 9)		26		mV/dB
Loop Bandwidth		C _F = 2.2μF		250	500	kHz
Jitter Generation (Note 10)		C _F = 2.2μF		2.0	2.6	mUI
Jitter-Transfer Peaking		C _F = 2.2μF		0.03	0.08	dB
Jitter Tolerance (Note 11)		C _F = 2.2μF	f = 10kHz		8.9	UI
			f = 25kHz	(Note 12)	3.64	
			f = 250kHz	0.55	0.77	
			f = 1MHz	0.45	0.69	
Maximum Consecutive Input Run Length (1 or 0)				1200		Bits
Clock Transition Time	t _r , t _f	20% to 80%		205	245	ps
Data Transition Time	t _r , t _f	20% to 80%		180	230	ps
Serial Clock-to-Q Delay	t _{CLK-Q}		140	275	400	ps
Serial Clock Frequency	f _{SCLK}			622.08		MHz

Note 3: AC parameters are guaranteed by design and characterization.

Note 4: The MAX3676 is characterized with a PRBS of 2²³ - 1 maintaining a BER of ≤ 10⁻¹⁰ having a confidence level of 99.9%.

Note 5: A lower minimum input voltage of 2mV_{p-p} is achievable; however, the LOP hysteresis is not guaranteed below 3.6mV_{p-p}.

Note 6: Hysteresis = 20log(V_{RELEASE} / V_{ASSERT}).

Note 7: R₁ = 20kΩ, R₂ = 3.0kΩ, resulting in V_{RELEASE} ≈ 3.6mV_{p-p}.

Note 8: Small-signal bandwidth cannot be measured directly.

Note 9: RSSI slope = [V_{RSSI2} - V_{RSSI1}] / [20log (V_{ID2} / V_{ID1})].

Note 10: 1UI = 1 unit interval = (622.08MHz)⁻¹ = 1.608ns.

Note 11: At jitter frequencies <10kHz, the jitter tolerance characteristics exceed the ITU/Bellcore specifications. The low-frequency jitter tolerance outperforms the instrument's measurement capability.

Note 12: See *Typical Operating Characteristics* for worst-case distribution.

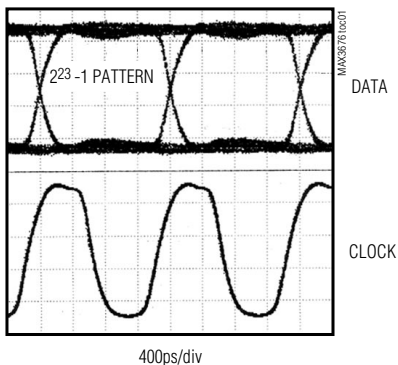
622Mbps、3.3Vクロックリカバリ及び データリタイミングIC、リミテイングアンプ付

MAX3676

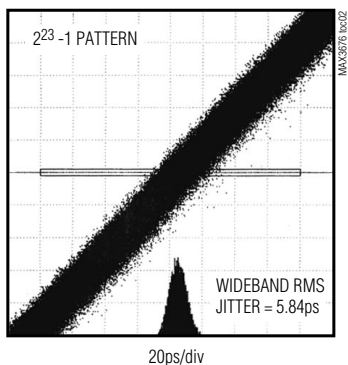
標準動作特性

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

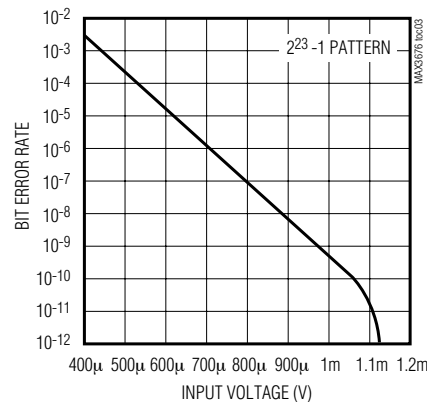
RECOVERED DATA AND
CLOCK (SINGLE ENDED)



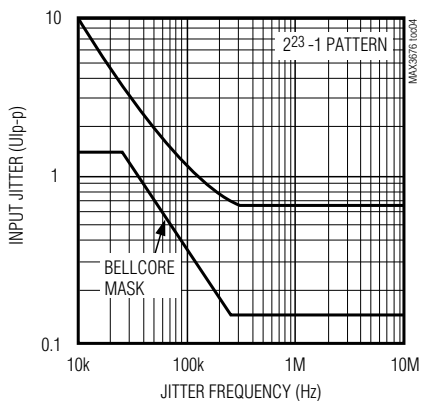
RECOVERED CLOCK JITTER



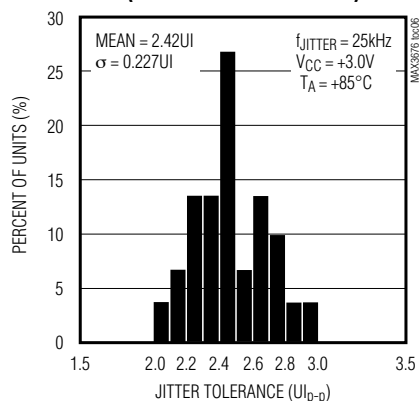
BIT ERROR RATE
vs. ADI INPUT VOLTAGE



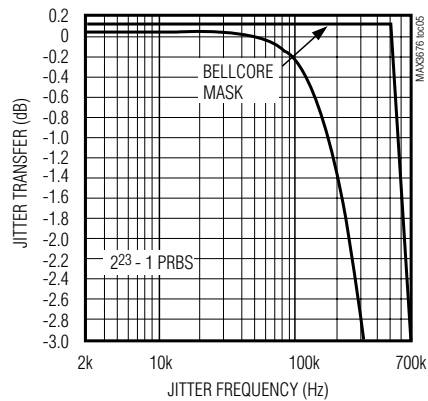
JITTER TOLERANCE



DISTRIBUTION OF JITTER TOLERANCE
(WORST-CASE CONDITIONS)



JITTER TRANSFER

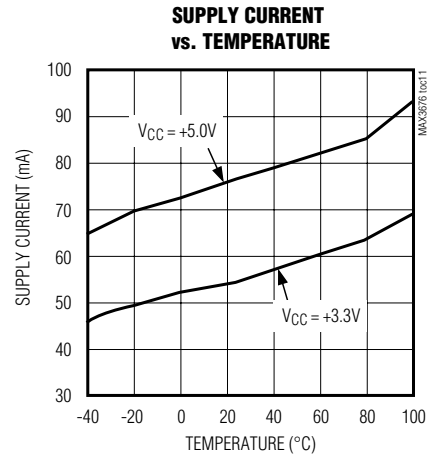
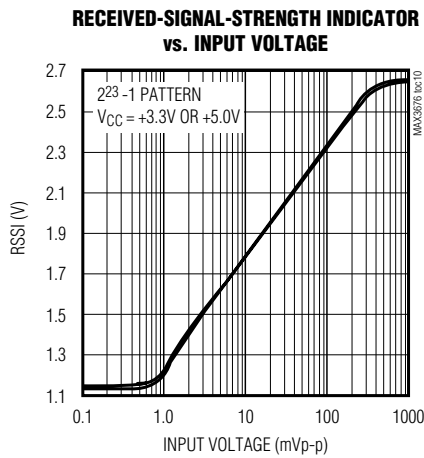
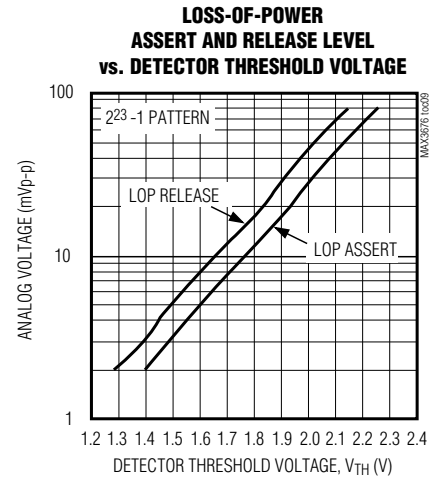
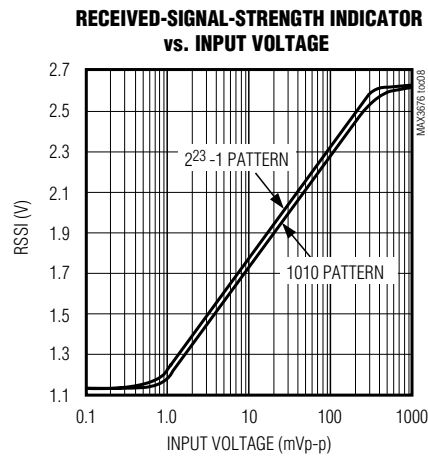
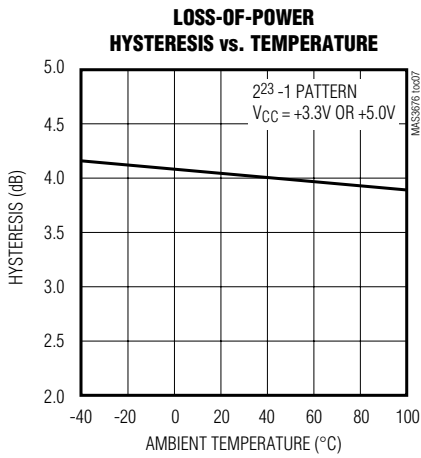


622Mbps、3.3Vクロックリカバリ及びデータリタイミングIC、リミティングアンプ付

MAX3676

標準動作特性(続き)

($V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)



622Mbps、3.3Vクロックリカバリ及び データタイミングIC、リミティングアンプ付

MAX3676

端子説明

端子	名称	機能
1	OLC+	正オフセット補正ループコンデンサ入力
2	OLC-	負オフセット補正ループコンデンサ入力
3	RSSI	受信信号強度インジケータ出力
4, 8, 16, 24, 25	GND	電源グランド
5	INV	オペアンプ反転入力。オペアンプを使用しない場合は、グランドに接続してください。
6	VTH	電圧スレッシュールド入力。ロスオブパワーモニタのスレッシュールド電圧。LOP機能を使用しない場合はV _{CC} に接続してください。
7	LOP	ロスオブパワー出力(TTL)。リミティングアンプのロスオブパワーモニタ。入力信号がVTHで設定されたスレッシュールド以下になるとハイになります。
9, 12, 15, 18, 21, 31	V _{CC}	正電源電圧。
10	SCLKO-	負シリアルクロック出力(PECL、622.08MHz)。SDO-はSCLKO-の立下がりエッジでクロック出力されます。
11	SCLKO+	正シリアルクロック出力(PECL、622.08MHz)。SDO+はSCLKO+の立上がりエッジでクロック出力されます。
13	SDO-	負シリアルデータ出力(PECL、622.08MHz)
14	SDO+	正シリアルデータ出力(PECL、622.08MHz)
17	\overline{LOL}	ロスオブロック出力(TTL)。アクティブローのPLLロスオブロックモニタ(「設計手順」を参照)。
19	PHADJ-	負位相調節入力。内部PLL位相を最適に調節するために使用されます。使用しない場合はV _{CC} に接続してください。
20	PHADJ+	正位相調節入力。内部PLL位相を最適に調節するために使用されます。使用しない場合はV _{CC} に接続してください。
22	FIL-	負フィルタ入力。PLLループフィルタの接続部。
23	FIL+	正フィルタ入力。PLLループフィルタの接続部。
26	DDI+	正デジタルデータ入力(PECL、622.08MHzシリアルデータストリーム)
27	DDI-	負デジタルデータ入力(PECL、622.08MHzシリアルデータストリーム)
28	INSEL	入力選択。デジタルデータ入力を選択する時はGNDに接続し、アナログデータ入力を選択する時はV _{CC} に接続してください。
29	ADI-	負アナログデータ入力(622.08MHzシリアルデータストリーム)
30	ADI+	正アナログデータ入力(622.08MHzシリアルデータストリーム)
32	CFILT	RSSIフィルタコンデンサ入力

622Mbps、3.3Vクロックリカバリ及びデータリタイミングIC、リミティングアンプ付

MAX3676

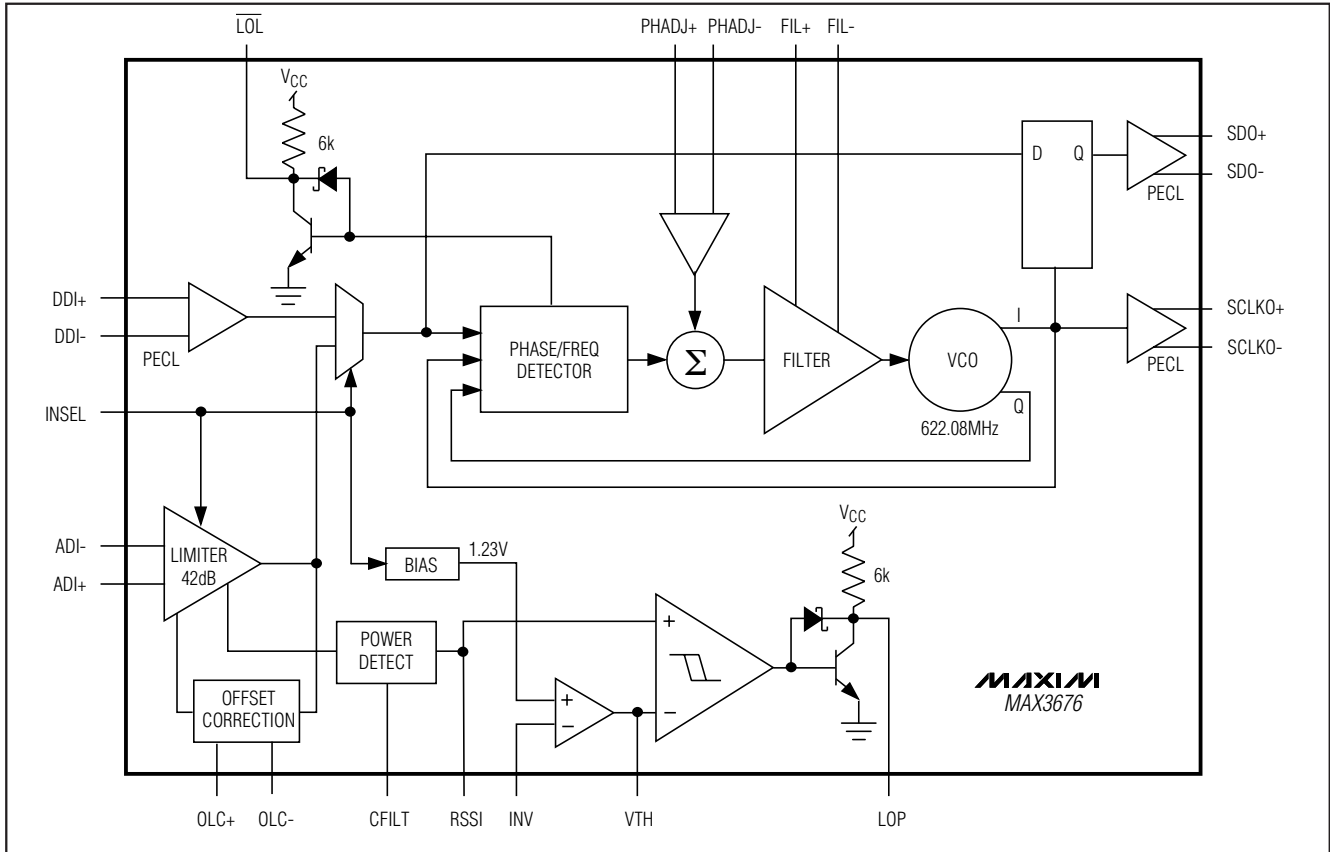


図1. ファンクションダイアグラム

詳細

図1のブロック図にMAX3676の構造を示します。リミティングアンプ入力段の後に、位相ロックループ(PLL)による完全集積クロック/データリカバリ(CDR)ブロックがあります。入力段は、リミティングアンプ又はシンプルなPECL入力バッファを選択できます。リミティングアンプは、ロスオブパワー(LOP)モニタ及び受信信号強度インジケータ(RSSI)を備えています。PLLは、位相/周波数検出器(PFD)、ループフィルタアンプ及び電圧制御発振器(VCO)で構成されています。

リミティングアンプ

MAX3676のオンチップ・リミティングアンプは、3.0mVp-p ~ 1.2Vp-pの入力信号レベルを許容します。アンプは、全波対数検出器を含む利得段のカスケードになっています。複合小信号利得は約42dBで、-3dB帯域幅は650MHzです。入力を基準としたノイズは80µVRMS以下であるため、小振幅のデータストリームに対して優れた感度を発揮します。

リミティングアンプは、CDRを駆動するほかに、RSSI出力及びユーザがスレッシュホールド電圧をプログラムできるLOPモニタを提供しています。RSSI回路は、ADI+とADI-の間で検出された(デシベル単位の)入力電力に直線的に比例する出力電圧を生成します。最低2mVp-pまでの信号を高い信頼度で検出できる感度を備えています(「標準動作特性」)。

入力DCオフセットは電力検出器の精度を低減させるため、利得段の入力オフセットを自動的にゼロにする集積フィードバックループが装備されています。このオフセット補正ループがあるため、ADI+及びADI-入力を使用する場合は入力信号をACカップリングする必要があります。

最後に、リミティングアンプを必要としないアプリケーションでは、デジタル入力を選択するとポストアンプブロックがターンオフされ、電力を節約できます。

622Mbps、3.3Vクロックリカバリ及び データリタイミングIC、リミティングアンプ付

MAX3676

位相検出器

位相検出器は、入ってくるデータと内部クロックの間の位相差に比例する電圧を生成します。フィードバックの性質により、PLLは再生クロックを入力データに同期させるように、エラー電圧をゼロにドライブします。外部位相調節ピン(PHADJ+、PHADJ-)により、内部位相調整を変更できます。

周波数検出器

PLLに内蔵されている周波数検出器は、入力データストリームのエッジを使用してVCOクロックの直交成分をサンプリングします。これにより、スタートアップ時の取り込みを補助する差分周波数が発生します。PFDは、差分周波数の極性に従って差分周波数がゼロに減少するようにVCOを駆動します。一旦周波数が取り込まれると、周波数検出器はニュートラル状態に戻ります。

ループフィルタ及びVCO

VCOは完全集積化されていますが、ループフィルタには外部R-Cネットワークを必要とします。このフィルタネットワークにより、2次PLLのピーキング及び帯域幅が決まります。

設計手順

受信信号インジケータ(RSSI)

RSSI出力電圧は、温度及び電源電圧の変動には影響されません。パワー検出器は検出器帯域幅内の全ての信号の全RMSパワー(入力信号ノイズを含む)を検出する広帯域パワーメータとして機能します。RSSI電圧は、2mVp-p~50mVp-pの入力に対して(デシベル単位で)直線的に変化します。この入力範囲における勾配は、約26mV/dBです。

高速RSSI信号は、CFILTとV_{CC}の間の1個の外部コンデンサによってRMSレベルにフィルタリングされます。CFILTへのインピーダンスはV_{CC}に対し約500Ωです。その結果、低い方の-3dBカットオフ周波数は、次の簡単な関係によって設定されます。

$$f_{\text{FILT}} = 1 / [2\pi(500)C_F]$$

622Mbpsアプリケーションの場合、マキシム社ではカットオフ周波数として6.8kHzを推奨しています。この場合C_F=47nFが必要です。RSSI出力はグランドへの最小負荷抵抗100kΩ及び最大20pFを駆動するように設計されています。20pF以上の負荷は、100kΩの直列抵抗によってバッファする必要があります(電圧計)。

入力オフセット補正

オンチップ・リミティングアンプでは、42dB以上の利得を備えています。入力オフセットを除去するために、

MAX3676には低周波数フィードバックループが組み込まれています。ADI+及びADI-入力へのDCカップリングは、DCオフセット補正回路が適正に作動しなくなるため、許容されません。

差動入力インピーダンス(Z_{IN})は、約2.5kΩです。OLC+とOLC-の間のインピーダンス(Z_{OLC})は、約120kΩです。入力DC阻止コンデンサ(C_{IN})及びオフセット補正ループコンデンサ(C_{OLC})による複合低周波数カットオフ(f_{CUTOFF})を設定する時は、注意してください。C_{IN}及びC_{OLC}の選択については、表1を参照してください。

これらの値により、C_{IN}及びC_{OLC}によるポールが相互に作用し合っ、低い方の-3dBコーナー周波数の場合の応答が平坦(利得ピーキングなし)になります。

f_{CUTOFF}の偏差を最小限に抑えるため、C_{IN}としてはX7Rタイプの低TC高品質コンデンサ又はそれよりも高品質のものを使用してください。C_{OLC}は、Z5Uタイプ以上の高品質のものであることが必要です。

ロスオブパワー(LOP)モニタ

ユーザプログラマブルのスレッシュホールド及びヒステリシスコンパレータを備えたLOPモニタも、リミティングアンプ回路に内蔵されています。コンパレータ入力の片方は、内部でRSSI出力信号に接続され、他方はスレッシュホールド電圧(V_{TH})に接続されています。V_{TH}は外部から設定でき、LOP表示のトリップポイントです。電源に依存しないスレッシュホールド電圧を設定できるように、内部バンドギャップ電圧(1.23V)を基準とする低電圧低ドリフトオペアンプを使用しています。このオペアンプは、LOPトリップポイントを設定するために2つの外付抵抗を必要とします。V_{TH}は、次式を使用して1.23V~2.6Vの範囲で設定できます。

$$V_{\text{TH}} = 1.23(1 + R_2/R_1)$$

このオペアンプは、電流ソースとして100µAしか供給できません。このため、適正動作にはR1値として20kΩが推奨されます。INVピンにおけるオペアンプのバイアス電流は、±100nA以下です。

表1. 低周波数カットオフの設定

C _{IN}	C _{OLC}	COMBINED LOW f _{CUTOFF} (kHz)
0.022µF	0.15µF	3.0
0.010µF	0.1µF	6.8
6800pF	0.082µF	10
4700pF	0.033µF	13.5
2200pF	0.015µF	29
1000pF	0.01µF	68
470pF	3300pF	135
330pF	2200pF	190
220pF	1500pF	290

622Mbps、3.3Vクロックリカバリ及びデータリタイミングIC、リミティングアンプ付

コンパレータは、アクティブハイLOP出力構成になっています。外部部品点数を少なくするために、6k プルアップ抵抗が内蔵されています。

ループフィルタの設定

MAX3676は、リジェネレータ及びレーザアプリケーション両用に設計されています。完全内蔵PLLは伝統的な2次フィードバックシステムで、ループ帯域幅(f_L)は250kHzに固定されています。外付コンデンサ C_F を調節することによって、ループダンピングを設定できます。図2及び3に、開ループ及び閉ループ伝達関数を示します。PLLゼロ周波数 f_Z は外付コンデンサ C_F の関数であり、次式で近似されます。

$$f_Z = \frac{1}{2\pi(90) C_F}$$

オーバダンピングされたシステム($(f_Z/f_L) < 0.25$)では、2次システムのジッタピーキング(M_p)は次式で近似されます。

$$M_p = 20\log\left(1 + \frac{f_Z}{f_L}\right)$$

例えば、 $C_F = 0.22\mu\text{F}$ を使用すると、ジッタピーキングが0.27dBになります。 C_F を $0.22\mu\text{F}$ よりも小さくすると、PLLが不安定になることがあります。最大ジッタピーキングを0.1dB未満にするための C_F の推奨値は $2.2\mu\text{F}$ です。

MAX3676は、長い連続した0と1の文字列に対してロックを確立して、 10^{-10} 以下のビットエラーレート(BER)を実現するように最適に設計されています。MAX3676は、1200個以上の連続した1又は0を許容することが測定により示されています。 C_F を小さくすると、許容連続同一0及び1の数が減ります。 C_F はX7R又はそれよりも高品質の低TC、高効率コンデンサである必要があります。

ロック検出

MAX3676のLOLモニタは、PLLがロックされているかどうかを表示します。通常動作では、ループはロックされており、 $\overline{\text{LOL}}$ 出力信号はハイです。MAX3676がロックを失うと、 $\overline{\text{LOL}}$ に急峻な負方向の遷移が起こります。ループが再びロックを得るまで、出力レベルは(C_{LOL} によって)ローに保持されます(図4)。

LOLモニタは、MAX3676の入力にデータストリームが存在する時にだけ有効であることに注意してください。このため、LOLは信号が入ってこなくなったために生じるロスオブパワー状態は検出しません。このタイプのインジケータについては、「ロスオブパワー(LOP)モニタ」の項を参照してください。

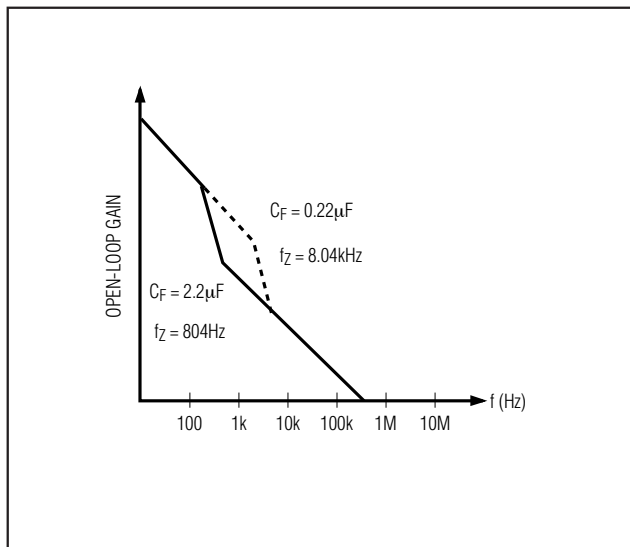


図2. 開ループ伝達関数

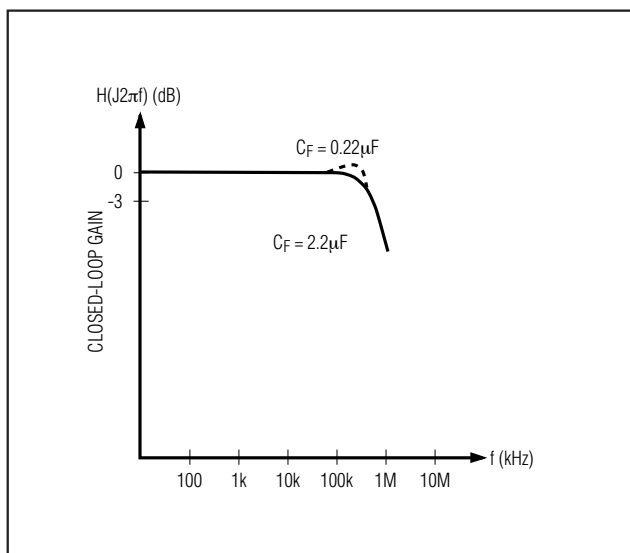


図3. 閉ループ伝達関数

622Mbps、3.3Vクロックリカバリ及び データリタイミングIC、リミティングアンプ付

入力及び出力の終端処理

MAX3676のデジタルデータ及びクロックI/O(DDI+, DDI-, SDO+, SDO-, SCLK+及びSCLK-)は、PECL信号レベルとインタフェースするように設計されています。これらのポートを適切にバイアスすることが重要です。適正な終端処理を行うには、 $V_{CC} - 2V$ に対して50 Ω のテブナン等価抵抗を持たせ、固定インピーダンス伝送ラインを使用してください。差動出力の負荷が平衡になるようにしてください。

デジタルデータ入力信号(DDI+及びDDI-)は、エミッタカップリングペアへの差動入力です。この結果、MAX3676は最低250mVの差動入力を許容します。外部でDDI-を電圧スイングの中央にバイアスすると、これらの入力をシングルエンドで駆動することもできます。

MAX3676の性能は、回路基板のレイアウト及び設計によって大きく影響されます。グラウンドインダクタンスを最小限に抑え、データ及びクロック信号に固定インピーダンス伝送ラインを使用する等、良好な高周波設計技法を使用してください。電源デカップリングは、できるだけ V_{CC} の近くで行ってください。フィードスルーを低減するため、入力は出力信号から分離するように注意してください。

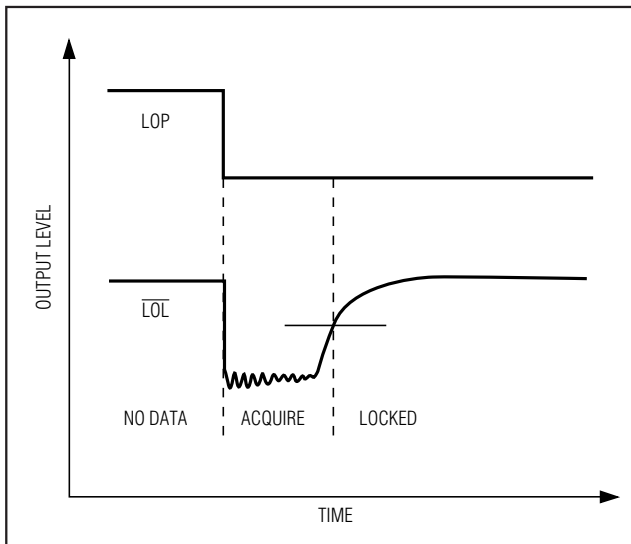


図4. ロスオブロック出力

アプリケーション情報

シングルエンドでリミティングアンプを駆動する方法

リミティングアンプをシングルエンドソースで駆動する際には、重要な必要条件が3つあります(図5)。

- 1) ADI+及びADI-入力へのDCカップリングを行わないようにしてください。これらの入力でDC入力があると、オフセット補正ループが正しく動作しません。
- 2) 同相カップリングの問題を最小限に抑えるため、終端抵抗 R_T (50 Ω)はADI-入力を基準にすることが必要です。
- 3) リミティングアンプの低周波数カットオフは、 C_{IN} と2.5k Ω 入力インピーダンス又は $C_b/2$ と R_T によって決まります。 $C_b = 0.22\mu F$ で $R_T = 50\Omega$ の場合、低周波数カットオフは29kHzです。

リミティングアンプをオフにして消費電力を低減

リミティングアンプは、クロックリカバリ回路から独立してバイアスされています。INSELをグラウンドに接続するとリミティングアンプがターンオフされ、PECL DDI入力が選択されます。

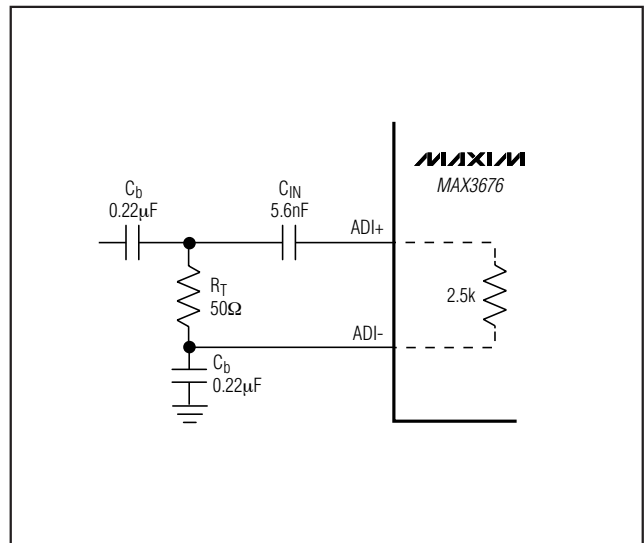


図5. シングルエンド入力終端処理

622Mbps、3.3Vクロックリカバリ及びデータリタイミングIC、リミティングアンプ付

平均光パワーを信号振幅に変換

MAX3676の仕様の多くは入力振幅に関係しています。光ファイバレーザを使用している場合、入力通常平均光パワー及び消滅比によって表現されます。MAX3676を使用する設計を行う場合には、表2と図6を使用すると光パワーを入力信号に変換できます。

光レーザの場合、リミティングアンプへの入力電圧は、表2の関係式にフォトダイオードの応答性とトランスインピーダンスアンプの利得をかけることによって得ることができます。

光ヒステリシス

パワーとヒステリシスは、デシベル単位で表現されることがあります。定義上、デシベルは常に $10\log(\text{パワー})$ です。MAX3676のリミティングアンプへの入力において、パワーは V_{IN}^2/R です。レーザの光入力パワー(x)が2倍に増え、プリアンプがリニアであると、MAX3676への入力電圧もやはり2倍に増えます。

光パワーは、

$$10 \log (2x/x) = 10 \log (2) = +3\text{dB増加します。}$$

MAX3676における電圧の増加は、次式で表わされます。

$$10\log \frac{(2V_{IN})^2/R}{V_{IN}^2/R} = 10\log(2^2) = 20\log(2) = +6\text{dB}$$

光レーザでは、MAX3676におけるdB変化は常に光のdB変化の2倍です。

MAX3676の標準電圧ヒステリシスは3.0dBです。これによる光ヒステリシスは、1.5dBとなります。

光レーザのジッタ

タイミングジッタ、エッジスピード、収差、光分散及び減衰の全てがSDH/SONETレーザの高速クロック回復に影響します(図7)。これらの影響により、非ゼロ復帰(NRZ)伝送信号の受信「アイオープニング」が減少するため、エラーフリーデータ回復に利用できる時間が短くなります。

トランスインピーダンスプリアンプ及びリミティングポストアンプを備えた光レーザは、分散及び減衰の影響を大幅に解決できます。さらに、これらのアンプはその後のクロック及びデータリカバリ(CDR)ブロックにおける収差を最小限に抑えつつ、速い遷移を行うことができます。しかし、これらの段は中点通過に歪みをもたらすため、タイミングジッタの原因になります。タイミングジッタは、光レーザ及びCDR回路を開発する際に最も重要な技術的問題の1つです。

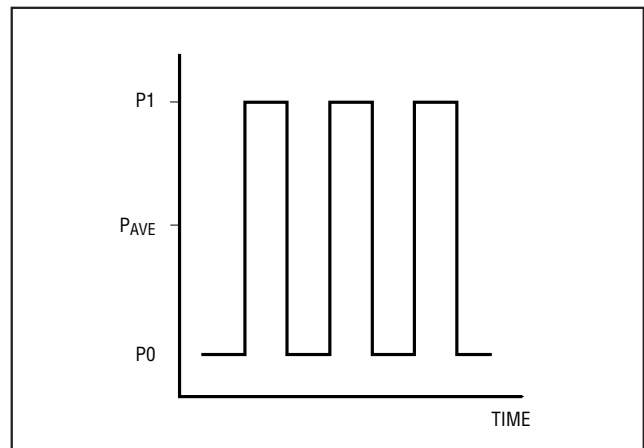


図6. 光パワーの関係

表2. 光パワーの関係式*

パラメータ	記号	関係式
平均パワー	P_{AVG}	$P_{AVG} = (P_0 + P_1) / 2$
消滅比	r_e	$r_e = P_1 / P_0$
1の光パワー	P_1	$P_1 = 2P_{AVG} \frac{r_e}{r_e + 1}$
0の光パワー	P_0	$P_0 = 2P_{AVG} / (r_e + 1)$
信号振幅	P_{IN}	$P_{IN} = P_1 - P_0 = 2P_{AVG} \frac{(r_e - 1)}{r_e + 1}$

* 平均入力データデューティサイクル50%を想定。

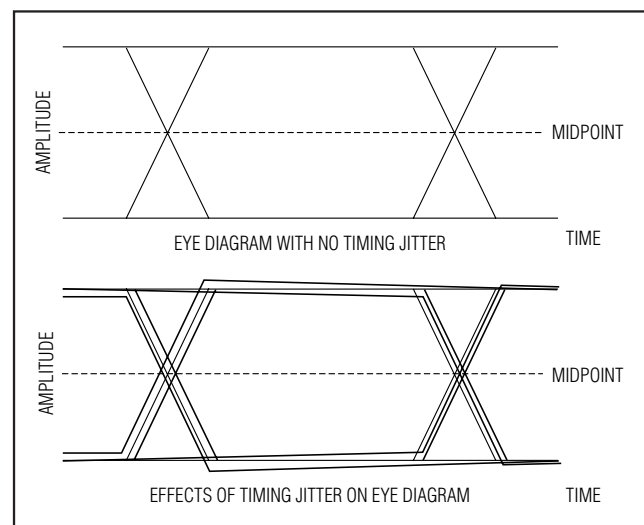


図7. タイミングジッタのある時及びない時のアイダイアグラム

622Mbps、3.3Vクロックリカバリ及び データタイミングIC、リミティングアンプ付

ジッタの様々な原因について精通しておく、光レシーバモジュール及び集積化CDR解決法の設計及びアプリケーションの際に役立ちます。SDH/SONETの仕様は、ジッタピーキングの必要条件と同様に、光レシーバの入力で許されるジッタの許容値に関しては、詳しく定義されていますが、ジッタの様々な原因についてはほとんど説明されていません。光レシーバの入力で許容されるジッタには3つの大きな要因があり、標準的なレシーバシステムにはそれらの全てが多かれ少なかれ存在します。

- 1) ランダムジッタ(RJ)
- 2) パターン依存ジッタ(PDJ)
- 3) パルス幅歪み(PWD)

ランダムジッタ(RJ)

RJはエッジ遷移中のランダムノイズに起因します(図8)。このランダムノイズの結果、中点通過がランダムになります。全ての電気システムはある程度のランダムノイズを発生しますが、遷移速度が速いほどノイズのランダムジッタへの影響は小さくなります。ランダムジッタの簡単なワーストケース推算値は、次式で得ることができます。

$$RJ(rms) = (rms \text{ ノイズ}) / (\text{スルーレート})$$

パターン依存ジッタ(PDJ)

PDJは、NRZデータストリームに含まれている連続ビットの数の変動幅が広いために、レシーバの帯域幅

必要条件を満たしにくくなることから生じます(図9)。低い方の-3dBカットオフ周波数の位置は重要であり、長い連続ビットストリームによる低周波数を通すように設定されることが必要です。光レシーバの設計では、ACカップリングが一般的です。

ハイパス周波数応答を持つリミティングアンプを使用する場合は、低周波数カットオフ(f_c)がプリアンプの低周波数カットオフより1桁低くなるように、入力ACカップリングコンデンサ(C_{IN})を選択してください。このようにすると、PDJはプリアンプの低周波数カットオフに支配されます。

ハイパス応答を持たないプリアンプをMAX3676と共に使用する場合は、 C_{IN} の選択の目安として次式を使うことができます。

$$C_{IN} \geq \frac{-t_L}{(1.25k\Omega) \ln \left[1 - \frac{(PDJ)(BW)}{0.5} \right]}$$

ここで、 t_L = 同じ値のビットが連続する最大持続時間(秒)、PDJ = 最大許容パターン依存ジッタ(ピーク間、秒)、BW = 標準システム帯域幅(Hz、通常はデータレートの0.6 ~ 1.0倍)です。それでもPDJが大きすぎる場合は、 C_{IN} の値をさらに大きくしてください。MAX3676のアナログ入力(ADI+、ADI-)を使用する際に安定性を維持するには、 C_{OLC} による低周波数カットオフを C_{IN} によるコーナー周波数(f_c)よりも低く保つことが重要です(表1)。

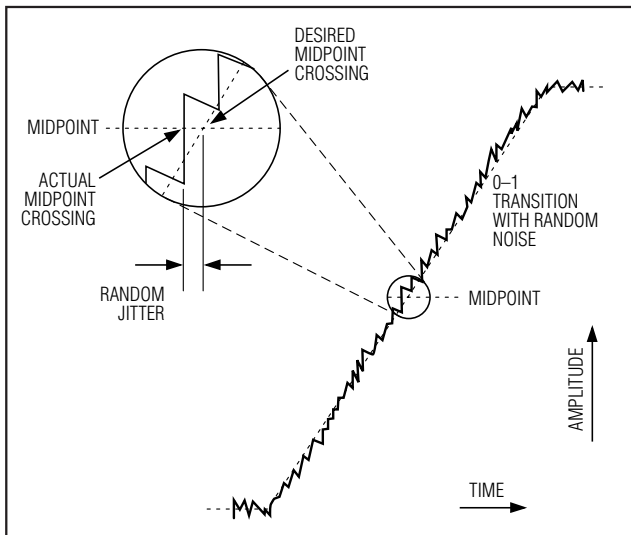


図8. エッジ遷移におけるランダムジッタ

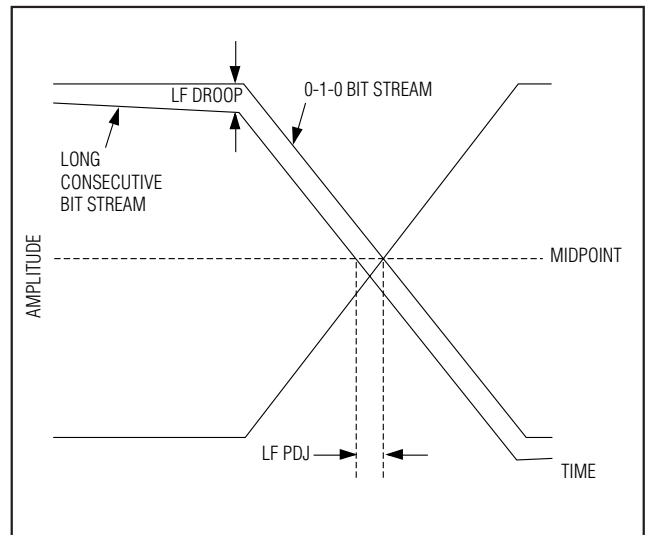


図9. 低周波数カットオフに依存するパターン依存ジッタ

622Mbps、3.3Vクロックリカバリ及びデータリタイミングIC、リミティングアンプ付

高周波帯域幅が不十分なためにPDJが生じることもあります(図10)。アンプがビットパターンの時間内で、完全に遷移するだけの十分な高速性がない場合、又はアンプが十分なセトリング時間がない場合は、高周波PDJが生じ得ます。

パルス幅歪み(PWD)

最後に、PWDは0から1への遷移と1から0への遷移における midpoint 通過が同じレベルで起きない場合に生じます(図11)。DCオフセット及び非対象な立上がりと立下りのエッジスピードの両方がPWDに寄与します。1-0ビットストリームにおけるPWDは、次式で計算してください。

$$PWD = [(\text{広いパルスの幅}) - (\text{狭いパルスの幅})]/2$$

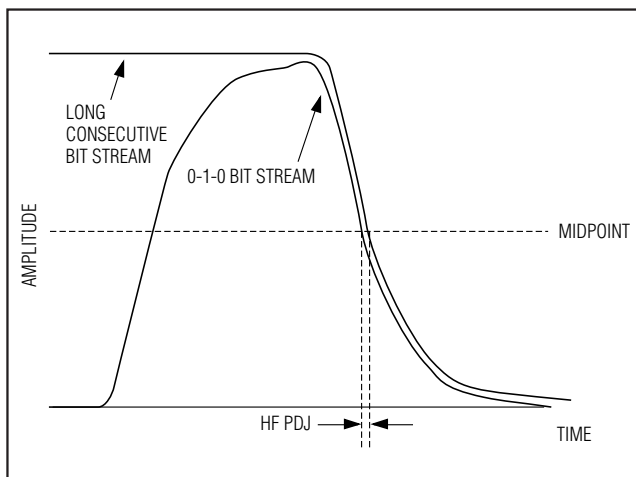


図10. 高周波ロールオフに起因するパターン依存ジッタ

位相調節

MAX3676の内部クロック及びデータアライメントは、データアイの中心近くに適切に維持されています。必ずしも必要ではありませんが、BER性能を最適化するためにPHADJ入力を使用して、このサンプリングポイントをシフトすることもできます。PHADJ入力は±約1Vまでの差動入力で動作します。これらのレベルを設定するには、簡単な抵抗分圧器とバイパスコンデンサで十分です。PHADJ入力を使用しない場合は、V_{CC}に直接接続してください。

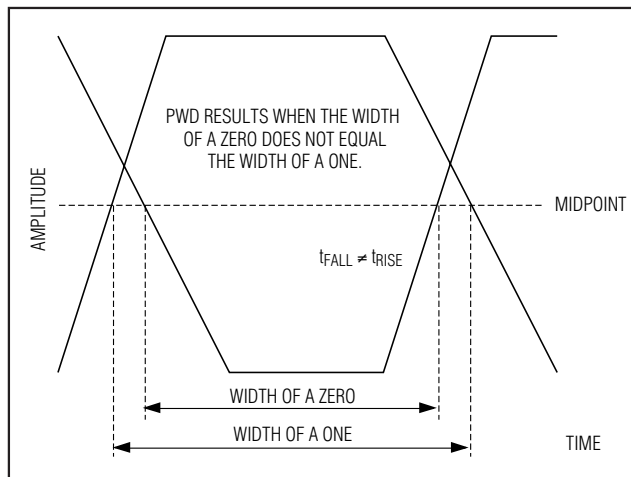
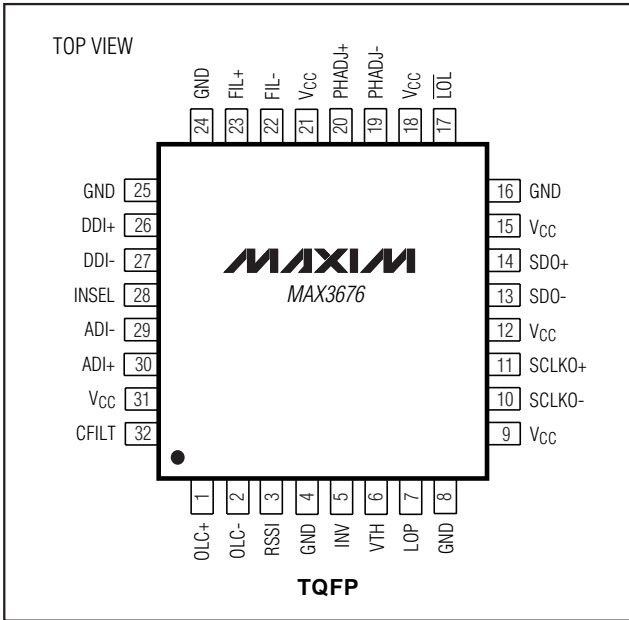


図11. パルス幅歪み

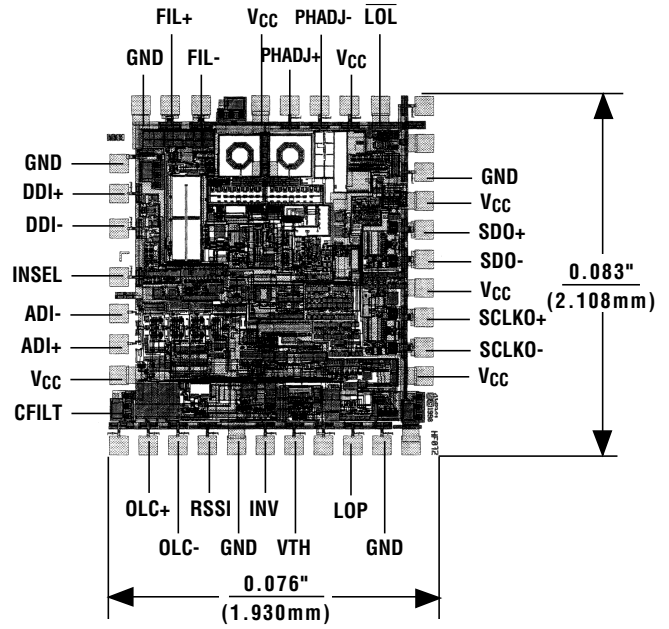
622Mbps、3.3Vクロックリカバリ及び データリタイミングIC、リミテイングアンプ付

MAX3676

ピン配置



チップ構造図



チップ情報

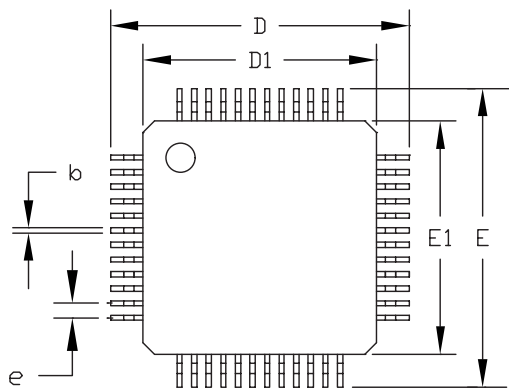
TRANSISTOR COUNT: 2528

622Mbps、3.3Vクロックリカバリ及び データリタイミングIC、リミテイングアンプ付

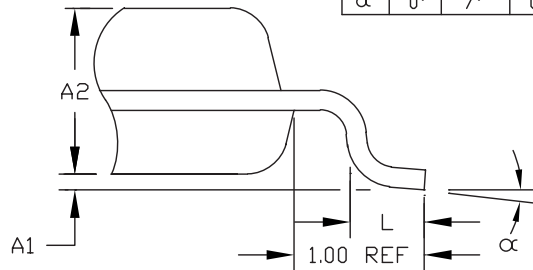
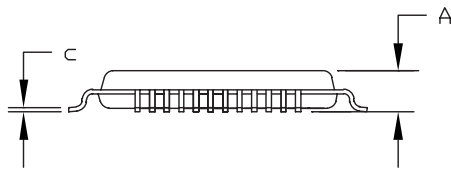
パッケージ

MAX3676

32L/48L TQFP-EPS



JEDEC VARIATION				
	BC		BE	
	32 LEAD		48 LEAD	
	MIN.	MAX.	MIN.	MAX.
A	---	1.60	---	1.60
A ₁	0.05	0.15	0.05	0.15
A ₂	1.35	1.45	1.35	1.45
D	8.90	9.10	8.90	9.10
D ₁	7.00	BSC.	7.00	BSC.
E	8.90	9.10	8.90	9.10
E ₁	7.00	BSC.	7.00	BSC.
e	0.8	BSC.	0.5	BSC.
L	0.45	0.75	0.45	0.75
b	0.30	0.45	0.17	0.27
c	0.09	0.20	0.09	0.20
α	0°	7°	0°	7°



NOTES:

1. ALL DIMENSIONING AND TOLERANCING CONFORM TO ANSI Y14.5-1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. THIS OUTLINE CONFORMS TO JEDEC PUBLICATION 95 REGISTRATION MO-136, VARIATIONS BC AND BE.
4. LEADS SHALL BE COPLANAR WITHIN .004 INCH.

MAXIM			
<small>PROPRIETARY INFORMATION</small>			
<small>TITLE: PACKAGE OUTLINE, 32/48L, 7x7x1.4 MM TQFP</small>			
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small>	<small>REV</small>	<small>1/1</small>
	21-0054	D	

622Mbps、3.3Vクロックリカバリ及び データタイミングIC、リミテイングアンプ付

MAX3676

NOTES

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 1999 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.