

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

概要

MAX3140は、完全汎用非同期レシーバトランスミッタ(UART)及び真のフェイルセーフRS-485/RS-422トランシーバを単一の28ピンQSOPパッケージに統合しているため、スペース、コスト及び電力の条件が厳しいアプリケーションに適しています。MAX3140はSPI™/QSPI™/MICROWIRE™コンパチブルのシリアルインタフェースを備えているため、基板面積とマイクロコントローラ(µC)のI/Oピンの数をさらに節約できます。本製品は、全てのRS-485/RS-422ネットワーク用にピン設定することが可能です。

MAX3140は、単一のRS-485/RS-422ドライバ及びレシーバを含んでいます。レシーバは、入力オープン又は短絡状態の時にレシーバ出力としてロジックハイを保証する真のフェイルセーフ回路を備えています。この機能により、複雑な終端処理をしなくても障害に対する耐性が提供されます。MAX3140はハーフ又はフルデュープレックス動作、データ速度、スルーレート及びトランスミッタ及びレシーバ位相をソフトウェアで設定できます。EMIを最小限に抑えるために、RS-485ドライバはスルーレートが設定可能になっており、115kbps、500kbps及び10Mbpsの最大データ速度が可能です。独立したトランスミッタ/レシーバ相制御により、ツイストペアの極性逆転をソフトウェアで補正できます。また、レシーバ入力インピーダンスが1/8ユニット負荷であるため、最大256個のトランシーバをバス上に接続できます。

MAX3140のUARTは、外部クリスタルを使用した発振器回路及び300ボーから230kボーまでの全ての汎用ボーレートに対応したソフトウェア設定の分周比を持つボーレート発生器を備えています。本UARTは、プロセッサオーバヘッドを最小限に抑え、4つのマスク可能なソースを持つフレキシブルな割り込み機能(9ビットネットワーク上におけるアドレス認識を含む)を提供する深さ8ワードの受信FIFOを備えています。2つのハードウェアハンドシェイク制御ライン(入力1本と出力1本)があります。

MAX3140は+5V単一電源で動作し、消費電流はレシーバがアクティブな状態で僅か645µA(typ)となっています。ハードウェアによるシャットダウンは、消費電流を僅か20µAに低減します。UART及びRS-485/RS-422機能は、電源及びグランド接続のみを共有しているため、一緒に使用することも単独で使用することもできます(MAX3140はMAX3100及びMAX3089とハードウェア及びソフトウェアがコンパチブルです)。

アプリケーション

工業用制御ローカル エリアネットワーク	低EMIアプリケーション用の トランシーバ
HVAC及び ビルディングコントロール	埋込機器
ポイント・オブ・セールス(POS)機器	インテリジェント機器

SPI及びQSPIはMotorola Inc.の商標です。
MICROWIREはNational Semiconductor Corp.の商標です。
ピン配置はデータシートの最後に記載されています。

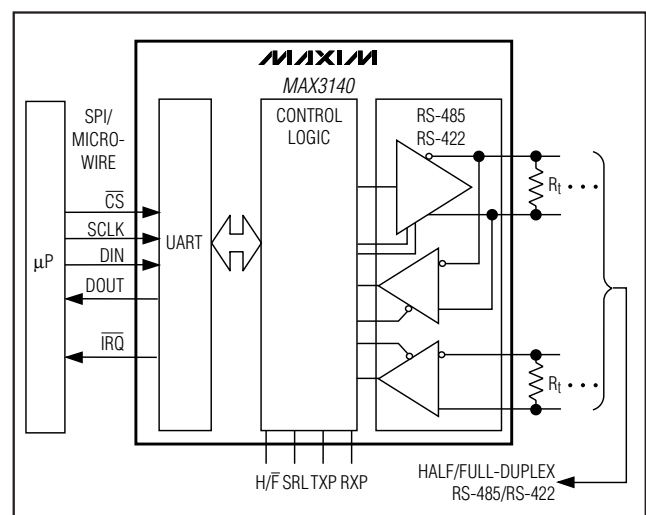
特長

- ◆ UARTとRS-485/RS-422トランシーバを単一の28ピンQSOPに統合
- ◆ SPI/MICROWIREコンパチブルのインタフェースでµC I/Oピンを節約
- ◆ 真のフェイルセーフレシーバ出力により、複雑なネットワーク終端処理を排除
- ◆ ピン設定可能なRS-485/RS-422
ハーフ/フルデュープレックス動作
スルーレート制限によりEMIを低減
データレート：115kbps/500kbps/10Mbps
レシーバ/トランスミッタ位相によりツイストペアの極性逆転に対応
- ◆ 完全機能のUART：
3.6864MHzのクリスタルにより最大230kボーまで動作
8ワードFIFOが高データレートでのプロセッサオーバヘッドを低減
9ビットアドレス認識割込み
- ◆ 最大256個のトランシーバをバス上に接続可能
- ◆ 低消費電流ハードウェアシャットダウンモード：20µA
- ◆ MAX3100及びMAX3089と
ハードウェア/ソフトウェアコンパチブル

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX3140CEI	0°C to +70°C	28 QSOP
MAX3140EEI	-40°C to +85°C	28 QSOP

標準動作回路



SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	+6V	X2, DOUT, $\overline{\text{TRQ}}$ Short-Circuit Duration (to V _{CC} or GND)	Continuous
Input Voltage to GND ($\overline{\text{CS}}$, $\overline{\text{SHDN}}$, X1, $\overline{\text{CTS}}$, RX, DIN, SCLK, $\overline{\text{RE}}$, DE, H/F, SRL, TXP, RXP, DI)	-0.3V to (V _{CC} + 0.3V)	Continuous Power Dissipation (T _A = +70°C) 28-pin QSOP (derate 10.8mW/°C above +70°C).....	860mW
Output Voltage to GND DOUT, $\overline{\text{RTS}}$, TX, X2, RO.....	-0.3V to (V _{CC} + 0.3V)	Operating Temperature Ranges MAX3140CEI	0°C to +70°C
$\overline{\text{TRQ}}$	-0.3V to +6V	MAX3140EEI	-40°C to +85°C
Driver Output Voltage (Y, Z)	±13V	Storage Temperature Range	-65°C to +150°C
Receiver Input Voltage, Half Duplex (Y, Z).....	±13V	Lead Temperature (soldering, 10sec)	+300°C
Receiver Input Voltage, Full Duplex (A, B)	±25V		
TX, $\overline{\text{RTS}}$ Output Current	100mA		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V ±5%, DE = V_{CC}, $\overline{\text{RE}}$ = GND, $\overline{\text{SHDN}}$ = V_{CC}, f_{XTL} = 1.8432MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are measured with V_{CC} = +5V, UART configured for 9600 baud, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
POWER SUPPLY							
Supply Voltage	V _{CC}			4.75		5.25	V
Supply Current	I _{CC}	$\overline{\text{SHDN}}$ = V _{CC} ; SHDNI bit = 0, no load	SRL = V _{CC}	DE = V _{CC}	0.7	1.9	mA
				DE = GND	0.64	1.6	
			SRL = GND or open	DE = V _{CC}	0.74	2	
				DE = GND	0.69	1.8	
Supply Current with Only UART Shut Down	I _{CC SHDN UART}	$\overline{\text{SHDN}}$ = GND or SHDNI bit = 1		0.47		1	mA
Supply Current with Both RS-485 Transceiver and UART Shut Down	I _{CC SHDN (FULL)}	$\overline{\text{SHDN}}$ = GND or SHDNI bit = 1; DE = GND; $\overline{\text{RE}}$ = V _{CC}				20	μA
UART OSCILLATOR INPUT (X1)							
Input High Voltage	V _{IH1}			0.7V _{CC}			V
Input Low Voltage	V _{IL1}					0.2V _{CC}	V
Input Current	I _{IN1}	V _{X1} = 0 or V _{CC}	SHDNI bit = 0			25	μA
			SHDNI bit = 1			2	
Input Capacitance	C _{IN1}				5		pF
UART LOGIC INPUTS (DIN, SCLK, $\overline{\text{CS}}$, $\overline{\text{SHDN}}$, $\overline{\text{CTS}}$, RX)							
Input High Voltage	V _{IH2}			0.7V _{CC}			V
Input Low Voltage	V _{IL2}					0.3V _{CC}	V
Input Hysteresis	V _{HYST2}				250		mV
Input Leakage Current	I _{LKG1}					±1	μA
Input Capacitance	C _{IN2}				5		pF
UART OUTPUTS (DOUT, TX, $\overline{\text{RTS}}$)							
Output High Voltage	V _{OH1}	I _{SOURCE} = 5mA; DOUT, $\overline{\text{RTS}}$		V _{CC} - 0.5			V
		I _{SOURCE} = 10mA; TX only		V _{CC} - 0.5			
Output Low Voltage	V _{OL1}	I _{SINK} = 4mA; DOUT, $\overline{\text{RTS}}$				0.4	V
		I _{SINK} = 25mA; TX only				0.9	
Output Leakage	I _{LKG2}	$\overline{\text{CS}}$ = V _{CC} ; DOUT only				±1	μA
Output Capacitance	C _{OUT1}					5	pF

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +5V \pm 5\%$, $DE = V_{CC}$, $\overline{RE} = GND$, $\overline{SHDN} = V_{CC}$, $f_{XTL} = 1.8432MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted. Typical values are measured with $V_{CC} = +5V$, UART configured for 9600 baud, $T_A = +25^\circ C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
UART \overline{IRQ} OUTPUT (Open Drain)						
Output Low Voltage	V_{OL2}	$I_{SINK} = 4mA$			0.4	V
Output Leakage	I_{LKG3}	$\overline{VIRQ} = V_{CC}$			± 1	μA
Output Capacitance	C_{OUT2}			5		pF
RS-485 DRIVER						
Differential Output Voltage	V_{OD1}	No load, Figure 1			5	V
	V_{OD2}	R = 50 Ω (RS-422), Figure 1	2.0			
		R = 27 Ω (RS-422), Figure 1	1.5			
Change in Magnitude of Differential Output Voltage	ΔV_{OD}	R = 50 Ω or R = 27 Ω , Figure 1 (Note 2)			0.2	V
Common-Mode Output Voltage	V_{OC}	R = 50 Ω or R = 27 Ω , Figure 1			3	V
Change In Magnitude of Common-Mode Voltage	ΔV_{OC}	R = 50 Ω or R = 27 Ω , Figure 1 (Note 2)			0.2	V
Input High Voltage	V_{IH1}	DE, DI, \overline{RE}	2.0			V
		H/ \overline{F} , TXP, RXP	2.4			
Input Low Voltage	V_{IL1}	DE, DI, RE, H/ \overline{F} , TXP, RXP			0.8	V
DI Input Hysteresis	V_{HYS}	SRL = V_{CC} or unconnected		100		mV
Input Current	I_{IN1}	DE, DI, \overline{RE}			± 2	μA
	I_{IN2}	H/ \overline{F} , TXP, RXP, internal pull-down	10		40	
SRL Input High Voltage	V_{IH2}		$V_{CC} - 0.8$			V
SRL Input Middle Voltage	V_{IM2}	(Note 3)	$0.4 \cdot V_{CC}$	$0.6 \cdot V_{CC}$		V
SRL Input Low Voltage	V_{IL2}				0.8	V
SRL Input Current	I_{IN3}	SRL = V_{CC}			75	μA
		SRL = GND (Note 3)	-75			
Full-Duplex Input Current (A and B)	I_{IN4}	DE = GND	$V_{IN} = 12V$		125	μA
		$V_{CC} = GND$ or 5.25V	$V_{IN} = -7V$		-75	
Full-Duplex Output Leakage (Y and Z)	I_O	DE = GND	$V_{IN} = 12V$		125	μA
		$V_{CC} = GND$ or 5.25V	$V_{IN} = -7V$	-100		
Short-Circuit Output Current	I_{OSD}	(Note 4)	$-7V \leq V_{OUT} \leq V_{CC}$	-250		mA
			$0 \leq V_{OUT} \leq 12V$		250	
			$0 \leq V_{OUT} \leq V_{CC}$	± 25		
RS-485 RECEIVER						
Differential Threshold Voltage	V_{TH}	$-7V \leq V_{CM} \leq +12V$	-200	-125	-50	mV
Input Hysteresis	ΔV_{TH}			25		mV
Output High Voltage	V_{OH}	$I_{SOURCE} = 4mA$, $V_{ID} = -50mV$	$V_{CC} - 1.5$			V
Output Low Voltage	V_{OL}	$I_{SINK} = 4mA$, $V_{ID} = -200mV$			0.4	V
Three-State Output Current	I_{OZR}	$0.4V \leq V_O \leq 2.4V$			± 1	μA
Input Resistance	R_{IN}	$-7V \leq V_{CM} \leq 12V$	96			k Ω
Output Short-Circuit Current	I_{OSR}	$0 \leq V_{RO} \leq V_{CC}$	± 7		± 95	mA

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

UART SWITCHING CHARACTERISTICS

(V_{CC} = +5V ±5%, f_{XTL} = 1.8432MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are measured with V_{CC} = +5V, UART configured for 9600 baud, T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
UART AC TIMING (Figure 1)						
$\overline{\text{CS}}$ Low to DOUT Valid	t _{DV}	C _{LOAD} = 100pF			100	ns
$\overline{\text{CS}}$ High to DOUT Tri-State	t _{TR}	C _{LOAD} = 100pF, R _{CS} = 10kΩ			100	ns
$\overline{\text{CS}}$ to SCLK Setup Time	t _{CSS}		100			ns
$\overline{\text{CS}}$ to SCLK Hold Time	t _{CSH}		0			ns
SCLK Fall to DOUT Valid	t _{DO}	C _{LOAD} = 100pF			100	ns
DIN to SCLK Setup Time	t _{DS}		100			ns
DIN to SCLK Hold Time	t _{DH}		0			ns
SCLK Period	t _{CP}		238			ns
SCLK High Time	t _{CH}		100			ns
SCLK Low Time	t _{CL}		100			ns
SCLK Rising Edge to $\overline{\text{CS}}$ Falling	t _{CS0}		100			ns
$\overline{\text{CS}}$ Rising Edge to SCLK Rising	t _{CS1}		200			ns
$\overline{\text{CS}}$ High Pulse Width	t _{CSW}		200			ns
Output Rise Time	t _r	TX, $\overline{\text{RTS}}$, DOUT; C _{LOAD} = 100pF		10		ns
Output Fall Time	t _f	TX, $\overline{\text{RTS}}$, DOUT, $\overline{\text{IRQ}}$; C _{LOAD} = 100pF		10		ns

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

SWITCHING CHARACTERISTICS—SRL = Unconnected

(V_{CC} = +5V ±5%, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{CC} = +5V and T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Driver Input to Output	t _{DPLH}	Figures 3 and 5, R _{DIFF} = 54Ω, C _{L1} = C _{L2} = 100pF	500	2030	2600	ns
	t _{DPHL}		500	2030	2600	
Driver Output Skew t _{DPLH} - t _{DPHL}	t _{DSKEW}	Figures 3 and 5, R _{DIFF} = 54Ω, C _{L1} = C _{L2} = 100pF		-3	±200	ns
Driver Rise or Fall Time	t _{DR} , t _{DF}	Figures 3 and 5, R _{DIFF} = 54Ω, C _{L1} = C _{L2} = 100pF	667	1320	2500	ns
Maximum Data Rate	f _{MAX}		115			kbps
Driver Enable to Output High	t _{DZH}	Figures 4 and 6, C _L = 100pF, S2 closed			3500	ns
Driver Enable to Output Low	t _{DZL}	Figures 4 and 6, C _L = 100pF, S1 closed			3500	ns
Driver Disable Time from Low	t _{DLZ}	Figures 4 and 6, C _L = 15pF, S1 closed			100	ns
Driver Disable Time from High	t _{DHZ}	Figures 4 and 6, C _L = 15pF, S2 closed			100	ns
Receiver Input to Output	t _{RPLH} , t _{RPHL}	Figures 7 and 9, V _{ID} ≥ 2.0V, rise and fall time of V _{ID} ≤ 15ns		127	200	ns
t _{RPLH} - t _{RPHL} Differential Receiver Skew	t _{RSKD}	Figures 7 and 9, V _{ID} ≥ 2.0V, rise and fall time of V _{ID} ≤ 15ns		3	±30	ns
Receiver Enable to Output Low	t _{RZL}	Figures 2 and 8, C _L = 100pF, S1 closed		20	50	ns
Receiver Enable to Output High	t _{RZH}	Figures 2 and 8, C _L = 100pF, S2 closed		20	50	ns
Receiver Disable Time from Low	t _{RLZ}	Figures 2 and 8, C _L = 100pF, S1 closed		20	50	ns
Receiver Disable Time from High	t _{RHZ}	Figures 2 and 8, C _L = 100pF, S2 closed		20	50	ns
Time to Shutdown	t _{SHDN}	(Note 5)	50	200	600	ns
Driver Enable from Shutdown to Output High	t _{DZH(SHDN)}	Figures 4 and 6, C _L = 15pF, S2 closed			6000	ns
Driver Enable from Shutdown to Output Low	t _{DZL(SHDN)}	Figures 4 and 6, C _L = 15pF, S1 closed			6000	ns
Receiver Enable from Shutdown to Output High	t _{RZH(SHDN)}	Figures 2 and 8, C _L = 100pF, S2 closed			3500	ns
Receiver Enable from Shutdown to Output Low	t _{RZL(SHDN)}	Figures 2 and 8, C _L = 100pF, S1 closed			3500	ns

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

SWITCHING CHARACTERISTICS—SRL = VCC

(VCC = +5V ±5%, TA = TMIN to TMAX, unless otherwise noted. Typical values are at VCC = +5V and TA = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Driver Input to Output	tDPLH	Figures 3 and 5, RDIFF = 54Ω, CL1 = CL2 = 100pF	250	720	1000	ns
	tDPHL		250	720	1000	
Driver Output Skew tDPLH - tDPHL	tDSKEW	Figures 3 and 5, RDIFF = 54Ω, CL1 = CL2 = 100pF		-3	±100	ns
Driver Rise or Fall Time	tDR, tDF	Figures 3 and 5, RDIFF = 54Ω, CL1 = CL2 = 100pF	200	530	750	ns
Maximum Data Rate	fMAX		500			kbps
Driver Enable to Output High	tDZH	Figures 4 and 6, CL = 100pF, S2 closed			2500	ns
Driver Enable to Output Low	tDZL	Figures 4 and 6, CL = 100pF, S1 closed			2500	ns
Driver Disable Time from Low	tDLZ	Figures 4 and 6, CL = 15pF, S1 closed			100	ns
Driver Disable Time from High	tDHZ	Figures 4 and 6, CL = 15pF, S2 closed			100	ns
Receiver Input to Output	tRPLH, tRPHL	Figures 7 and 9, VID ≥ 2.0V, rise and fall time of VID ≤ 15ns		127	200	ns
tRPLH - tRPHL Differential Receiver Skew	tRSKD	Figures 7 and 9, VID ≥ 2.0V, rise and fall time of VID ≤ 15ns		3	±30	ns
Receiver Enable to Output Low	tRZL	Figures 2 and 8, CL = 100pF, S1 closed		20	50	ns
Receiver Enable to Output High	tRZH	Figures 2 and 8, CL = 100pF, S2 closed		20	50	ns
Receiver Disable Time from Low	tRLZ	Figures 2 and 8, CL = 100pF, S1 closed		20	50	ns
Receiver Disable Time from High	tRHZ	Figures 2 and 8, CL = 100pF, S2 closed		20	50	ns
Time to Shutdown	tSHDN	(Note 5)	50	200	600	ns
Driver Enable from Shutdown to Output High	tDZH(SHDN)	Figures 4 and 6, CL = 15pF, S2 closed			4500	ns
Driver Enable from Shutdown to Output Low	tDZL(SHDN)	Figures 4 and 6, CL = 15pF, S1 closed			4500	ns
Receiver Enable from Shutdown to Output High	tRZH(SHDN)	Figures 2 and 8, CL = 100pF, S2 closed			3500	ns
Receiver Enable from Shutdown to Output Low	tRZL(SHDN)	Figures 2 and 8, CL = 100pF, S1 closed			3500	ns

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

SWITCHING CHARACTERISTICS—SRL = GND

(V_{CC} = +5V ±5%, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at V_{CC} = +5V and T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Driver Input to Output	t _{DPLH}	Figures 3 and 5, R _{DIFF} = 54Ω, C _{L1} = C _{L2} = 100pF		34	60	ns
	t _{DPHL}			34	60	
Driver Output Skew t _{DPLH} - t _{DPHL}	t _{DSKEW}	Figures 3 and 5, R _{DIFF} = 54Ω, C _{L1} = C _{L2} = 100pF		-2.5	±10	ns
Driver Rise or Fall Time	t _{DR} , t _{DF}	Figures 3 and 5, R _{DIFF} = 54Ω, C _{L1} = C _{L2} = 100pF		14	25	ns
Maximum Data Rate	f _{MAX}		10			Mbps
Driver Enable to Output High	t _{DZH}	Figures 4 and 6, C _L = 100pF, S2 closed			150	ns
Driver Enable to Output Low	t _{DZL}	Figures 4 and 6, C _L = 100pF, S1 closed			150	ns
Driver Disable Time from Low	t _{DLZ}	Figures 4 and 6, C _L = 15pF, S1 closed			100	ns
Driver Disable Time from High	t _{DHZ}	Figures 4 and 6, C _L = 15pF, S2 closed			100	ns
Receiver Input to Output	t _{RPLH} , t _{RPHL}	Figures 7 and 9, V _{ID} ≥ 2.0V, rise and fall time of V _{ID} ≤ 15ns		106	150	ns
t _{RPLH} - t _{RPHL} Differential Receiver Skew	t _{RSKD}	Figures 7 and 9, V _{ID} ≥ 2.0V, rise and fall time of V _{ID} ≤ 15ns		0	±10	ns
Receiver Enable to Output Low	t _{RZL}	Figures 2 and 8, C _L = 100pF, S1 closed		20	50	ns
Receiver Enable to Output High	t _{RZH}	Figures 2 and 8, C _L = 100pF, S2 closed		20	50	ns
Receiver Disable Time from Low	t _{RLZ}	Figures 2 and 8, C _L = 100pF, S1 closed		20	50	ns
Receiver Disable Time from High	t _{RHZ}	Figures 2 and 8, C _L = 100pF, S2 closed		20	50	ns
Time to Shutdown	t _{SHDN}	(Note 5)	50	200	600	ns
Driver Enable from Shutdown to Output High	t _{DZH(SHDN)}	Figures 4 and 6, C _L = 15pF, S2 closed			250	ns
Driver Enable from Shutdown to Output Low	t _{DZL(SHDN)}	Figures 4 and 6, C _L = 15pF, S1 closed			250	ns
Receiver Enable from Shutdown to Output High	t _{RZH(SHDN)}	Figures 2 and 8, C _L = 100pF, S2 closed			3500	ns
Receiver Enable from Shutdown to Output Low	t _{RZL(SHDN)}	Figures 2 and 8, C _L = 100pF, S1 closed			3500	ns

Note 1: All currents into the device are positive; all currents out of the device are negative. All voltages are referred to device ground unless otherwise noted.

Note 2: ΔV_{OD} and ΔV_{OC} are the changes in V_{OD} and V_{OC}, respectively, when the DI input changes state.

Note 3: The SRL pin is internally biased to V_{CC}/2 by a 100kΩ/100kΩ resistor-divider. It is guaranteed to be V_{CC}/2 if left unconnected.

Note 4: Maximum current level applies to peak current just prior to foldback-current limiting; minimum current level applies during current limiting.

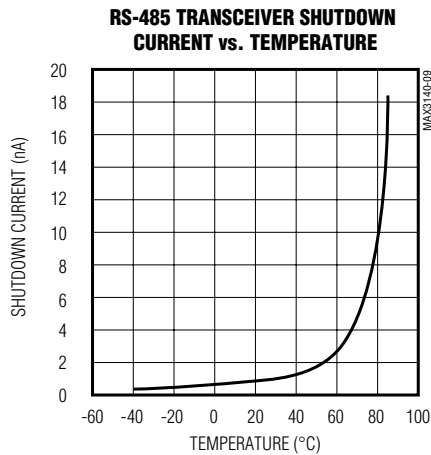
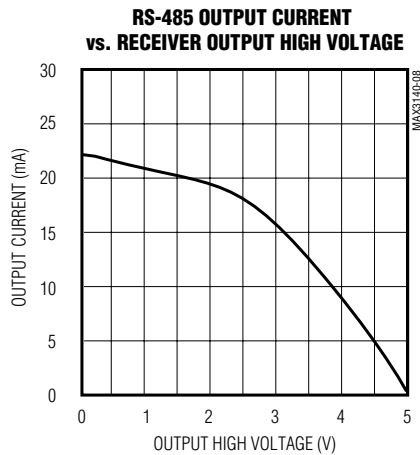
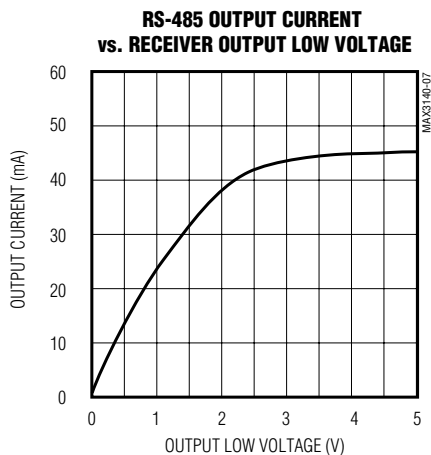
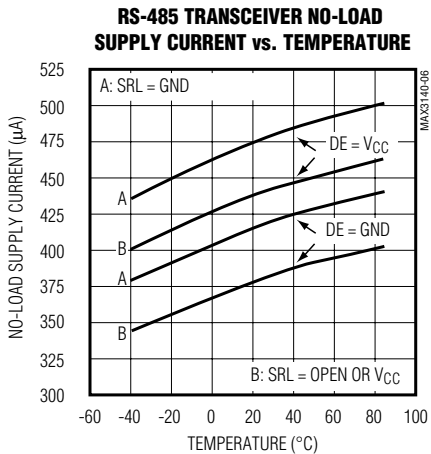
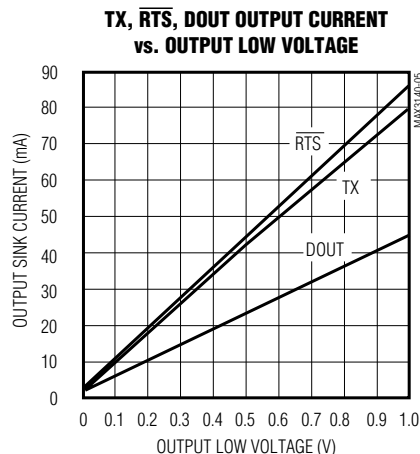
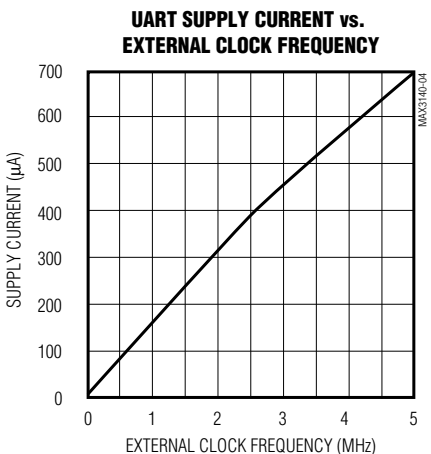
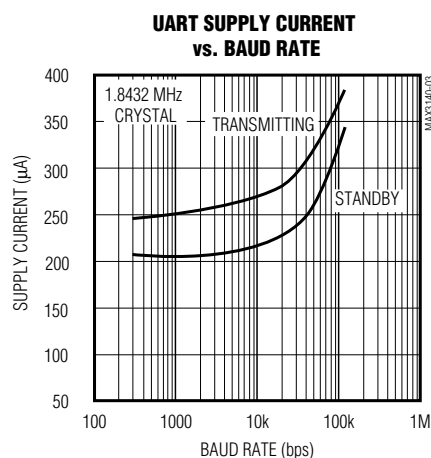
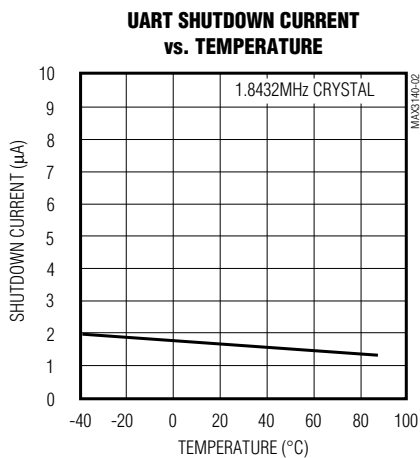
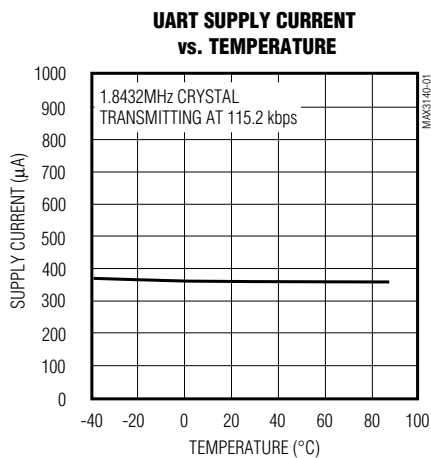
Note 5: The device is put into shutdown by bringing \overline{RE} high and DE low. If the enable inputs are in this state for less than 50ns, the device is guaranteed not to enter shutdown. If the enable inputs are in this state for at least 600ns, the device is guaranteed to have entered shutdown.

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

標準動作特性

(V_{CC} = +5V, T_A = +25°C, unless otherwise noted.)



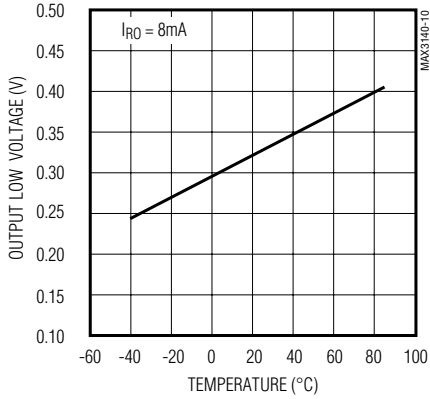
SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

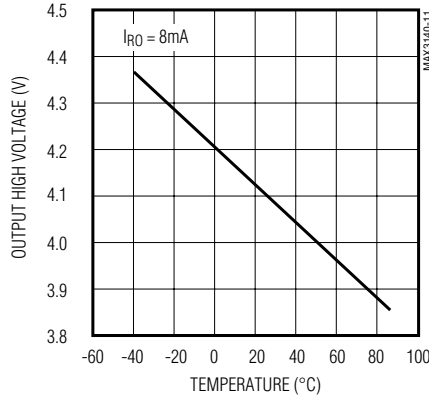
標準動作特性(続き)

($V_{CC} = +5V$, $T_A = +25^\circ C$, unless otherwise noted.)

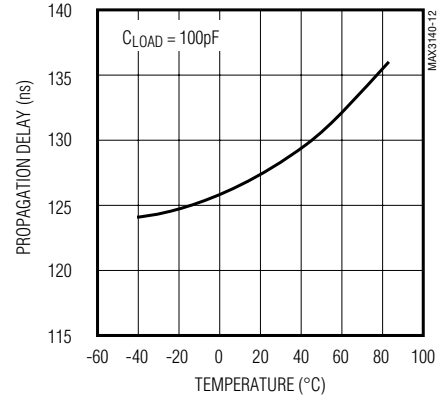
RS-485 RECEIVER OUTPUT LOW VOLTAGE vs. TEMPERATURE



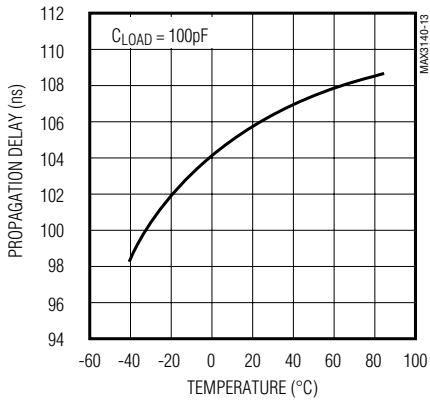
RS-485 RECEIVER OUTPUT HIGH VOLTAGE vs. TEMPERATURE



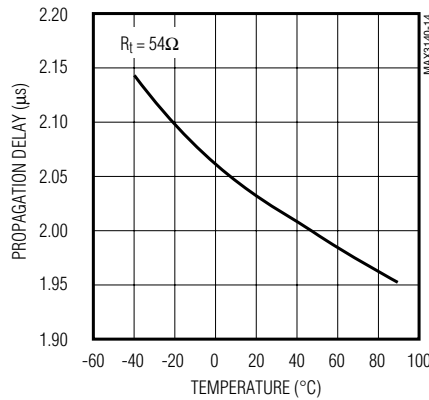
RS-485 RECEIVER PROPAGATION DELAY (500kbps MODE) vs. TEMPERATURE



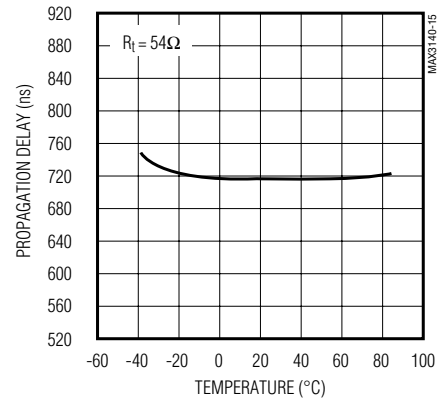
RS-485 RECEIVER PROPAGATION DELAY (10Mbps MODE) vs. TEMPERATURE



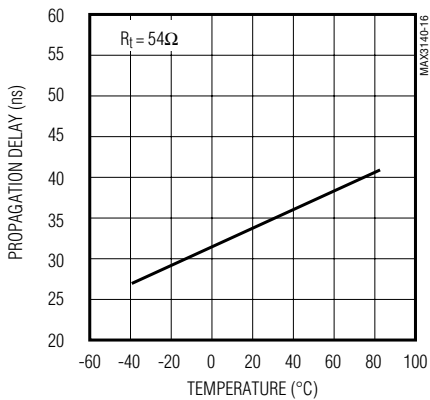
RS-485 DRIVER PROPAGATION DELAY (115kbps MODE) vs. TEMPERATURE



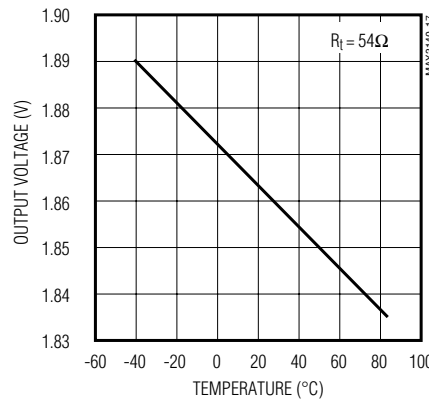
RS-485 DRIVER PROPAGATION DELAY (500kbps MODE) vs. TEMPERATURE



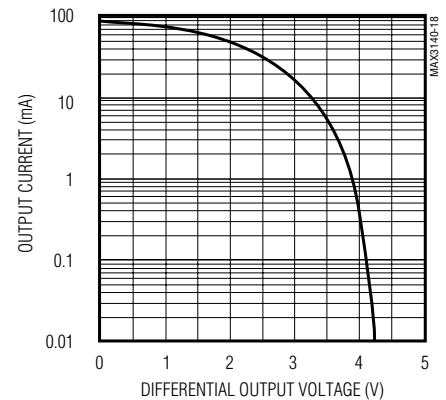
RS-485 DRIVER PROPAGATION DELAY (10Mbps MODE) vs. TEMPERATURE



RS-485 DRIVER DIFFERENTIAL OUTPUT VOLTAGE vs. TEMPERATURE



RS-485 DRIVER OUTPUT CURRENT vs. DIFFERENTIAL OUTPUT VOLTAGE

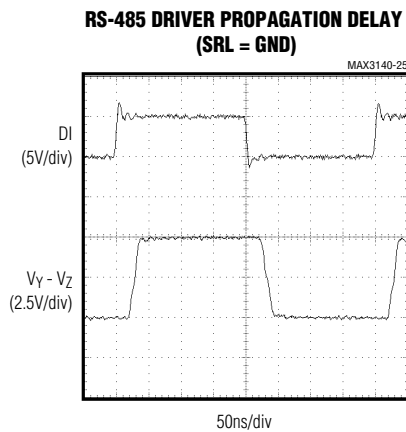
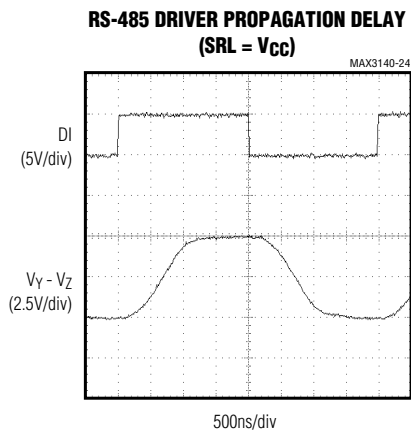
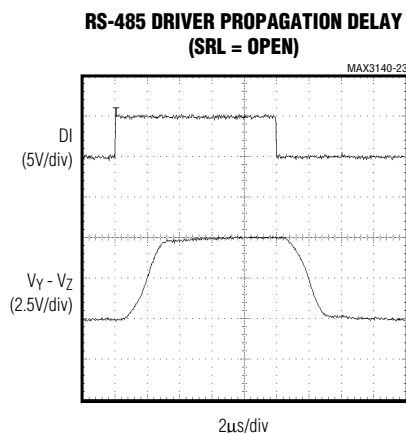
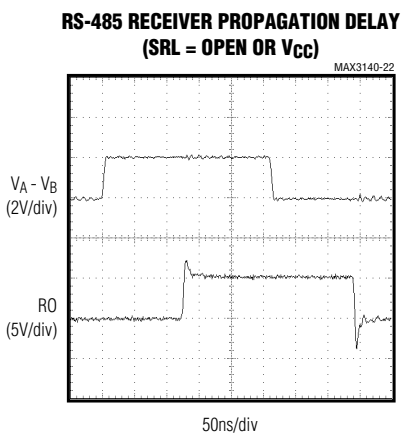
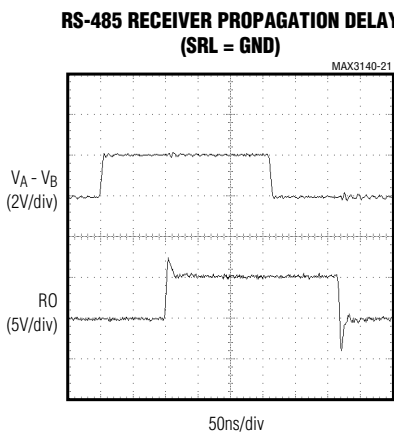
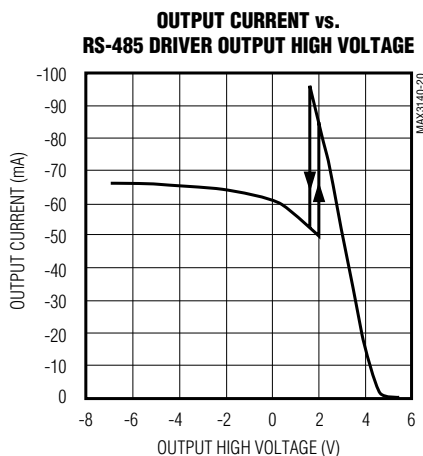
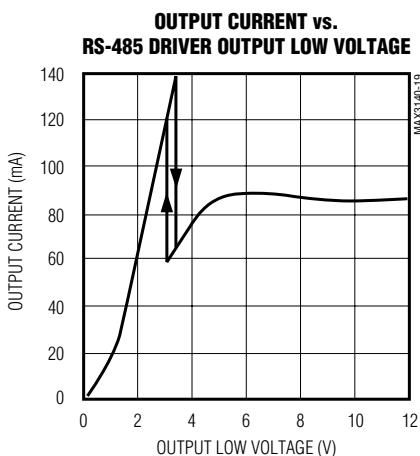


SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

標準動作特性(続き)

($V_{CC} = +5V$, $T_A = +25^\circ C$, unless otherwise noted.)



SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

端子説明

端子		名称	機能
FULL DUPLEX	HALF DUPLEX		
1	1	X2	UARTクリスタルへの接続。外部クロックを使用する場合は、X2を未接続のまま残してください。「クリスタル、発振器及びセラミック共振器」の項を参照。
2	2	X1	UARTクリスタルへの接続。X1は外部クロックの入力としても使用されます。「クリスタル、発振器及びセラミック共振器」の項を参照。
3	3	$\overline{\text{CTS}}$	UARTの送信クリア(clear-to-send)アクティブロー入力。CTSビットを通じて読み込んでください。
4	4	$\overline{\text{RTS}}$	UARTの送信リクエスト(request-to-send)アクティブロー出力。RTSビットによって制御されます。RS-485ネットワークにおけるドライバインペーブルの制御に使用されます。
5	5	RX	UARTの非同期シリアルデータ(レシーバ)入力。モデム又はRS-232/RS-485レシーバから受信されたシリアル情報。シャットダウン中にRXが遷移すると割込みが発生します(表1)。
6	6	TX	UARTの非同期シリアルデータ(トランスミッタ)出力
7	7	H/ $\overline{\text{F}}$	RS-485のハーフ/フルデュプレックス選択ピン。H/ $\overline{\text{F}}$ をV _{CC} に接続するとハーフデュプレックスモードになります。GNDに接続するか、無接続にするとフルデュプレックスモードになります。
8	8	GND	グランド
9	9	RO	RS-485のレシーバ出力。 $\overline{\text{RE}}$ がローで、A - B -50mVの時ROはハイになり、A - B -200mVの時ROはローになります。
10	10	$\overline{\text{RE}}$	RS-485のレシーバ出力インペーブル。 $\overline{\text{RE}}$ をローにするとROがインペーブルされます。 $\overline{\text{RE}}$ がハイの時ROはハイインピーダンスです。 $\overline{\text{RE}}$ をハイ、DEをローにすると低電力シャットダウンモードになります。
11	11	DE	RS-485のドライバ出力インペーブル。DEをハイにするとドライバ出力がインペーブルされます。DEがローの時、これらの出力はハイインピーダンスになります。 $\overline{\text{RE}}$ をハイ、DEをローにすると低電力シャットダウンモードになります。
12	12	DI	RS-485のドライバ入力。DEがハイの状態DIがローの時、強制的に非反転出力がローになり、反転出力がハイになります。同様にDIがハイの時、非反転出力がハイになり、反転出力がローになります。
13	13	SRL	RS-485のスルーレート制限選択ピン。SRLをGNDに接続すると通信レートが10Mbpsになります。V _{CC} に接続すると500kbps、無接続の時は115kbpsになります。
14	14	N.C.	無接続。内部接続されていません。
15	15	TXP	RS-485のトランスミッタ位相。TXPをGNDに接続するかフローティングにしておくと、通常のトランスミッタ位相/極性になります。V _{CC} に接続するとトランスミッタ位相/極性が反転します。
16	—	Y	RS-485の非反転ドライバ出力
—	16	Y	RS-485の非反転レシーバ入力及びRS-485の非反転ドライバ出力*
17	17	N.C.	無接続。内部接続されていません。
18	—	Z	RS-485の反転ドライバ出力
—	18	Z	RS-485の反転レシーバ入力及びRS-485の反転ドライバ出力*
19	—	B	RS-485の反転レシーバ入力
—	19	B	RS-485のレシーバ入力抵抗*
20	—	A	RS-485の非反転レシーバ入力
—	20	A	RS-485のレシーバ入力抵抗*

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

端子説明(続き)

端子		名称	機能
FULL DUPLEX	HALF DUPLEX		
21	21	RXP	RS-485のレシーバ位相。RXPをGNDに接続するか無接続にすると、通常のトランスミッタ位相/極性になります。V _{CC} に接続するとレシーバ位相/極性が反転します。
22	22	V _{CC}	正電源(4.75V ~ 5.25V)
23	23	DIN	UARTのSPI/MICROWIREシリアルデータ入力。シュミットトリガ入力。
24	24	DOUT	UARTのSPI/MICROWIREシリアルデータ出力。 \overline{CS} がハイの時にハイインピーダンスになります。
25	25	SCLK	UARTのSPI/MICROWIREシリアルクロック入力。シュミットトリガ入力。
26	26	\overline{CS}	UARTのアクティブローチップセレクト入力。 \overline{CS} がハイの時、DOUTはハイインピーダンスになります。 \overline{TRQ} 、TX及びRTSは常にアクティブです。シュミットトリガ入力。
27	27	\overline{TRQ}	UARTのアクティブロー割込み出力。マイクロプロセッサへのオープンドレイン割込み出力。
28	28	\overline{SHDN}	UARTハードウェアシャットダウン入力。シャットダウン時($\overline{SHDN} = 0$)に、UART発振器は現在の送信が終わるのを待たずに直ちにターンオフし、消費電流をリーク電流だけに低減します。

* ハーフデュプレックスモードでは、ドライバ出力がレシーバ入力の役割を果たします。フルデュプレックスレシーバ入力(A及びB)はまだ1/8ユニット負荷を持っていますが、レシーバ出力には影響しません。

トランシーバの機能表

TRANSMITTING					
INPUTS				OUTPUTS	
TXP	\overline{RE}	DE	DI	Z	Y
0	X	1	1	0	1
0	X	1	0	1	0
1	X	1	1	1	0
1	X	1	0	0	1
X	0	0	X	High-Z	High-Z
X	1	0	X	Shutdown (High-Z)	

RECEIVING						
INPUTS						OUTPUTS
H/ \overline{F}	RXP	\overline{RE}	DE	A-B	Y-Z	RO
0	0	0	X	$\geq -0.05V$	X	1
0	0	0	X	$\leq -0.2V$	X	0
0	1	0	X	$\geq -0.05V$	X	0
0	1	0	X	$\leq -0.2V$	X	1
1	0	0	X	X	$\geq -0.05V$	1
1	0	0	X	X	$\leq -0.2V$	0
1	1	0	X	X	$\geq -0.05V$	0
1	1	0	X	X	$\leq -0.2V$	1
0	0	0	X	Open/Shorted	X	1
1	0	0	X	X	Open/Shorted	1
0	1	0	X	Open/Shorted	X	0
1	1	0	X	X	Open/Shorted	0
X	X	1	1	X	X	High-Z
X	X	1	0	X	X	Shutdown (High-Z)

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

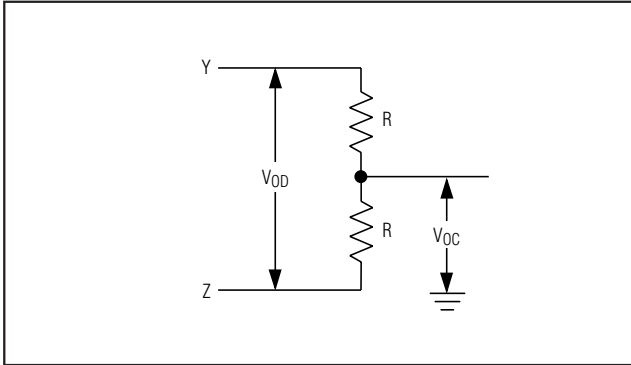


図1. ドライバDCテスト負荷

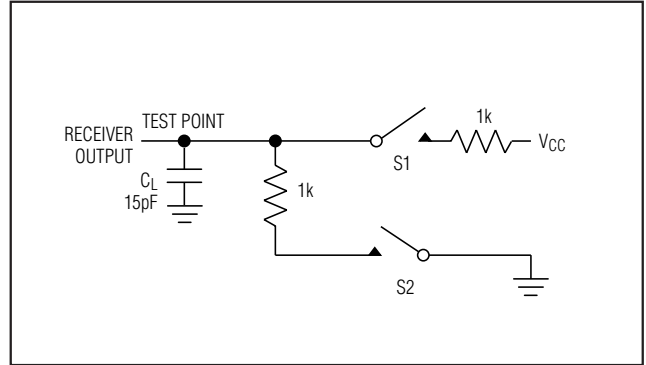


図2. レシーバイネーブル/ディセーブルタイミング
テスト負荷

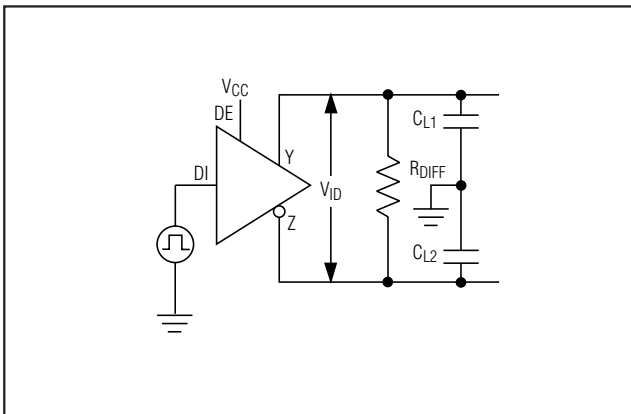


図3. ドライバタイミングテスト回路

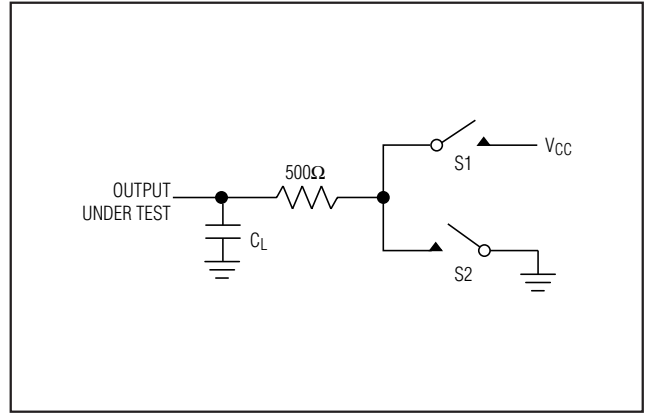


図4. ドライバイネーブル/ディセーブルタイミング
テスト負荷

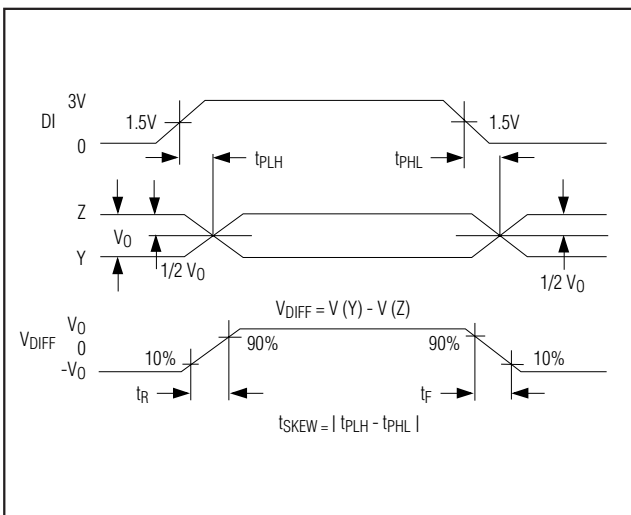


図5. ドライバ伝播遅延

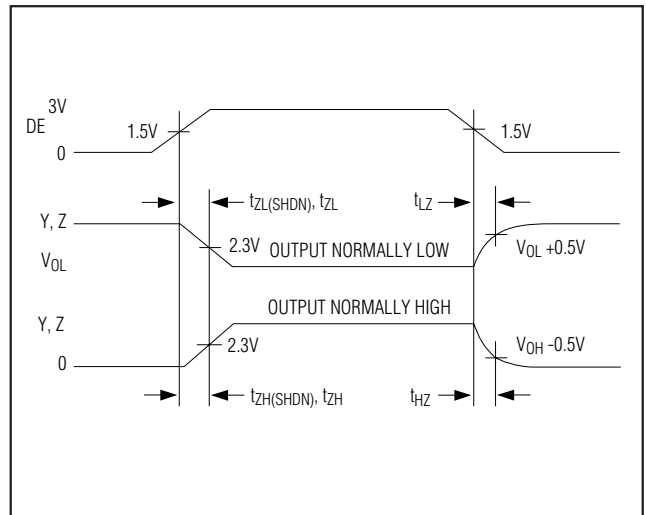


図6. ドライバイネーブル及びディセーブル時間

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

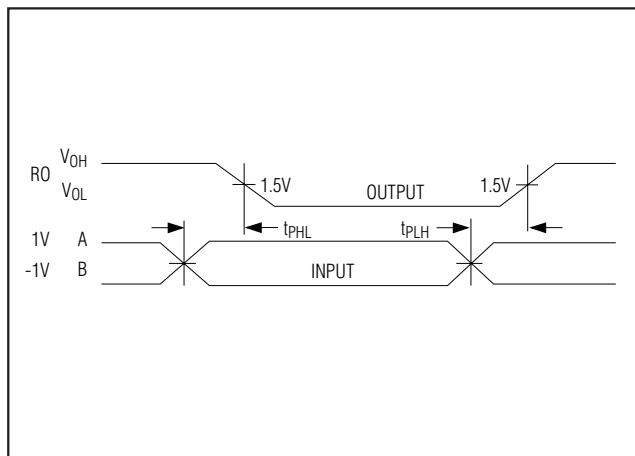


図7. レシーバ伝播遅延

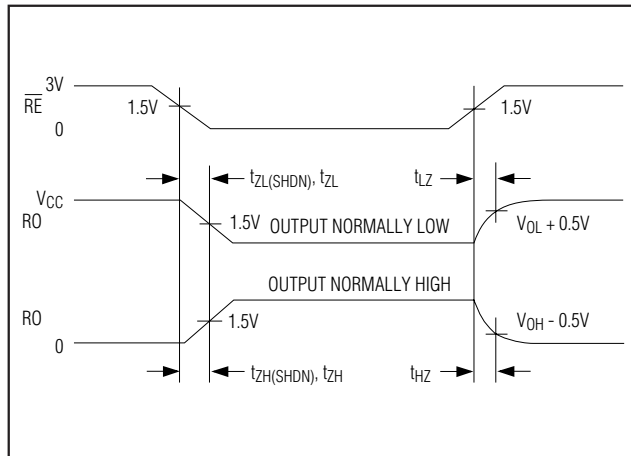


図8. レシーバイネーブル及びディセーブル時間

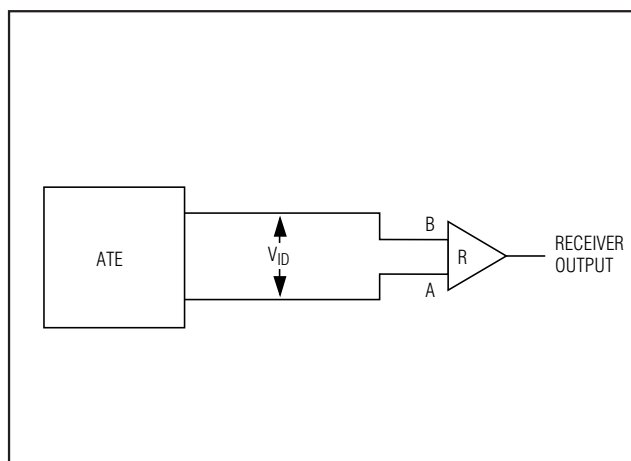


図9. レシーバ伝播遅延テスト回路

詳細

MAX3140は、SPI/QSPI/MICROWIREコンパチブルUART(MAX3100)及びRS-485/RS-422トランシーバ(MAX3089)を1つに統合したパッケージです。UARTは、標準UARTビットストリーム及びIrDAの両方について最大230kボアのデータ速度をサポートし、8ワードの受信FIFOを備えています。また、9ビットアドレス認識に便利なパリティビット割込みも備えています。

RS-485/RS-422トランシーバは真のフェイルセーフレシーバを備えており、バス上に最大256個のトランシーバを接続できます。その他に、ピン選択可能な

フル/ハーフデュープレックス動作及びツイストペアの逆転を補正する位相制御機能等を備えています。RS-485/RS-422トランシーバのスルーレートは選択可能になっており、最大データレートを115kbps、500kbps、又は10Mbpsに設定できます。RS-485/RS-422ドライバは出力短絡電流制限付で、しかもサーマルシャットダウン回路がRS-485/RS-422ドライバを過剰な電力消費から保護します。

UART及びRS-485/RS-422は電源とグランド接続部を共有しているだけであるため、これら2つの機能を一緒に使用することも、単独で使用することもできます。本製品は+5V単一電源で動作します。

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

UART

汎用非同期レシーバトランスミッタ(UART)は、マイクロプロセッサ(μ P)からのSPI/MICROWIREコンパチブルの同期シリアルデータを非同期シリアルデータ通信ポート(RS-485、IrDA)にインタフェースします。図10に、MAX3140のファンクションダイアグラムを示します。UART機能には、SPI/MICROWIREインタフェース、ボーレート発生器及び割り込み発生器が含まれています。

SPIインタフェース

MAX3140はSPI、QSPI(CPOL = 0, CPHA = 0)及びMICROWIREシリアルインタフェース規格とコンパチブルです(図11)。MAX3140は、どの読取り/書込みレジスタが使用されているかにかかわらず、DINで16ビットワードを予期すると同時にDOUT用に16ビットワードを生成するユニークなフルデュプレックス構造を備えています。DINストリームを監視して、最初の2ビットによってデータ転送のタイプをUARTに知らせます(「WRITE CONFIGURATIONレジスタ」、「READ CONFIGURATIONレジスタ」、「WRITE DATAレジスタ」)

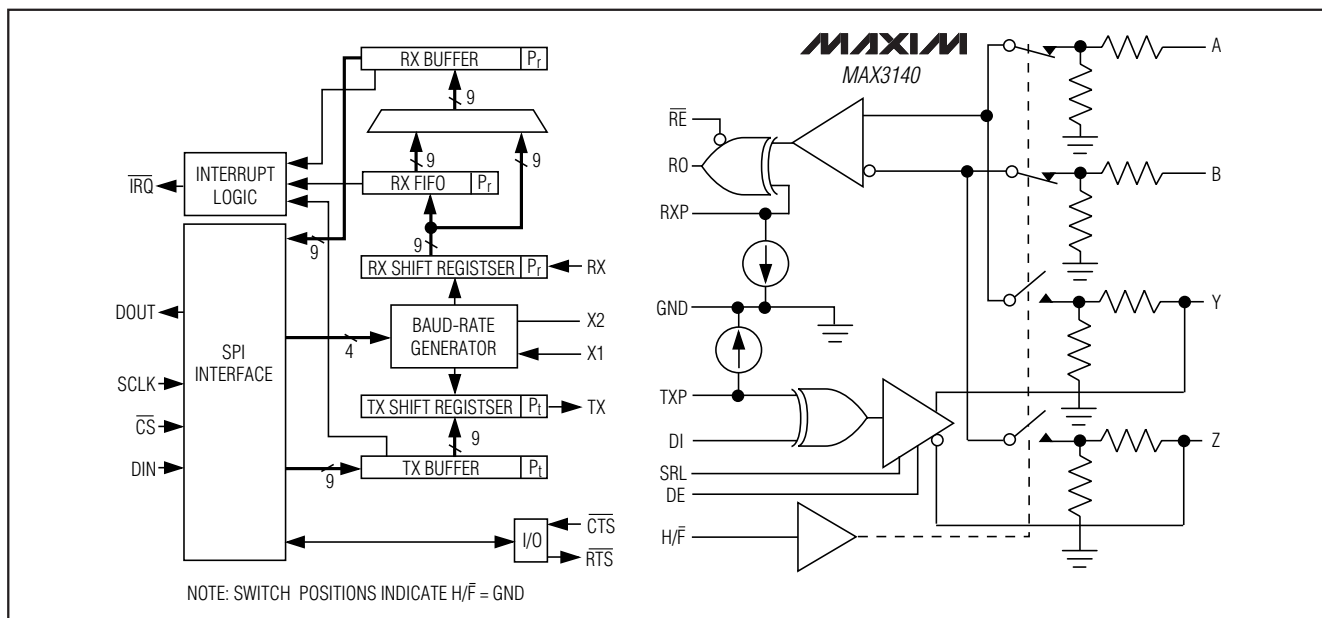


図10. ファンクションダイアグラム

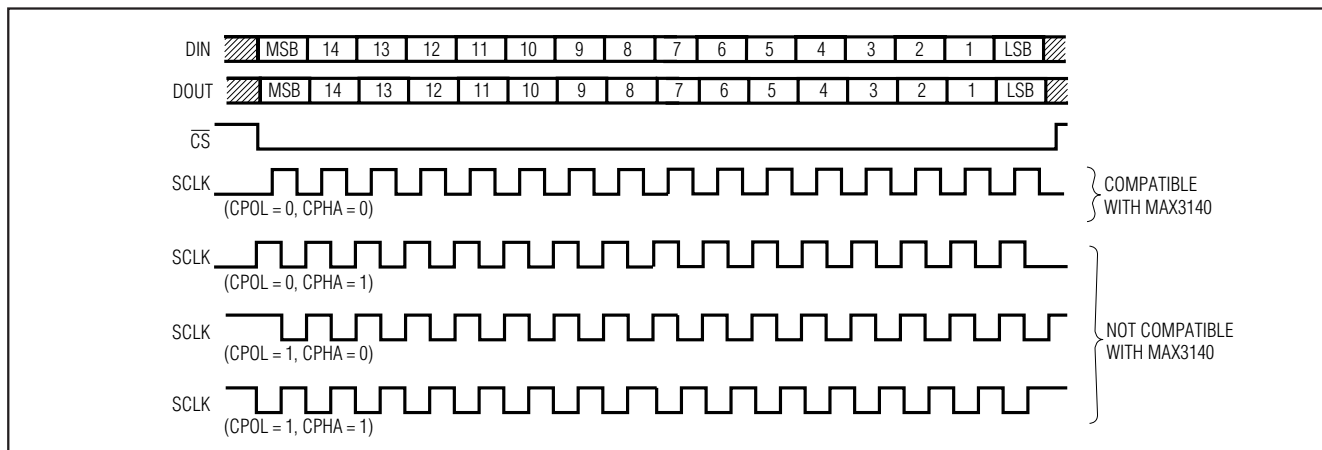


図11. コンパチブルなCPOL及びCPHAモード

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

及び「READ DATAレジスタ」を参照)。DIN(MOSI)は、SCLKの立上がりエッジでラッチされます。DOUT(MISO)は、SCLKの立上がりエッジで μ Pに読み込まれます。DOUTの最初のビット(ビット15)は \overline{CS} の立下がりエッジで遷移し、ビット14~0はSCLKの立下がりエッジで遷移します。図12に、同期SPIポートのシリアルタイミング規格の詳細を示します。

16ビットワードのみが预期されています。転送の途中(16番目のビットの前)で \overline{CS} がハイになると、そのシーケンスは中止されます(即ち、データは個々のレジスタに書き込まれません)。内部レジスタのクリア等、殆ど

の動作は \overline{CS} の立上がりエッジでのみ実行されます。 \overline{CS} がローになる度に、新しい16ビットストリームが预期されます。図13に、WRITE CONFIGURATIONレジスタの使用例を示します。

表1に、WRITE CONFIGURATION、READ CONFIGURATION、WRITE DATA及びREAD DATAレジスタのビットの説明があります。この表には、そのビットが読取りビットか書込みビットかの区別、そしてそのビットのパワーオンリセット状態(POR)も記載されています。図14にパリティ及びワード長制御の例を示します。

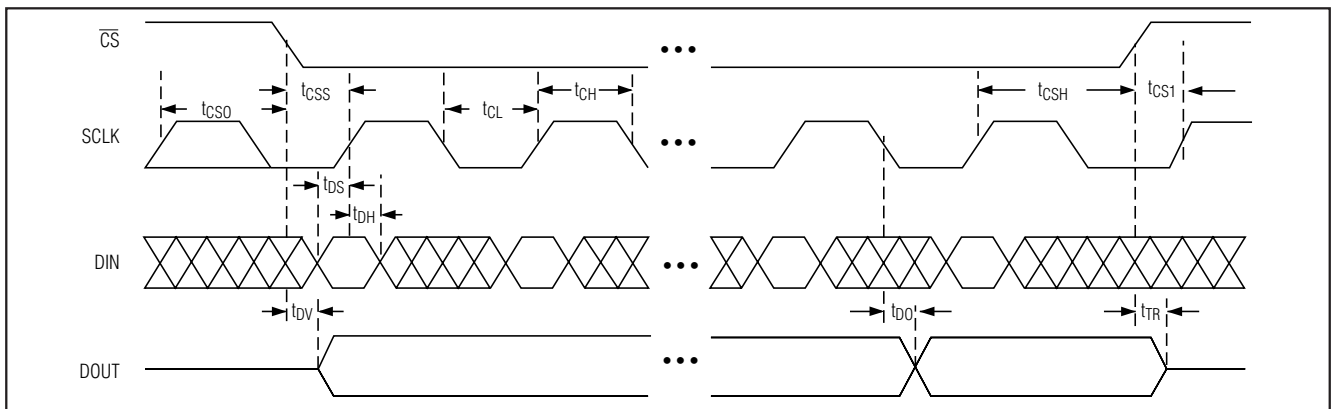


図12. 同期ポートのシリアルタイミング規格の詳細

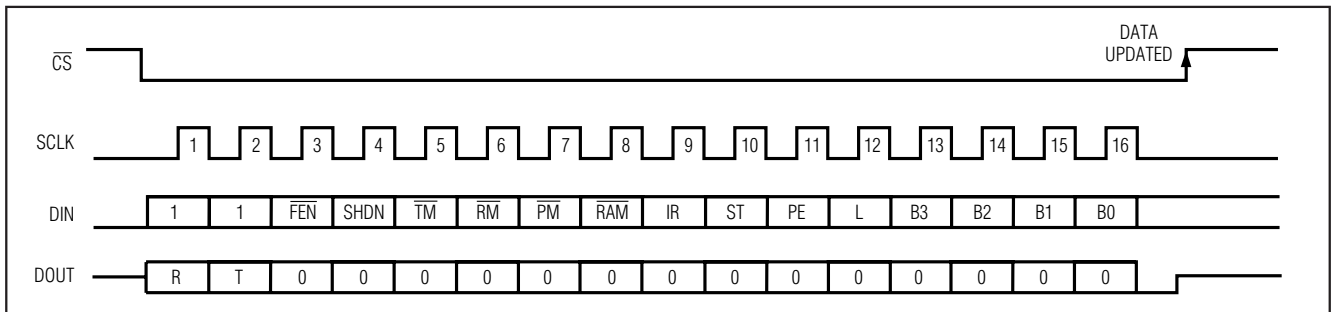


図13. SPIインタフェース(書込み構成)

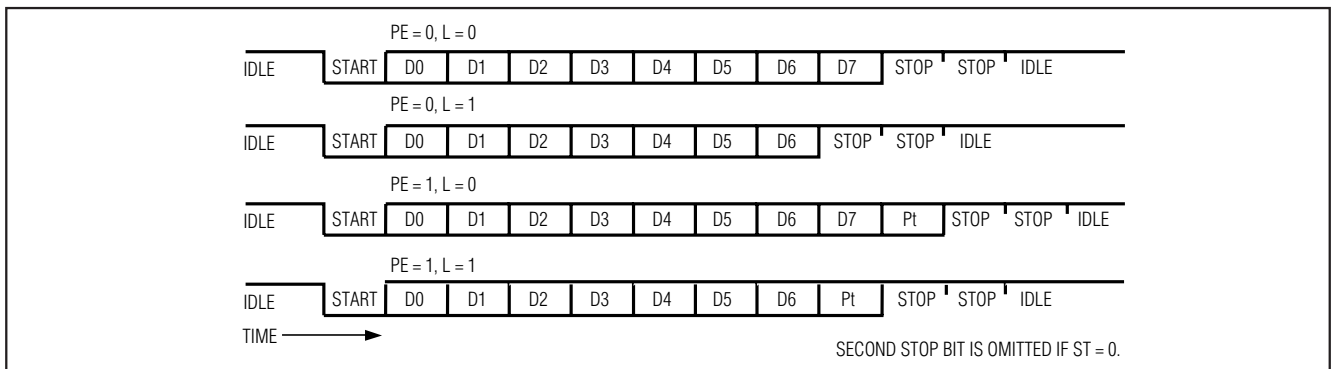


図14. パリティ及びワード長制御

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

表1. ビットの説明

BIT NAME	BIT TYPE	POR STATE	DESCRIPTION
B0–B3	write	0000	Baud-Rate Divisor Select Bits. Sets the baud clock's value (Table 6).
B0–B3	read	0000	Baud-Rate Divisor Select Bits. Reads the 4-bit baud clock value assigned to these registers.
CTS	read	No change	Clear-to-Send-Input. Records the state of the $\overline{\text{CTS}}$ pin (CTS bit = 0 implies $\overline{\text{CTS}}$ pin = logic high).
D0t–D7t	write	XXXXXXXX	Transmit-Buffer Register. Eight data bits written into the transmit-buffer register. D7t is ignored when L = 1.
D0r–D7r	read	00000000	Eight data bits read from the receive FIFO or the receive-buffer register. When L = 1, D7r is always 0.
$\overline{\text{FEN}}$	write	0	FIFO Enable. Enables the receive FIFO when $\overline{\text{FEN}}$ = 0. When $\overline{\text{FEN}}$ = 1, FIFO is disabled.
$\overline{\text{FEN}}$	read	0	FIFO-Enable Readback. $\overline{\text{FEN}}$'s state is read.
IR	write	0	Enables the IrDA timing mode when IR = 1.
IR	read	0	Reads the value of the IR bit.
L	write	0	Bit to set the word length of the transmitted or received data. L = 0 results in 8-bit words (9-bit words if PE = 1) (see Figure 5). L = 1 results in 7-bit words (8-bit words if PE = 1).
L	read	0	Reads the value of the L bit.
Pt	write	X	Transmit-Parity Bit. This bit is treated as an extra bit that is transmitted if PE = 1. In 9-bit networks, the MAX3140 does not calculate parity. If PE = 0, then this bit (Pt) is ignored in transmit mode (see the <i>9-Bit Networks</i> section).
Pr	read	X	Receive-Parity Bit. This bit is the extra bit received if PE = 1. Therefore, PE = 1 results in 9-bit transmissions (L = 0). If PE = 0, then Pr is set to 0. Pr is stored in the FIFO with the receive data (see the <i>9-Bit Networks</i> section).
PE	write	0	Parity-Enable Bit. Appends the Pt bit to the transmitted data when PE = 1, and sends the Pt bit as written. No parity bit is transmitted when PE = 0. With PE = 1, an extra bit is expected to be received. This data is put into the Pr register. Pr = 0 when PE = 0. The MAX3140 does not calculate parity.
PE	read	0	Reads the value of the Parity-Enable bit.
$\overline{\text{PM}}$	write	0	Mask for Pr bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{PM}}$ = 1 and Pr = 1 (Table 7).
$\overline{\text{PM}}$	read	0	Reads the value of the $\overline{\text{PM}}$ bit (Table 7).
R	read	0	Receive Bit or FIFO Not Empty Flag. R = 1 means new data is available to be read or is being read from the receive register or FIFO. If performing a READ DATA or WRITE DATA operation, the R bit will clear on the falling edge of SCLK's 16th pulse if no new data is available.
$\overline{\text{RM}}$	write	0	Mask for R bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{RM}}$ = 1 and R = 1 (Table 7).
$\overline{\text{RM}}$	read	0	Reads the value of the $\overline{\text{RM}}$ bit (Table 7).
$\overline{\text{RAM}}$	write	0	Mask for RA/FE bit. $\overline{\text{IRQ}}$ is asserted if $\overline{\text{RAM}}$ = 1 and RA/FE = 1 (Table 7).
$\overline{\text{RAM}}$	read	0	Reads the value of the $\overline{\text{RAM}}$ bit (Table 7).
RTS	write	0	Request-to-Send Bit. Controls the state of the $\overline{\text{RTS}}$ output. This bit is reset on power-up (RTS bit = 0 sets the $\overline{\text{RTS}}$ pin = logic high).

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

表1. ビットの説明(続き)

BIT NAME	BIT TYPE	POR STATE	DESCRIPTION
RA/FE	read	0	Receiver-Activity/Framing-Error Bit. In shutdown mode, this is the RA bit. In normal operation, this is the FE bit. In shutdown mode, a transition on RX sets RA = 1. In normal mode, a framing error sets FE = 1. A framing error occurs if a zero is received when the first stop bit is expected. FE is set when a framing error occurs, and cleared upon receipt of the next properly framed character independent of the FIFO being enabled. When the device wakes up, it is likely that a framing error will occur. This error is cleared with a WRITE CONFIGURATION. The FE bit is not cleared on a READ DATA operation. When an FE is encountered, the UART resets itself to the state where it is looking for a start bit.
SHDNi	write	0	Software-Shutdown Bit. Enter software shutdown with a WRITE CONFIGURATION where SHDNi = 1. Software shutdown takes effect after \overline{CS} goes high, and causes the oscillator to stop as soon as the transmitter becomes idle. Software shutdown also clears R, T, RA/FE, D0r–D7r, D0t–D7t, Pr, Pt, and all data in the receive FIFO. RTS and CTS can be read and updated while in shutdown. Exit software shutdown with a WRITE CONFIGURATION where SHDNi = 0. The oscillator restarts typically within 50ms of \overline{CS} going high. RTS and CTS are unaffected. Refer to the <i>Pin Description</i> for hardware shutdown (\overline{SHDN} input).
SHDNo	read	0	Shutdown Read-Back Bit. The READ CONFIGURATION register outputs SHDNo = 1 when the UART is in shutdown. Note that this bit is not sent until the current byte in the transmitter is sent (T = 1). This tells the processor when it may shut down the RS-485/RS-422 driver. This bit is also set immediately when the device is shut down through the \overline{SHDN} pin.
ST	write	0	Transmit-Stop Bit. One stop bit will be transmitted when ST = 0. Two stop bits will be transmitted when ST = 1. The receiver only requires one stop bit.
ST	read	0	Reads the value of the ST bit.
T	read	1	Transmit-Buffer-Empty Flag. T = 1 means that the transmit buffer is empty and ready to accept another data word.
\overline{TE}	write	0	Transmit-Enable Bit. If \overline{TE} = 1, then only the \overline{RTS} pin is updated on \overline{CS} 's rising edge. The contents of \overline{RTS} , Pt, and D0t–D7t transmit on \overline{CS} 's rising edge when \overline{TE} = 0.
\overline{TM}	write	0	Mask for T Bit. \overline{TRQ} is asserted if \overline{TM} = 1 and T = 1 (Table 7).
\overline{TM}	read	0	Reads the value of the \overline{TM} bit (Table 7).

高レベルプログラマへの留意点

MAX3140は、書込みと読取りの双方向性データ経路を提供するというSPIの慣行にしたがっています。このため、データが書き込まれる時は常にデータの読取りも行われます。これにより、高ボーレートでの動作中に必要に応じてSPIバス上の動作が速くなります。C言語等、殆どの高レベル言語では、コンソール又はシリアルポート等のストリームI/O機器との書込み及び読取りのためのコマンドがあります。特にC言語においては、文字を送信するPUTCHARコマンドと、文字を受信するGETCHARコマンドがあります。C言語において、基盤となるドライバコードなしに直接書込み及び読取りコマンドを実施すると、PUTCHARと意図したコマンドがPUTGETCHARコマンドになります。これらのCコマンドにおいては、BIOSレベルのサポートを受けられることが仮定されています。

これらのコマンドを実施する適正な方法は、ドライバコードを使用することです。通常の場合、それはアセンブリ言語の割込みサービスルーチン及び高レベルルーチンに使用される呼び出し可能なルーチンの形を取ります。このドライバは、割込みを処理し、MAX3140の受信及び送信バッファを管理します。PUTCHARが実行されると、このドライバが呼び出され、現在の文字が送信される時に受信される文字を安全にバッファします。同様に、GETCHARが実行される時は、MAX3140からデータを受信する前にそれ自身の受信バッファをチェックします。リスト1のMAX3140ソフトウェアドライバのC言語アウトラインを参照してください。

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

WRITE CONFIGURATIONレジスタ
(D15、D14 = 1、1)

WRITE CONFIGURATIONレジスタに16ビットワードを書き込むことにより、UARTの構成を設定してください。このレジスタは、ボーレート、データワード長、パリティイネーブル及び8ワード受信FIFOのイネーブルを設定します。DINコンフィギュレーションワードのビット15及び14を1に設定すると、WRITE CONFIGURATIONモードがイネーブルされます。DINコンフィギュレーションワードのビット13~0はUARTの構成を設定します。表2に、WRITE CONFIGURATIONレジスタのビット割当を示します。WRITE CONFIGURATIONレジスタは、通常のUARTタイミング及びIrDAタイミングの選択とシャットダウン制御を可能にすると共に、4つの割込みマスクビットを含んでいます。

WRITE CONFIGURATIONレジスタをセットすると、受信FIFO及びR、T、RA/FE、D0r~D7r、D0t~D7t、Pr及びPtレジスタがクリアされます。ビットRTSとCTSは不変です。送信バッファが空(T=1)で送信が終わっている場合、CSの立上がりエッジで新しい構成が有効になります。最後の送信がまだ完了していない場合(T=0)、レジスタは送信が終わった時に更新されます。

WRITE CONFIGURATIONレジスタのビット(\overline{FEN} 、SHDNi、IR、ST、PE、L、B3~B0)は、現在の送信が終わった後で有効になります。マスクビット(\overline{TM} 、 \overline{RM} 、 \overline{PM} 、 \overline{RAM})は、SCLKの16番目の立上がりエッジの直後に有効になります。

表2. WRITE CONFIGURATIONレジスタのビット割当(D15、D14 = 1、1)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN	1	1	\overline{FEN}	SHDNi	\overline{TM}	\overline{RM}	\overline{PM}	\overline{RAM}	IR	ST	PE	L	B3	B2	B1	B0
DOUT	R	T	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Notes:

bit 15, 14: DIN

1, 1 = Write Configuration

bit 13: DIN

\overline{FEN} = 0, FIFO is enabled

\overline{FEN} = 1, FIFO is disabled

bit 12: DIN

SHDNi = 1, Enter software shutdown

SHDNi = 0, Exit software shutdown

bit 11: DIN

\overline{TM} = 1, Transmit-buffer-empty interrupt is enabled.

\overline{TM} = 0, Transmit-buffer-empty interrupt is disabled.

bit 10: DIN

\overline{RM} = 1, Data available in the receive register or FIFO interrupt is enabled.

\overline{RM} = 0, Data available in the receive register or FIFO interrupt is disabled.

bit 9: DIN

\overline{PM} = 1, Parity-bit-received interrupt is enabled.

\overline{PM} = 0, Parity-bit-received interrupt is disabled.

bit 8: DIN

\overline{RAM} = 1, Receiver-activity (shutdown mode)/Framing-error (normal operation) interrupt is enabled.

\overline{RAM} = 0, Receiver-activity (shutdown mode)/Framing-error (normal operation) interrupt is disabled.

bit 7: DIN

IR = 1, IrDA mode is enabled.

IR = 0, IrDA mode is disabled.

bit 6: DIN

ST = 1, Transmit two stop bits

ST = 0, Transmit one stop bit

bit 5: DIN

PE = 1, Parity is enabled for both transmit (state of Pt) and receive.

PE = 0, Parity is disabled for both transmit and receive.

bit 4: DIN

L = 1, 7-bit words (8-bit words if PE = 1)

L = 0, 8-bit words (9-bit words if PE = 1)

bit 3-0: DIN

B3-B0 = XXXX Baud-Rate Divisor select bits. See Table 6.

bit 15: DOUT

R = 1, Data is available to be read from the receive register or FIFO.

R = 0, Receive register and FIFO are empty.

bit 14: DOUT

T = 1, Transmit buffer is empty.

T = 0, Transmit buffer is full.

bit 13-0: DOUT

Zeros

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

MAX3140から、DOUT WRITE CONFIGURATIONワードのビット15及び14(R及びT)及びそれに続く14個のゼロが送り出されます。R及びTビットを使用するかどうかは任意ですが、それに続く14個のゼロは無視してください。

要注意：UARTの構成を設定する前に、水晶発振器の動作が安定化されている必要があります(標準的にはパワーアップの約25ms後)。パワーアップ時に、ソフトウェアループ内でWRITE CONFIGURATIONビット及びREAD CONFIGURATIONビットを、両者が一致するまで比較し続けてください。これにより、発振器が安定しており、UARTの構成が正しく設定されていることが保証されます。

READ CONFIGURATIONレジスタ
(D15、D14 = 0、1)

READ CONFIGURATIONを使用することにより、UARTに最後に書き込まれた構成を読み戻してください。このモードにおいては、READ CONFIGURATIONモードをイネーブルするためにDIN構成ワードのビット15及び14がそれぞれ0及び1でなければなりません。DINワードのビット13~1をクリアしてください。ビット0は、UARTをテストモードにするためのテストビットです(「テストモード」を参照)。表3に、READ CONFIGURATIONレジスタのビット割当を示します。

表3. READ CONFIGURATIONレジスタのビット割当(D15、D14 = 0、1)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	TEST
DOUT	R	T	$\overline{\text{FEN}}$	SHDNo	$\overline{\text{TM}}$	$\overline{\text{RM}}$	$\overline{\text{PM}}$	$\overline{\text{RAM}}$	IR	ST	PE	L	B3	B2	B1	B0

Notes:

bit 15: DOUT

R = 1, Data is available to be read from the receive register or FIFO.

R = 0, Receive register and FIFO are empty.

bit 14: DOUT

T = 1, Transmit buffer is empty.

T = 0, Transmit buffer is full.

bit 13: DOUT

$\overline{\text{FEN}}$ = 0, FIFO is enabled

$\overline{\text{FEN}}$ = 1, FIFO is disabled

bit 12: DOUT

SHDNo = 1, Software shutdown is enabled.

SHDNo = 0, Software shutdown is disabled.

bit 11: DOUT

$\overline{\text{TM}}$ = 1, Transmit-buffer-empty interrupt is enabled.

$\overline{\text{TM}}$ = 0, Transmit-buffer-empty interrupt is disabled.

bit 10: DOUT

$\overline{\text{RM}}$ = 1, Data available in the receive register or FIFO interrupt is enabled.

$\overline{\text{RM}}$ = 0, Data available in the receive register or FIFO interrupt is disabled.

bit 9: DOUT

$\overline{\text{PM}}$ = 1, Parity-bit-received interrupt is enabled.

$\overline{\text{PM}}$ = 0, Parity-bit-received interrupt is disabled.

bit 8: DOUT

$\overline{\text{RAM}}$ = 1, Receiver-activity (shutdown mode)/Framing-error (normal operation) interrupt is enabled.

$\overline{\text{RAM}}$ = 0, Receiver-activity (shutdown mode)/Framing-error (normal operation) interrupt is disabled.

bit 7: DOUT

IR = 1, IrDA mode is enabled.

IR = 0, IrDA mode is disabled.

bit 6: DOUT

ST = 1, Transmit two stop bits.

ST = 0, Transmit one stop bit.

bit 5: DOUT

PE = 1, Parity is enabled for both transmit (state of Pt) and receive.

PE = 0, Parity is disabled for both transmit and receive.

bit 4: DOUT

L = 1, 7-bit words (8-bit words if PE = 1)

L = 0, 8-bit words (9-bit words if PE = 1)

bit 3-0: DOUT

B3-B0 = XXXX Baud-Rate Divisor select bits. See Table 6.

bit 15, 14: DIN

0, 1 = Read Configuration

bit 13-1: DIN

Zeros

bit 0: DIN

If TEST = 1 and $\overline{\text{CS}}$ = 0, then $\overline{\text{RTS}}$ = 16xBaudCLK

TEST = 0, Disables TEST mode.

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

テストモード

READ CONFIGURATIONの実行中にDIN構成ワードのビット0が1の時、デバイスはテストモードに入ります。このモードにおいては、 \overline{CS} = 0であれば、 \overline{RTS} ピンがボーレートの16倍のクロックを送信します。 \overline{CS} がローである限り、テストモード中のTXピンはローです。表3に、READ CONFIGURATIONレジスタのビット割当を示します。

WRITE DATAレジスタ(D15、D14 = 1、0)

WRITE DATAレジスタを使用することにより、TXバッファへの送信及びRXバッファ(イネーブルされている場合はRX FIFOも)からの受信を行ってください。このレジスタを使用する場合、DIN及びDOUTのWRITE DATAワードは同時に使用され、DIN及びDOUTの両WRITE DATAワードのビット13~11は無意味のゼロとなっています。DINのWRITE DATAワードは、送信されるデータを含んでいます。DOUTのWRITE DATAワードはRX FIFOから受信されるデータを含んでいます。表4

にWRITE DATAレジスタのビット割当を示します。データを送信せずに \overline{RTS} ピンの出力状態を変更するには、 \overline{TE} ビットをハイに設定してください。WRITE DATA動作を行う場合、新しいデータがない時はSCLKの16番目のクロックパルスの立下がりエッジでRビットがクリアされます。

READ DATAレジスタ(D15、D14 = 0、0)

READ DATAレジスタを使用することにより、RX FIFOからデータを受信してください。このレジスタを使用する時は、DINのビット15及び14が0でなければなりません。DINのREAD DATAワードのビット13~0をクリアしてください。表5にREAD DATAレジスタのビット割当を示します。利用可能な全てのデータを読取ると、Rビット及び割込み \overline{IRQ} がクリアされます。READ DATA動作を行う場合、新しいデータがない時はSCLKの16番目のクロックパルスの立下がりエッジでRビットがクリアされます。

表4. WRITE DATAレジスタのビット割当(D15、D14 = 1、0)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN	1	0	0	0	0	\overline{TE}	RTS	Pt	D7t	D6t	D5t	D4t	D3t	D2t	D1t	D0t
DOUT	R	T	0	0	0	RA/FE	CTS	Pr	D7r	D6r	D5r	D4r	D3r	D2r	D1r	D0r

Notes:

5, 14: DIN

1, 0 = Write Data

bit 13–11: DIN

Zeros

bit 10: DIN

\overline{TE} = 1, Disables transmit, and only \overline{RTS} will be updated.

\overline{TE} = 0, Enables transmit.

bit 9: DIN

RTS = 1, Configures \overline{RTS} = 0 (Logic Low).

RTS = 0, Configures \overline{RTS} = 1 (Logic High).

bit 8: DIN

Pt = 1, Transmit parity bit is high. If PE = 1, a high parity bit will be transmitted. If PE = 0, then no parity bit will be transmitted.

Pt = 0, Transmit parity bit is low. If PE = 1, a low parity bit will be transmitted. If PE = 0, then no parity bit will be transmitted.

bit 7–0: DIN

D7t–D0t = Transmitting Data bits. D7t is ignored when L = 1.

bit 15: DOUT

R = 1, Data is available to be read from the receive register or FIFO.

R = 0, Receive register and FIFO are empty.

bit 14: DOUT

T = 1, Transmit buffer is empty.

T = 0, Transmit buffer is full.

bit 13–11: DOUT

Zeros

bit 10: DOUT

RA/FE = Receive-activity (UART shutdown)/Framing-error (normal operation) bit.

bit 9: DOUT

CTS = \overline{CTS} input state. If CTS = 0, then \overline{CTS} = 1 and vice versa.

bit 8: DOUT

Pr = Received parity bit. This is only valid if PE = 1.

bit 7–0: DOUT

D7r–D0r = Received Data bits. D7r = 0 for L = 1.

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

表5. READ DATAレジスタのビット割当(D15、D14 = 0、0)

BIT	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DOU	R	T	0	0	0	RA/FE	CTS	Pr	D7r	D6r	D5r	D4r	D3r	D2r	D1r	D0r

Notes:**bit 15, 14: DIN**

0, 0 = Read Data

bit 13–0: DIN

Zeros

bit 15: DOUT

R = 1, Data is available to be read from the receive register or FIFO.

R = 0, Receive register and FIFO are empty.

bit 14: DOUT

T = 1, Transmit buffer is empty.

T = 0, Transmit buffer is full.

bit 13–11: DOUT

Zeros

bit 10: DOUT

RA/FE = Receive-activity (UART shutdown)/Framing-error (normal operation) bit

bit 9: DOUTCTS = $\overline{\text{CTS}}$ input state. If CTS = 0, then $\overline{\text{CTS}}$ = 1 and vice versa.**bit 8: DOUT**

Pr = Received parity bit. This is only valid if PE = 1.

bit 7–0: DOUT

D7t–D0t = Received Data bits. D7r = 0 for L = 1.

ボーレート発生器

ボーレート発生器により、トランスミッタ及びレシーバが動作するレートが決定されます。WRITE CONFIGURATIONレジスタのビットB0～B3がボーレート除数(BRD)を決定します。この除数でX1発振器の周波数が割り算されます。内蔵発振器は1.8432MHz又は3.6864MHzのクリスタルで動作させるか、X1にデューティサイクル45%～55%の矩形波を入力して駆動できます。表6に入力コードとボーレート除数の関係、及び1.8432MHzと3.6864MHzクリスタルを使用した場合のボーレートを示します。発生器のクロックは、ボーレートの16倍です。

割込みソース及びマスク

READ DATA又はWRITE DATAレジスタを使用すると、割込みIRQがクリアされます(割込を発生させた条件がその時点で存在しないと仮定します)。表7に各割込みソースの詳細を示します。図15は、割込みソース及びマスクブロックのファンクションダイアグラムです。

MAX3140のIRQセットアップの例を2つ、以下に紹介します。

例1: 「送信バッファ空」割込みだけのセットアップ

WRITE CONFIGURATIONレジスタを使用して、下記の16ビットワードをMAX3140のDINに送ってください。この16ビットワードは、MAX3140を9,600bps、8ビットワード、ノーパリティ及び1ストップビット、1.8432MHzクリスタルの構成に設定します。

バイナリ 1100100000001010

HEX C80A

表6. ボーレート選択表*

BAUD				DIVISION RATIO	BAUD RATE (fosc = 1.8432MHz)	BAUD RATE (fosc = 3.6864MHz)
B3	B2	B1	B0			
0	0	0	0**	1	115.2k**	230.4k**
0	0	0	1	2	57.6k	115.2k
0	0	1	0	4	28.8k	57.6k
0	0	1	1	8	14.4k	28.8k
0	1	0	0	16	7200	14.4k
0	1	0	1	32	3600	7200
0	1	1	0	64	1800	3600
0	1	1	1	128	900	1800
1	0	0	0	3	38.4k	76.8k
1	0	0	1	6	19.2k	38.4k
1	0	1	0	12	9600	19.2k
1	0	1	1	24	4800	9600
1	1	0	0	48	2400	4800
1	1	0	1	96	1200	2400
1	1	1	0	192	600	1200
1	1	1	1	384	300	600

*Standard baud rates shown in bold

**Default baud rate

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

表7. 割込みソース及びマスク --- ビットの説明

BIT NAME	MASK BIT	MEANING WHEN SET	DESCRIPTION
Pr	\overline{PM}	Received parity bit = 1	The Pr bit reflects the value in the word currently in the receive-buffer register (oldest data available). The Pr bit is set when parity is enabled (PE = 1) and the received parity bit is 1. The Pr bit is cleared either when parity is not enabled (PE = 0), or when parity is enabled and the received bit is 0. An interrupt is issued based on the oldest Pr value in the receiver FIFO. The oldest Pr value is the next value read by a READ DATA operation.
R	\overline{RM}	Data available	The R bit is set when new data is available to be read or when data is being read from the receive register/FIFO. FIFO is cleared when all data has been read. An interrupt is asserted as long as R = 1 and \overline{RM} = 1.
RA/FE	\overline{RAM}	Transition on RX when in shutdown; framing error when not in shutdown	This is the RA (RX-transition) bit in shutdown, and the FE (framing-error) bit in operating mode. RA is set if there has been a transition on RX since entering shutdown. RA is cleared when the MAX3140 exits shutdown. \overline{IRQ} is asserted when RA is set and \overline{RAM} = 1. FE is determined solely by the currently received data, and is not stored in FIFO. The FE bit is set if a zero is received when the first stop bit is expected. FE is cleared upon receipt of the next properly framed character. \overline{IRQ} is asserted when FE is set and \overline{RAM} = 1.
T	\overline{TM}	Transmit buffer is empty	The T bit is set when the transmit buffer is ready to accept data. \overline{IRQ} is asserted low if \overline{TM} = 1 and the transmit buffer becomes empty. This source is cleared on the rising edge of SCLK's 16th pulse when using a READ DATA or WRITE DATA operation. Although the interrupt is cleared, poll T to determine transmit-buffer status.

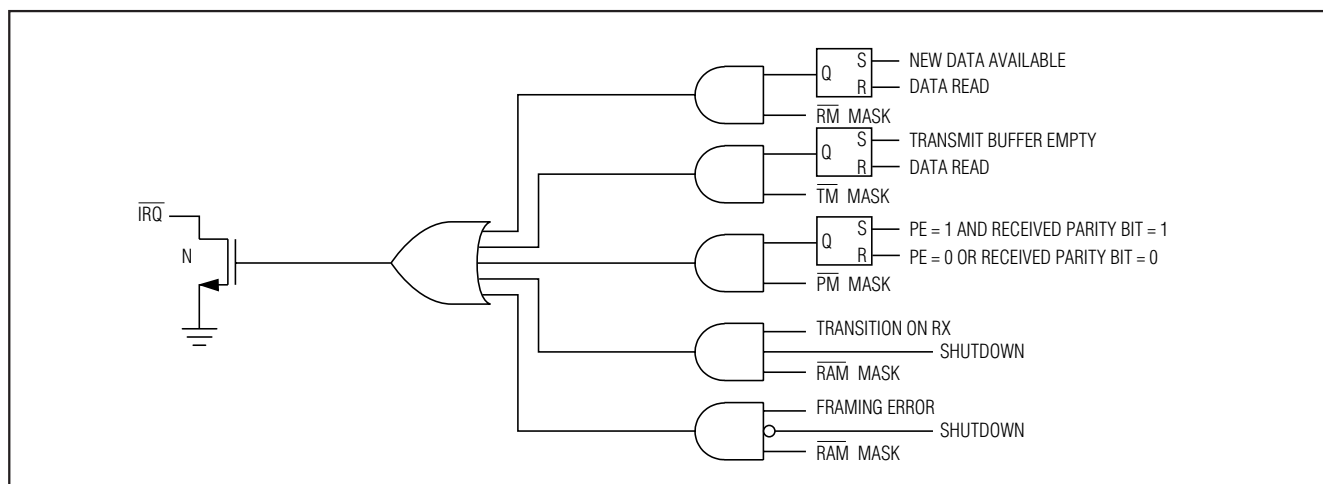


図15. 割込みソース及びマスクブロックのファンクションダイアグラム

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

例2: 「利用可能データ(又は読取り中データ)割込みだけのセットアップ

WRITE CONFIGURATIONレジスタを使用して、下記の16ビットワードをMAX3140のDINに送ってください。この16ビットワードは、MAX3140を9,600bps、8ビットワード、ノーパリティ及び1ストップビット、1.8432MHzクリスタルという構成に設定します。

バイナリ 1100010000001010

HEX C40A

受信FIFO

MAX3140はUARTが受信したデータのための受信FIFOを備えているため、プロセッサのオーバヘッドを最小限に抑えることができます。受信FIFOは深さが8ワードで、オーバフローすると自動的にクリアされます。UARTをシャットダウンした場合にも、受信FIFOがクリアされます。パワーアップ時には、受信FIFOはイネーブルされます。受信FIFOをディセーブルするには、WRITE CONFIGURATIONレジスタに書き込むときにFENビットをハイに設定してください。FIFOがイネーブルされているかディセーブルされているかをチェックするには、READ CONFIGURATIONを使ってFENビットを読み戻してください。

UARTのシャットダウン

シャットダウン時には、発振器がターンオフして電力消費を削減します($I_{CCSHDN\ UART} < 1\text{mA}$)。UARTをシャットダウンさせる方法は2つあります。即ち、ソフトウェアコマンド(SHDNiビット = 1)による方法又はハードウェアコマンド($\overline{SHDN} = \text{ロジックロー}$)による方法です。ハードウェアシャットダウンは直ちに有効となり、進行中の送信を直ちに終了します。ソフトウェアシャットダウン(SHDNiビットを1に設定することによりリクエスト)に入るのは、送信シフトレジスタ及び送信バッファレジスタの両方のデータの送信が完了してからになります。UARTが(ハードウェアあるいはソフトウェアの)シャットダウンに入るとSHDNoビットが設定されます。マイクロコントローラ(μC)はSHDNoビットを監視することによっていつ全てのデータが送信されたかを知り、その時にRS-485トランシーバをシャットダウンできます。

シャットダウンは、受信FIFO、R、RA/FE、D0r~D7r、Pr及びPtレジスタをクリアし、Tビットをハイに設定します。SHDNo = 1の時、コンフィギュレーションビット(RM、TM、PM、RAM、IR、ST、PE、L、B0~3及びRTS)を変更できます。また、CTSを読取ることもできます。RAはシャットダウンに入る時にリセットされますが、RXピンに遷移が検出されるとハイになります。これにより、UARTはシャットダウン中にもレシーバの動作を監視できます。

SHDNピンがロジックハイの時にパワーアップコマンド(SHDNi = 0)が発生していると、CSがハイになった時に発振器がターンオンします。この時のスタートアップ時間は、最小25msです。これはWRITE CONFIGURA-

TIONレジスタへの書込みを通じて実行されます。この書込みにより、RTS及びCTS以外の全てのレジスタがクリアされます。水晶発振器がスタートするには通常少なくとも25msを要するため、最初に受信される文字は乱れ、フレーミングエラーが発生することがあります。

RS-485/RS-422トランシーバ

本RS-485/RS-422トランシーバは数多くの機能を備えているため、任意のRS-485/RS-422アプリケーション用に構成を設定できます。図10に、MAX3140のファンクションダイアグラムを示します。RS-485/RS-422トランシーバ機能の中には、フル及びハーフデュープレックス選択機能、真のフェイルセーフ回路、設定可能なスルーレート制限、レシーバ入力フィルタリング及び位相制御回路が含まれています。

フル又はハーフデュープレックス

MAX3140は、フル又はハーフデュープレックスモードのどちらでも動作できます。フルデュープレックス動作の場合は、H/Fピンをローにするか、無接続にするか(内部プルダウン付)あるいはGNDに接続します。ハーフデュープレックス動作の場合はハイにします。ハーフデュープレックスモードの時はレシーバ入力はドライバ出力に切り換えられて、出力Y及びZはそれぞれ入力A及びBに接続されます。ハーフデュープレックスモードでも、内部フルデュープレックスレシーバ入力抵抗は入力AとBに接続されています。

真のフェイルセーフ回路

MAX3140は、レシーバ入力がオープン又は短絡状態の時、あるいはドライバが全てディセーブルされた終端伝送ラインに接続されている時に、レシーバ出力としてロジックハイを保証しています。これは、レシーバのスレッショルドを-50mVと-200mVの間に設定することにより実現されています。差動レシーバ入力電圧(A-B)が-50mV以上の時、ROはロジックハイになります。A-Bが-200mV以下の場合、ROはロジックローになります。全てのトランスミッタがディセーブルされた終端バスの場合、レシーバの差動入力電圧は終端抵抗によって0Vになります。MAX3140のレシーバスレッシュョルドでは、この時ロジックハイとなります(最小ノイズマージン50mV)。以前のフェイルセーフ製品とは異なり、-50mV~-200mVであるスレッショルドは、EIA/TIA-485規格の $\pm 200\text{mV}$ に適合しています。

設定可能なスルーレート制限

MAX3140は、いくつかのプログラマブルな動作モードを持っています。トランスミッタの立ち上がり及び立下がり時間は2500ns、750ns、及び25nsの中から選択でき、データレートはそれぞれ115kbps、500kbps、及び10Mbpsとなります。所望のデータレートを選択するには、スリーステートドライバを使用してSRLを3つの状態(V_{CC} に接続、GNDに接続、無接続)のいずれかに設定してください。115kbps動作にする場合は、スリーステートデバイスをハイインピーダンスモード

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

にするかあるいはSRLを無接続にして下さい。500kbps動作にするには、SRLをハイにするかV_{CC}に接続してください。10Mbps動作にする場合は、SRLをローにするか、又はGNDに接続してください。SRLはデータ通信を中断することなく動作中に変更できます。

レシーバ入力フィルタリング

MAX3140(115kbps又は500kbpsの場合)のレシーバは、入力ヒステリシスに加えて更に入力フィルタリングが内蔵されています。このフィルタリングは、立上り/立下がりの非常に遅い差動信号でのノイズ耐性を強化します。このフィルタリングを行なうと、レシーバの伝播遅延が20%増加します。

位相制御回路

ツイストペア回線が正常のものとは逆向きに接続される場合があります。MAX3140にはこの問題を解決するため、ドライバとレシーバの位相を反転する2つのピンが備わっています。通常動作ではTXP及びRXPをローにするか、グランドに接続するか、あるいは無接続にしておきます(内部プルダウン付)。ドライバの位相を反転する場合は、TXPをハイにするかあるいはV_{CC}に接続します。レシーバ位相を反転する場合は、RXPをハイにするかV_{CC}に接続します。RXPがハイの時にレシーバスレッシュホールドが正になることに注意してください。

アプリケーション情報

クリスタル、発振器及びセラミック共振器

MAX3140は、ボーレートの発生用に外部クリスタルを使った発振器回路を内蔵しています。標準ボーレートを得るには、1.8432MHz又は3.6864MHzのクリスタルを使用してください。1.8432MHzのクリスタルを使用すると動作電流が小さくなりますが、3.6864MHzのクリスタルの方が表面実装タイプを入手しやすいことがあります。

クリスタルの低コスト代替品として、セラミック共振器を使用することもできます。但し、Q及び精度は低下します。一部のセラミック共振器は負荷コンデンサを内蔵

しているため、さらにコストを節減できます。クリスタルとセラミック共振器のどちらを選択するかは、初期周波数精度及び温度ドリフトで決めてください。他のシステムとの間における動作の信頼性を確保するには、ボーレート発生器の全エラーを1%以下にしてください。これはクリスタルであれば容易に達成できますが、セラミック共振器でも殆どの場合には達成できます。表8に、様々なクリスタル及び共振器とそのメーカを示します。

MAX3140の発振器は、並列共振モードクリスタル及びセラミック共振器をサポートし、また外部クロックソースで駆動することもできます。この発振器の内部には反転アンプがあり、この反転アンプの入力X1は、インバータを約V_{CC}/2に自己バイアスするバイアスネットワークによって出力X2に接続されています。X2とX1の間に接続された外部フィードバック回路(通常はクリスタル)により、180°の位相シフトが生じて回路が発振します。標準アプリケーション回路に示されているように、クリスタル又は共振器はX1とX2の間に接続され、クリスタルの負荷容量はC1とC2の直列の組み合わせになっています。例えば、負荷容量の仕様が11pFの1.8432MHzクリスタルの場合、クリスタルの両側とグランドの間にそれぞれ22pFのコンデンサを使用します。直列共振モードクリスタルを並列モードで動作させると、僅かな周波数誤差が生じ、通常は仕様の直列共振周波数よりも0.03%高い周波数で発振します。

注記：クリスタル、共振器及び負荷コンデンサのリード及びトレースはできるだけ短く直接的にすることが非常に重要です。X1及びX2のトレース長とグランドトラックは最短にし、他のトレースが間に入らないようにしてください。これにより寄生容量及び発振器でのノイズ混入が最小限になり、EMIが低減されます。X2の容量性負荷を小さくすると消費電流を小さくすることができます。MAX3140のX1入力、外部CMOSクロックソースで直接駆動できます。トリップレベルは、V_{CC}/2にほぼ等しくなっています。このモードではX2に何も接続しないでください。TTL又は非CMOSクロックソースを使用する場合は、10nFコンデンサでX1にACカップリングしてください。動作の信頼性を確保するために、入力のピーク間スイングを少なくとも2Vにしてください。

表8. 部品及びメーカリスト

DESCRIPTION	FREQUENCY (MHz)	TYPICAL C1, C2 (pF)	SUPPLIER	PART NUMBER	PHONE NUMBER
Through-Hole Crystal (HC-49/U)	1.8432	25	ECS International, Inc.	ECS-18-13-1	(913) 782-7787
Through-Hole Ceramic Resonator	1.8432	47	Murata North America	CSA1.84MG	(800) 831-9172
Through-Hole Crystal (HC-49/US)	3.6864	33	ECS International, Inc.	ECS-36-18-4	(913) 782-7787
SMT Crystal	3.6864	39	ECS International, Inc.	ECS-36-20-5P	(913) 782-7787
SMT Ceramic Resonator	3.6864	None (integral)	AVX/Kyocera	PBRC-3.68B	(803) 448-9411

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

9ビットネットワーク

MAX3140は、9ビットモードと呼ばれる一般的なマルチドロップ通信技法をサポートしています。このモードでは、パリティビットを設定することにより、宛先アドレス付ヘッダを含むメッセージを表わします。MAX3140のパリティマスクは、この状態に対して割込みを発生するように設定してください。このモードでネットワークを動作させると、スレーブコントローラが殆どのメッセージトラフィックを無視できるため、全てのノードの処理オーバーヘッドが低減されます。このため、リモートプロセッサが扱える有用なタスクが増えます。

9ビットモードのMAX3140は、8ビットとパリティによりセットアップされています。全ての通常メッセージではパリティビットはクリアですが、アドレスタイプメッセージではセットされます。MAX3140のパリティ割込みマスクは、イネーブルされるとハイパリティで割込みを発生します。マスターがパリティビットをセットしたアドレスメッセージを送ると、全てのMAX3140ノードが割込みを発生します。すると、すべてのノードが受信されたバイトを検索して自分に割り当てられたアドレスと比較します。アドレス指定されると、そのノードは引き続き受信された各バイトを処理します。アドレス指定されなかったノードは、マスターから新しいアドレスが送られるまで、全てのメッセージトラフィックを無視します。

パリティ/9番ビット割込みは受信レジスタ内のデータによってのみ制御され、FIFO内のデータには影響されません。このため、FIFOがディセーブルされている時にパリティ/9番ビット割込みを最も有効に使用できます。FIFOがディセーブルされていると、受信された非アドレスワードは無視できるため、UARTから読み取られることもありません。

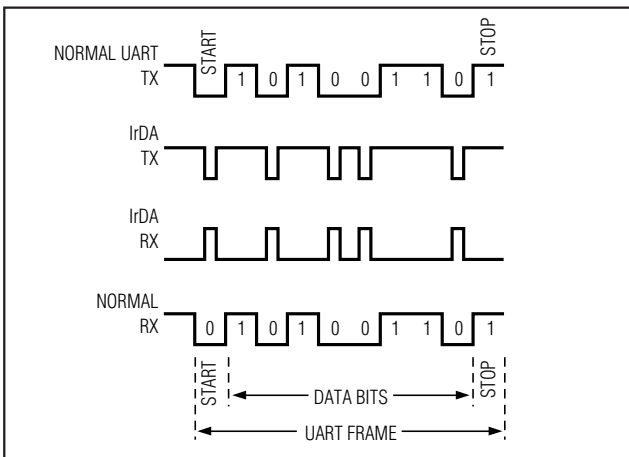


図16. IrDAのタイミング

SIR IrDAモード

MAX3140のIrDAモードを使用すると、他のIrDA SIRコンパチブル機器と通信したり、光絶縁アプリケーションにおける消費電力を節減できます。

IrDAモードでは、ビット期間はポー期間の3/16 (115,200ボーでは1.61μs)に短縮されます(図16)。データゼロは光のパルスとして送信されます(TXピン=ロジックロー、RXピン=ロジックハイ)。

受信モードでは、RX信号のサンプリングはハイレベルの送信に半分まで入ったところで行われます。サンプリングは、通常モードにおける3回とは異なり1回だけ行われます。MAX3140は、ポー期間の約1/16よりも短いパルスは無視します。MAX3140と通信しているIrDA機器は、ポー期間の3/16でパルスを送信するように設定する必要があります。他のIrDA機器とのコンパチビリティを保つため、8ビットデータ、ワンストップ、ノーパリティのフォーマットにしてください。

バス上に256個のRS-485トランシーバ

標準RS-485レシーバの入カインピーダンスは12k (1ユニット負荷)で、標準ドライバは最大32ユニット負荷まで駆動できます。MAX3140は、レシーバ入力インピーダンスが1/8ユニット負荷(96k)であるため、1本の通信回線に256個のトランシーバをパラレルに接続することができます。これらの製品及び/又はその他のRS-485トランシーバの任意の組み合わせで、合計32ユニット負荷までラインに接続できます。

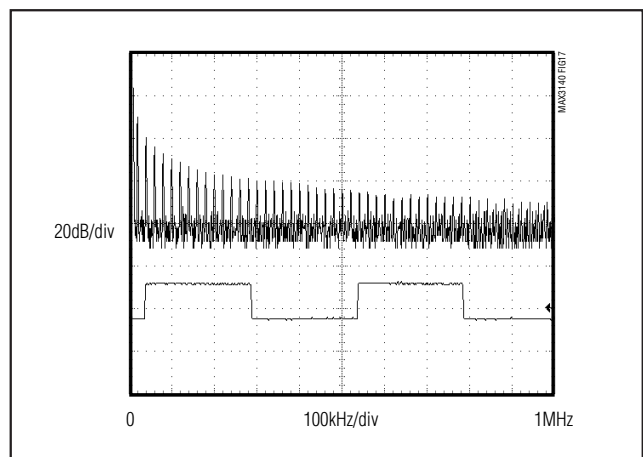


図17. MAX3140(SRL = GND)が20kHz信号を送信している時のドライバ出力波形及びFFTプロット

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

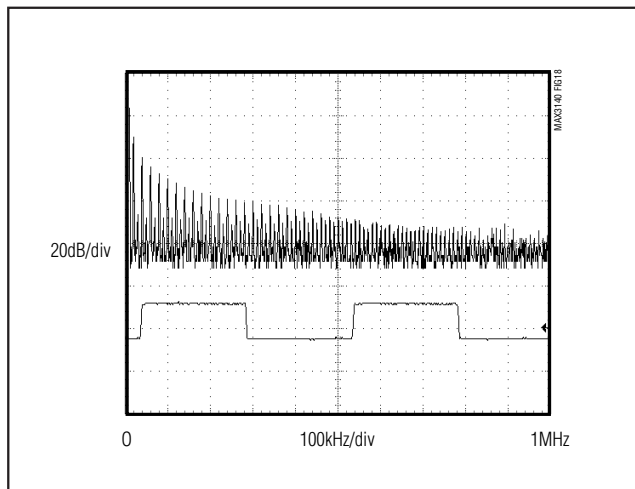


図18. MAX3140(SRL = V_{CC})が20kHz信号を送信している時のドライバ出力波形及びFFTプロット

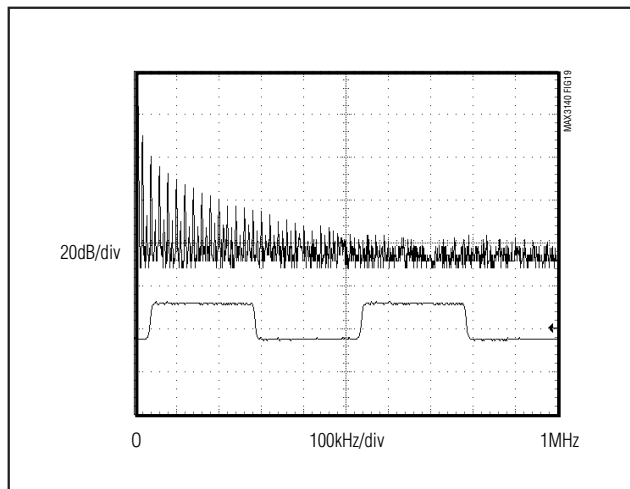


図19. MAX3140(SRL = 無接続)が20kHz信号を送信している時のドライバ出力波形及びFFTプロット

RS-485/RS-422ドライバのEMI及び反射の低減

SRL = V_{CC}又は無接続の時のMAX3140は、スルーレート制限されるため、EMIが低減され、正しく終端されていないケーブルからの反射も低減されます。図17に、SRL = GNDのときに送信された20kHz信号のドライバ出力波形とそのフーリエ解析の結果を示します。振幅の大きい高調波成分が明らかです。図18は、SRL = V_{CC}の時に同じ信号を同一条件で送信した場合を示しています。図18では、図17と比べて高周波の高調波成分の振幅がより小さくなっているため、EMIが大幅に低減されているのがわかります。図19は、SRLが無接続の時に同じ信号を同一条件で送信した場合を示しています。一般に、僅かな波形反射が生じるだけで駆動可能な未終端処理分岐線の長さは、トランスミッタの立上り時間によって決まります。次式ではこの影響を控え目に見積もっています。

$$\text{長さ} = t_{\text{RISE}} / (10 \times 1.5 \text{ ns/ft})$$

ここで t_{RISE} はトランスミッタの立上り時間です。

例えば、MAX3140の立上り時間は1320ns(typ)であるため、分岐線の長さ30メートルまでは良好な波形になります。反射が激しくても、UARTによってサンプリングされる前に反射波形がおさまると、更に長い無終端の開放線でもシステムは良好に動作します。

RS-485/RS-422トランシーバの 低電力シャットダウンモード

低電力シャットダウンモードは、 $\overline{\text{RE}}$ をハイ、DEをローにした時に起動します。 $\overline{\text{RE}}$ 及びDEは同時に駆動できません。MAX3140は、 $\overline{\text{RE}}$ がハイでDEがローである時間

が50nsより短い場合はシャットダウンにならないことが保証されています。この状態が600ns以上続くと、シャットダウンモードに入ることが保証されています。

「スイッチング特性」の表にあるイネーブル時間 t_{ZH} 及び t_{ZL} は、デバイスが低電力シャットダウン状態ではないと仮定した場合の値です。イネーブル時間 $t_{\text{ZH}}(\text{SHDN})$ 及び $t_{\text{ZL}}(\text{SHDN})$ は、デバイスが低電力シャットダウン状態であると仮定した場合の値です。ドライバ及びレシーバをイネーブルするためにかかる時間は、低電力シャットダウンモードから($t_{\text{ZH}}(\text{SHDN})$ 、 $t_{\text{ZL}}(\text{SHDN})$)の方がドライバ/レシーバディセーブルモードから(t_{ZH} 、 t_{ZL})よりも長くなります。

ドライバ出力保護

障害又はバス競合に起因する過剰な出力電流/電力消費を防ぐ機能が2つ備わっています。まず、出力段のFETの電流制限により、全同相電圧範囲にわたって短絡に対して瞬時に保護されます(「標準動作特性」を参照)。次に、サーマルシャットダウン回路が、チップの過熱時にドライバ出力を強制的にハイインピーダンスにします。

回線の長さとデータレート

RS-485/RS-422規格では、回線の長さとして4000フィート(約1.2km)までが許容されています。1.2kmよりも長い場合には、図20に示すリピータを使用してください。

図21、図22、及び図23には、1.2kmの26AWGツイストペア線によって、120負荷を駆動した場合のシステム差動電圧が示されています。

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

標準アプリケーション

MAX3140は、マルチポイント接続のバス伝送ラインで双方向データ通信を行うために設計されています。本RS-485トランシーバは、数多くの機能と設定が可能のため、任意のRS-485アプリケーションに使用できます。MAX3140の標準的なハーフデュプレックス

回路を図24に示します。図25はこれに対応するハーフデュプレックスネットワークです。図26に、MAX3140の標準的なフルデュプレックス回路を示します。図27はこれに対応するフルデュプレックスネットワークです。MAX3140は内部IrDA能力を備えているため、標準的なIRトランシーバ(例えばMAX3120)を使ってIrDA通信を行うことができます(図28)。

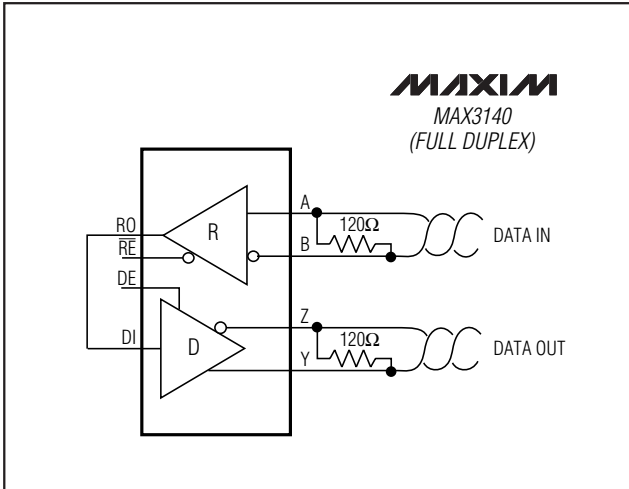


図20. フルデュプレックスモードのラインリピータ

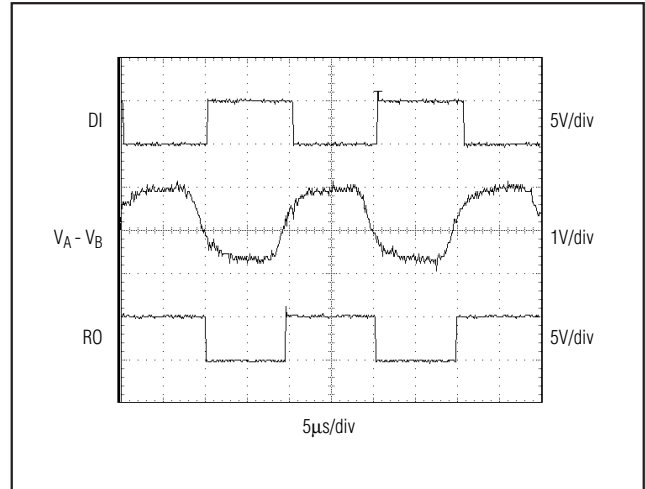


図21. SRL = 無接続の時に、50kHzで1.2kmのケーブルを駆動している時のシステム差動電圧

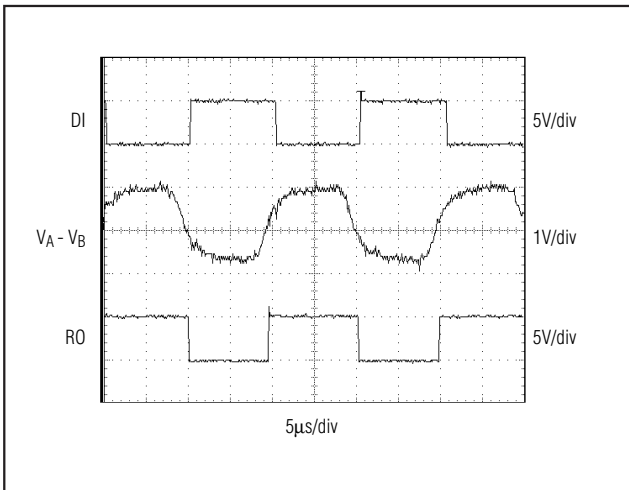


図22. SRL = V_{CC}の時に、100kHzで1.2kmのケーブルを駆動している時のシステム差動電圧

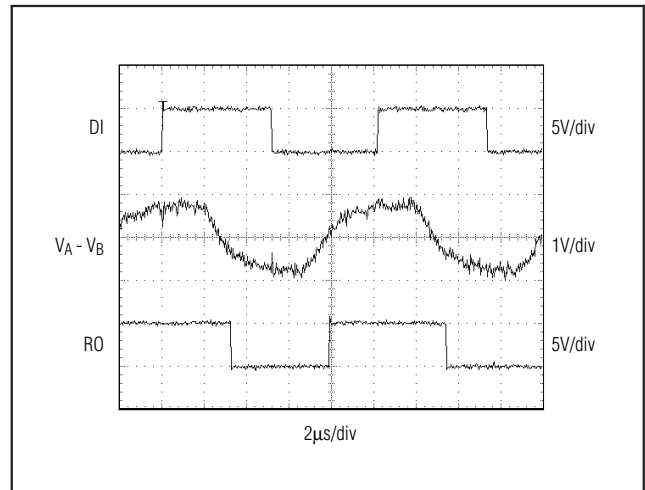


図23. SRL = GNDの時に、200kHzで1.2kmのケーブルを駆動している時のシステム差動電圧

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

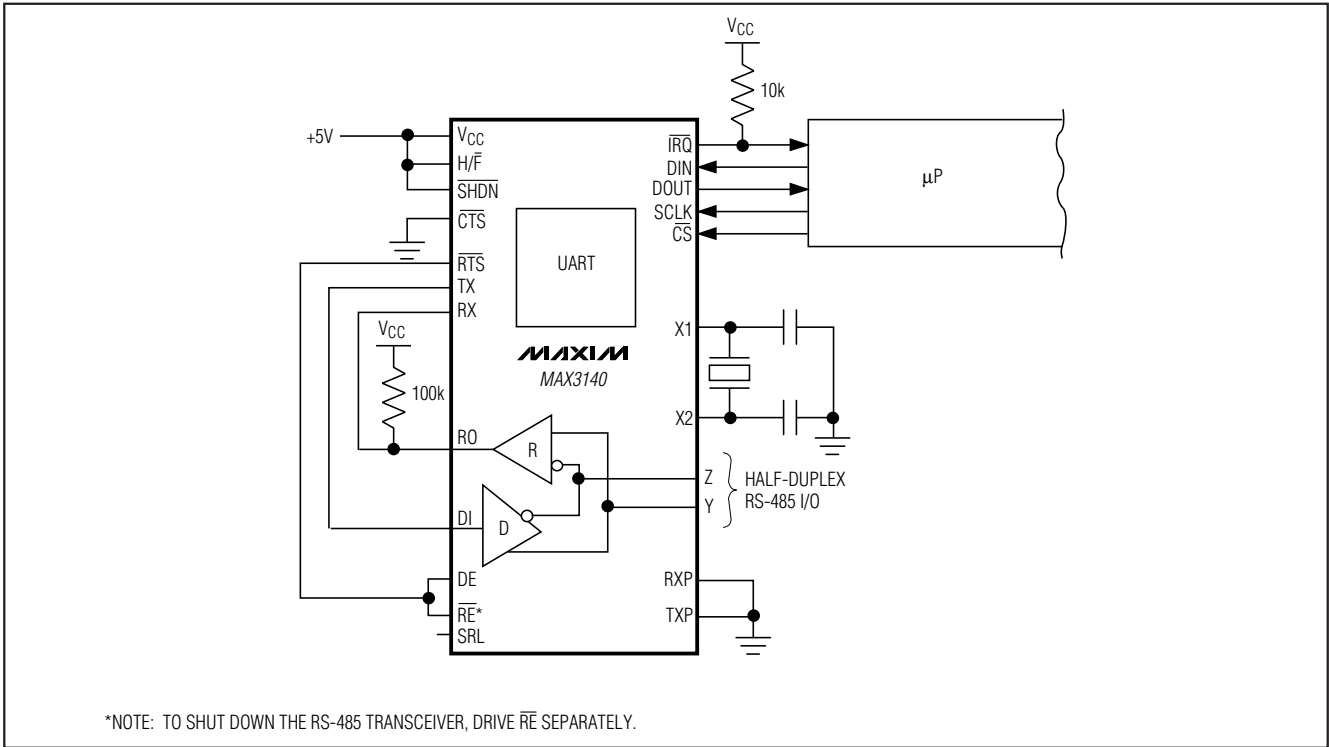


図24. 標準的なハーフデュプレックス動作回路

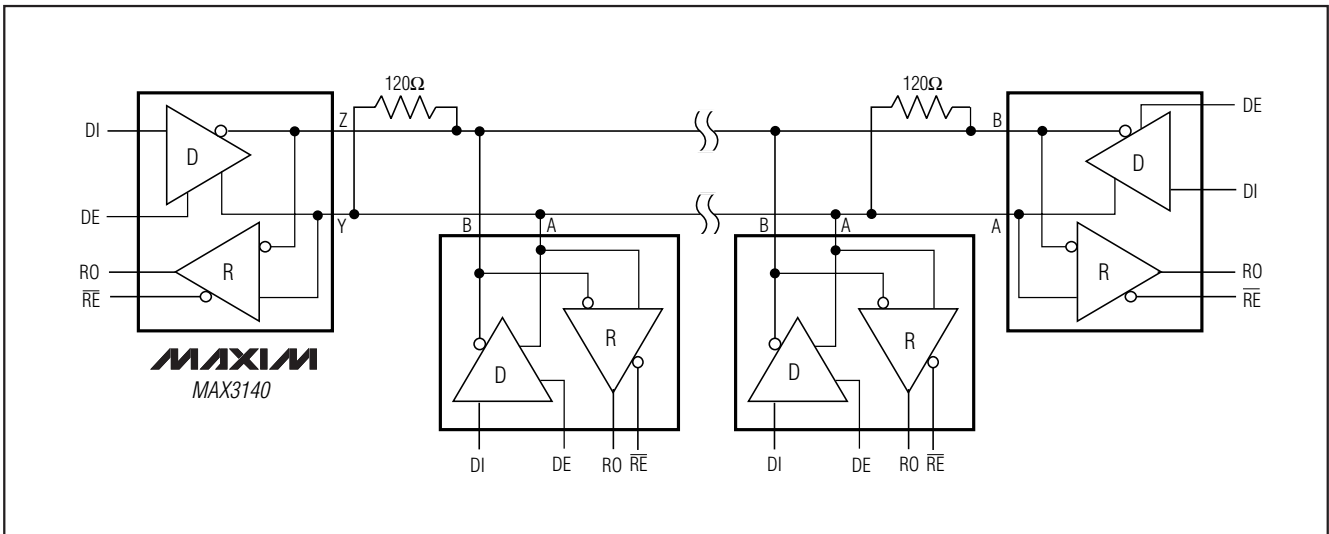


図25. 標準的なハーフデュプレックスRS-485ネットワーク

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

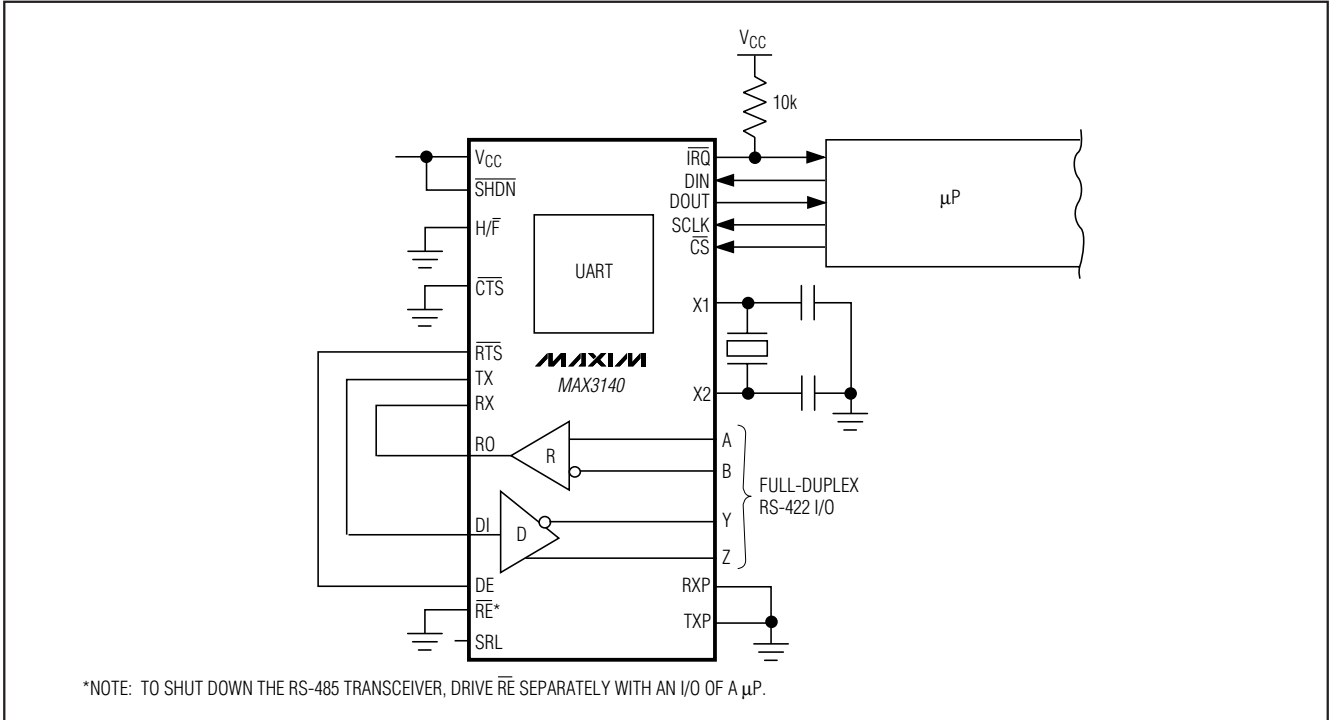


図26. 標準的なフルデュプレックス動作回路

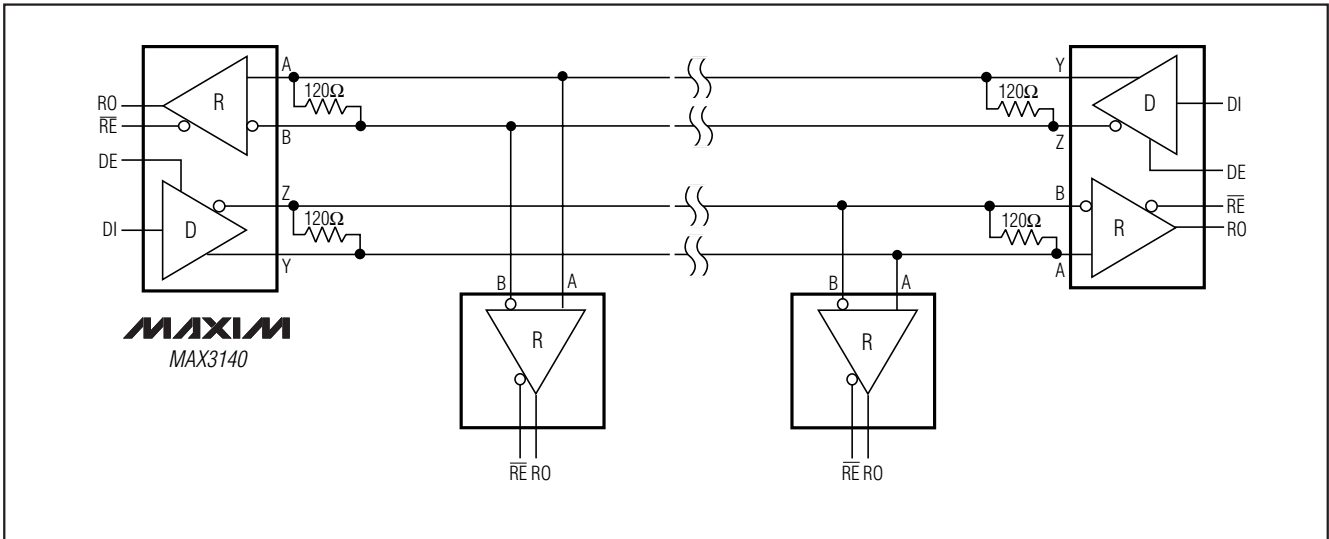


図27. 標準的なフルデュプレックスRS-422ネットワーク

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

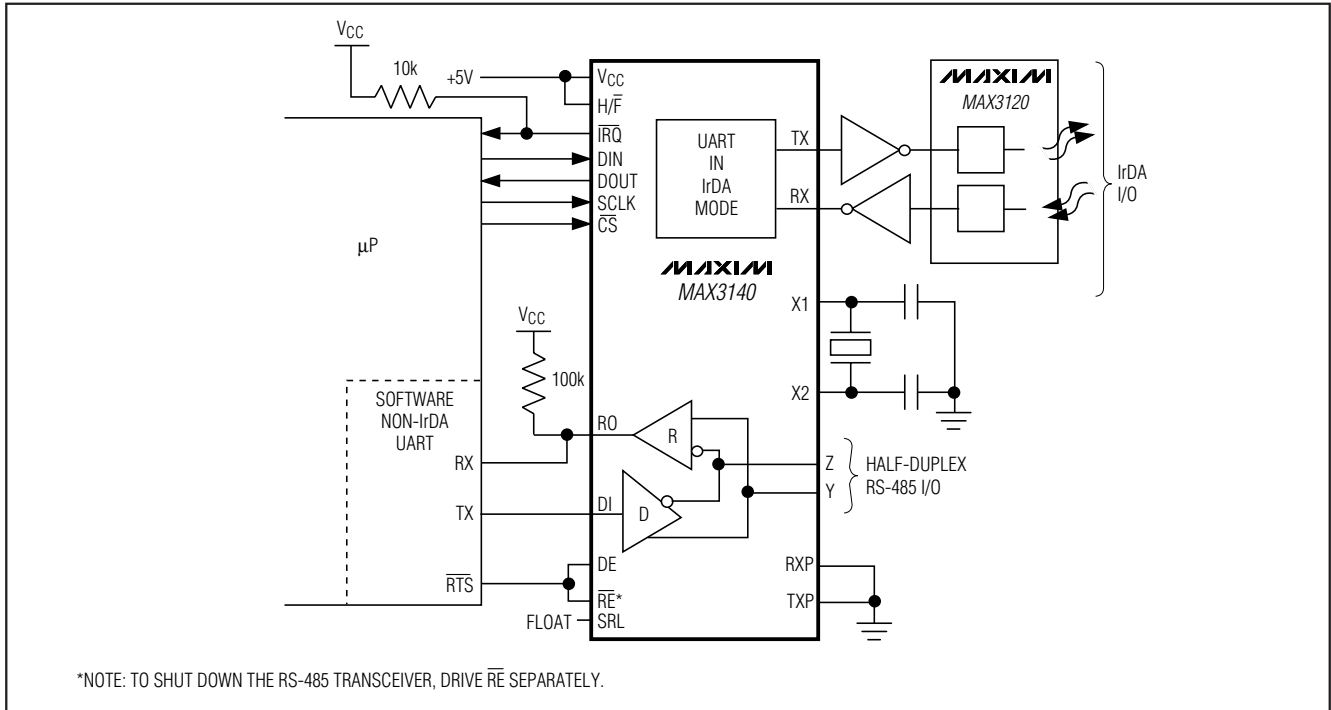


図28. 標準的なIRとRS-485の動作回路

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

ソフトウェアドライバ

リスト1は、MAX3140にインタフェースする割込み駆動のソフトウェアドライバのC言語アウトラインです。これは、ビット操作サブルーチンと周知のPutChar/GetCharサブルーチンの間の中間層を提供します。

ユーザは、送信及び受信キューを管理するためのコード及び低レベルハードウェアインタフェースそのものを用意する必要があります。このドライバが呼び出される前に、割込み制御ハードウェアが初期化される必要があります。

リスト1. MAX3140ソフトウェアドライバのアウトライン

```
char is an 8 bit character.  int is a 16 bit unsigned integer.
& is the bitwise Boolean AND operator.  | is the bitwise Boolean OR operator.

/* High level interface routine to put a character to the MAX3140. */
PutChar ( char c )
{
    EnQueue ( txqueue, c );
    /* enable the transmit-buffer-empty interrupt */
    config = config | 0x0800; /* set the TM bit */
    config = config | 0xC000; /* set bits 15 and 14 */
    MAX3140 ( config );
}

/* High level interface routine to get a character from the MAX3140.
** Wait for a character to be received, if necessary.
*/
char GetChar ( )
{
    while ( IsQueueEmpty ( rxqueue ) )
        /* wait for data to be received */;
    return DeQueue ( rxqueue );
}

/* Configure the MAX3140 with the specified baud rate. */
ConfigureMAX3140 ( int baud_rate_index )
{
    baud_rate_index = baud_rate_index & 0x000F; /* restrict to a 4 bit field */
    config = 0xC400 + baud_rate_index; /* enable received data interrupt */
    MAX3140 ( config );
}
```

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

リスト1. MAX3140ソフトウェアドライバのアウトライン(続き)

```
/* private variable that stores the configuration settings for the MAX3140 */
int config;

/* Low level communication routine between the computer and the MAX3140.
** This is a PRIVATE routine to be used only within the driver software.
*/
int MAX3140 ( int mosi )
{
    int miso;
    /* this is interface-specific.
    ** Transmit 16 bits of master-out, slave-in data, MSB first,
    ** while simultaneously receiving 16 bits of master-in, slave-out data.
    ** If and SPI hardware interface is available, use (CPOL=0,CPHA=0) mode.
    ** Lacking specialized hardware, just set and clear I/O bits to generate
    ** the waveform in figures 1 and 4 in the MAX3140 data sheet.
    */
    return miso; /* return 16 bits of master-in, slave-out data, MSB first */
}

/* This driver needs a txqueue transmit-data queue and a rxqueue receive-data queue.
** These can be ring buffers or any other kind of first-in, first-out data queue.
*/
EnQueue ( queue , char )
char DeQueue ( queue )
true/false IsQueueEmpty ( queue )
```

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

MAX3140

リスト1. MAX3140ソフトウェアドライバのアウトライン(続き)

```
/* Interrupt service routine called when the MAX3140's INT pin falls to a low level.
** This is a PRIVATE routine to be used only within the driver software.
*/
ServiceMAX3140int ()
{
    int rxdata;
    int txdata;
    char c;

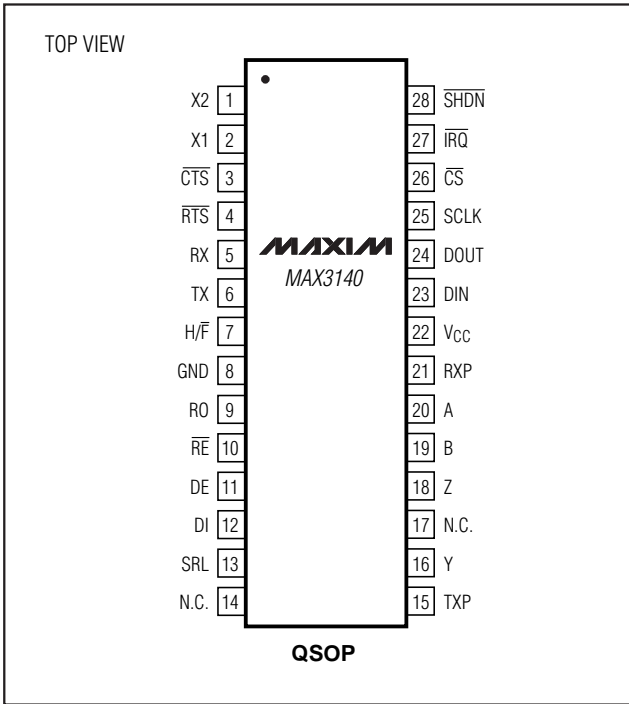
    /* issue a READ DATA command to discover the cause of the interrupt */
    rxdata = MAX3140 ( 0 );

    if ( rxdata & 0x8000 )    /* the R bit = 1 */
    {
        c = rxdata & 0x00FF; /* get the received character data */
        EnQueue ( rxqueue, c );
    }
    if ( rxdata & 0x4000 )    /* the T bit = 1 */
    {
        if ( IsQueueEmpty ( txqueue ) )
        {
            /* mask the transmit-buffer-empty interrupt */
            config = config & ~0x0800; /* clear the TM bit */
            config = config | 0xC000; /* set bits 15 and 14 */
            MAX3140 ( config );
        }
        else /* transmit some data */
        {
            /* issue a WRITE DATA command */
            txdata = DeQueue ( txqueue );
            c = txdata & 0x00FF; /* get the transmit character */
            MAX3140 ( 0x8000 | c );
        }
    }
} /* end of ServiceMAX3140int */
```

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

ピン配置

チップ情報



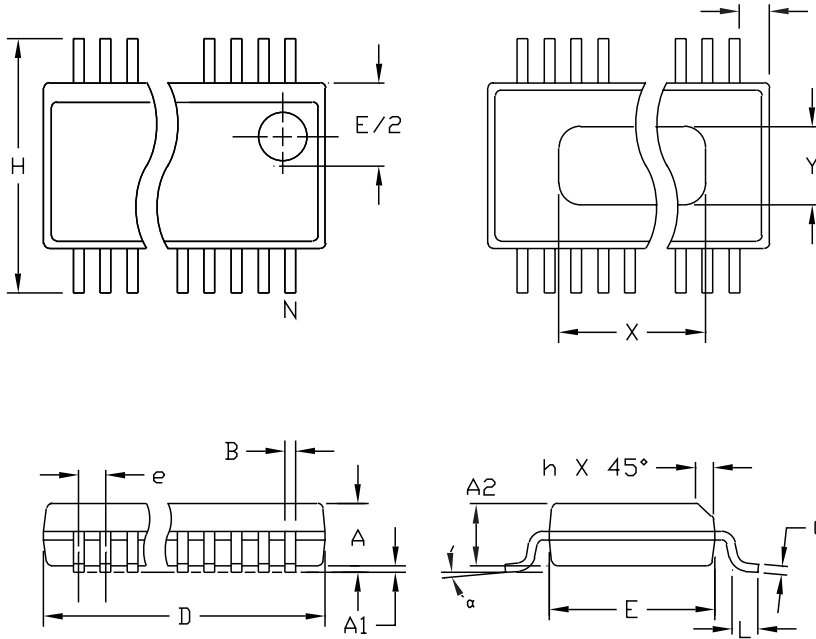
TRANSISTOR COUNT: 7479

MAX3140

SPI/MICROWIREコンパチブルのUART 真のフェイルセーフRS-485/RS-422トランシーバ内蔵

パッケージ

QSOPEFS



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

VARIATIONS:

	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:

1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSOP PACKAGES.
4. CONTROLLING DIMENSIONS: INCHES.

MAXIM
 PROPRIETARY INFORMATION
 TITLE:
 PACKAGE OUTLINE, QSOP, .150", .025" LEAD PITCH
 APPROVAL: _____ DOCUMENT CONTROL NO: 21-0055 REV: B 1/1

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
 TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

36 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**