

# MAXIM

## 完全8チャンネル、12ビット データアキュジションシステム

MAX180/MAX181

### 概要

MAX180/181は8/6チャンネル入力マルチプレクサ(MUX)、広帯域トラック&ホールド(T/H)回路、低ドリフトツェナーリファレンス、フレキシブルな $\mu$ Pインタフェース回路を内蔵した高速ローパワータイプのコンプリート12ビットデータアキュジションシステム(DAS)です。MAX180/181はユニポーラ/バイポーラ変換は勿論、シングルエンド入力/差動入力のどちらかを $\mu$ Pによって設定できます。両方のデバイスは100kHzのスループットでサンプリング及びデジタルリングが可能です、高速8ビット、16ビット $\mu$ Pと直接インタフェースすることができます。

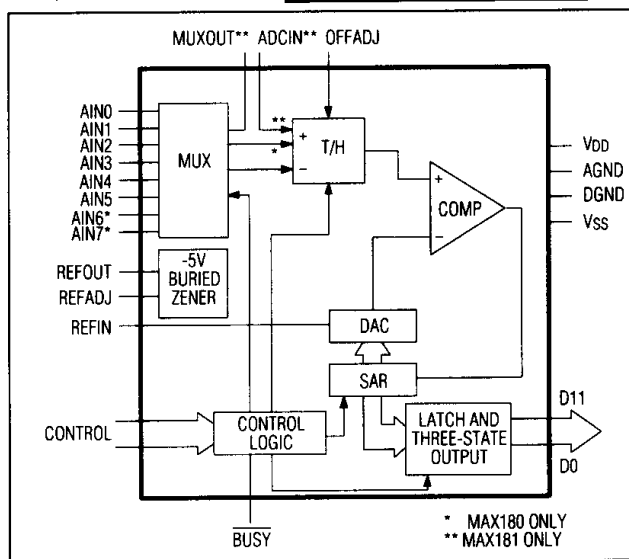
MAX180は8チャンネルのアナログ入力を備え、一方MAX181は6チャンネルのアナログ入力を備えています。MAX180のマルチプレクサ出力は直接A/Dコンバータ(ADC)入力に接続されていますが、MAX181はマルチプレクサ出力ピンとA/Dコンバータ入力ピンを別々にもっており、MUXとADC間にプログラマブルゲインアンプやフィルタを挿入することができます。

リファレンスは内部、外部どちらでも利用できますが内部リファレンスの値とオフセットは調整可能なため、システム全体のゲインエラーとオフセットエラーを合せ込むことができます。またマルチプレクサは入力インピーダンスが高い為アナログ入力のドライブ性能に対する要求が軽減されます。

### アプリケーション

高速サーボループ  
デジタルシグナルプロセッサ  
高精度プロセスコントロール  
自動テストシステム

### ブロックダイアグラム



### 特長

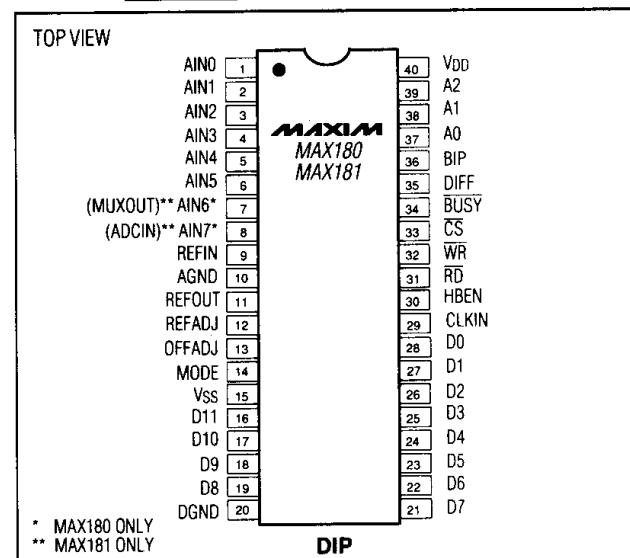
- ◆12ビット分解能、 $\pm 1/2$ LSBリニアリティ
- ◆8チャンネルマルチプレクサ入力(MAX180)
- ◆シングルエンド6チャンネルマルチプレクサ(MAX181)
- ◆トラック&ホールド回路内蔵
- ◆100kHzサンプリングレート
- ◆DC及びダイナミック試験品
- ◆内部リファレンス温度係数:25ppm/ $^{\circ}$ C
- ◆各チャンネルユニポーラ (0V $\sim$ +5V) /バイポーラ (-2.5V $\sim$ +2.5V) 入力レンジ対応
- ◆各チャンネルシングルエンド/差動入力対応
- ◆高速8/16ビット $\mu$ Pインタフェース
- ◆電源電圧: +5V及び-12V $\sim$ -15Vの2電源
- ◆消費電力: 110mW

### 型番

PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSBs)
MAX180ACPL	0 $^{\circ}$ C to +70 $^{\circ}$ C	40 Plastic DIP	$\pm 1/2$
MAX180BCPL	0 $^{\circ}$ C to +70 $^{\circ}$ C	40 Plastic DIP	$\pm 1$
MAX180CCPL	0 $^{\circ}$ C to +70 $^{\circ}$ C	40 Plastic DIP	$\pm 1$
MAX180ACQH	0 $^{\circ}$ C to +70 $^{\circ}$ C	44 PLCC	$\pm 1/2$
MAX180BCQH	0 $^{\circ}$ C to +70 $^{\circ}$ C	44 PLCC	$\pm 1$

Ordering information continued on last page.

### ピン配列



# 完全8チャンネル、12ビット データアキュイジションシステム

MAX180/MAX181

## ABSOLUTE MAXIMUM RATINGS

VDD to DGND	.....	-0.3V, +7V
VSS to DGND	.....	-0.3V, -17V
AGND to DGND	.....	-0.3V, VDD + 0.3V
AIN <sub>-</sub> , MUXOUT, ADCIN, REFADJ, OFFADJ to REFIN	.....	-0.3V, VDD + 0.3V
REFIN to DGND	.....	+0.3V, VSS - 0.3V
CS, WR, RD, CLK, A2-A0, BIP, DIFF, HBEN to DGND	.....	-0.3V, VDD + 0.3V
BUSY, D0-D11 to DGND	.....	-0.3V, VDD + 0.3V

Continuous Power Dissipation (any package) to +70°C	.....	1000mW
derates above +70°C by	.....	10mW/°C
Operating Temperature Ranges:		
MAX18_C	.....	0°C to +70°C
MAX18_E	.....	-40°C to +85°C
MAX18_MJL	.....	-55°C to +125°C
Storage Temperature Range	.....	-65°C to +160°C
Lead Temperature (soldering, 10 sec)	.....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(VDD = +5V ±5%, VSS = -12V ±5% or -15V ±5%, REFIN = -5V, Internal Reference Mode, Bipolar Mode, Slow-Memory Mode (see text), fCLK = 1.6MHz external, MAX180/MAX181 all grades, TA = TMIN to TMAX, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ACCURACY</b> (Note 2)						
Resolution	N		12			Bits
Integral Nonlinearity Error	INL	MAX18_A			±1/2	LSB
		MAX18_B/C			±1	
Differential Nonlinearity Error	DNL	Guaranteed monotonic over temperature			±1	LSB
Unipolar Offset Error (Note 3)				±1	±4	LSB
Bipolar Offset Error (Note 3)				±1	±6	LSB
Unipolar Gain Error				±2	±10	LSB
Bipolar Gain Error				±2	±15	LSB
Gain-Error Tempco (Note 4)				±5		ppm/°C
Channel-to-Channel Matching				±1/4		LSB
<b>DYNAMIC PERFORMANCE</b> (Note 2)						
Signal-to-Noise + Distortion Ratio	SINAD	10kHz input signal, 100kHz sampling rate, bipolar mode, TA = +25°C	70			dB
Total Harmonic Distortion (up to the 5th harmonic)	THD	10kHz input signal, 100kHz sampling rate, bipolar mode, TA = +25°C			-80	dB
Spurious-Free Dynamic Range	SFDR	10kHz input signal, 100kHz sampling rate, bipolar mode, TA = +25°C	80			dB
Full-Power Sampling Bandwidth		In track mode, under-sampled waveform		6		MHz
Track-and-Hold Acquisition Time (Note 5)	tACQ		1.875			µs
Conversion Time	tCONV	Asynchronous hold mode	Note 5	7.500	8.125	µs
		ROM, Slow-Memory, and I/O Port Modes; 15-16 clock cycles		9.375	10.000	
<b>ANALOG INPUT</b>						
Voltage Range		AIN <sub>-</sub> , MUXOUT, and ADCIN	REFIN		VDD	V
Unipolar, Single-Ended Range		AIN <sub>-</sub> to AGND	0		5.0	
Unipolar, Differential Range		AIN <sub>+</sub> to AIN <sub>-</sub>	0		5.0	
Bipolar, Single-Ended Range		AIN <sub>-</sub> to AGND	-2.5		2.5	
Bipolar, Differential Range		AIN <sub>+</sub> to AIN <sub>-</sub>	-2.5		2.5	

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +5V ±5%, V<sub>SS</sub> = -12V ±5% or -15V ±5%, REFIN = -5V, Internal Reference Mode, Bipolar Mode, Slow-Memory Mode (see text), f<sub>CLK</sub> = 1.6MHz external, MAX180/MAX181 all grades, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS		
<b>ANALOG INPUT (continued)</b>								
Input Current		AIN <sub>-</sub> , MAX180			±1.0	μA		
		ADCIN, MAX181			±0.1			
Mux-On Resistance	R <sub>ON</sub>	AIN <sub>-</sub> = 2.5V, I <sub>MUXOUT</sub> = 1.25mA, MAX181			2	kΩ		
Mux-On Leakage Current	I <sub>ON</sub>	AIN <sub>-</sub> = MUXOUT = ±5V, MAX181			±100	nA		
Mux-Off Leakage Current	I <sub>IN</sub> (OFF)	AIN <sub>-</sub> = ±5V, V <sub>OUT</sub> = ±5V, MAX181			±100	nA		
	I <sub>OUT</sub> (OFF)	AIN <sub>-</sub> = ±5V, V <sub>OUT</sub> = ±5V, MAX181			±100			
Input Capacitance (Note 5)	C <sub>IN</sub>	AIN <sub>-</sub> , ADCIN		25	35	pF		
		MUXOUT		35	45			
<b>REFERENCE INPUT</b>								
Input Range (Note 5)			-4.92	-5.00	-5.08	V		
Input Current					-2	mA		
Input Resistance			2.5			kΩ		
<b>REFERENCE OUTPUT</b>								
VREF Output Voltage		T <sub>A</sub> = +25°C	-4.98	-5.00	-5.02	V		
VREF Output Tempco (Note 6)		MAX18_A/B			25	ppm/°C		
		MAX18_C			45			
VREF Load Regulation (Note 7)		I <sub>OUT</sub> = 0mA to 5mA, T <sub>A</sub> = +25°C		0.2	1.0	mV/mA		
<b>REFADJ, OFFADJ</b>								
Input Current		VREFADJ, VOFFADJ = V <sub>DD</sub> to REFIN			±1	μA		
Disable Threshold			4.5			V		
REFADJ Adjustment Range		REFIN < REFADJ < AGND	±60	±80		mV		
OFFADJ Adjustment Range		REFIN < OFFADJ < AGND	±15	±25		LSB		
<b>LOGIC INPUTS</b>								
Input Low Voltage	V <sub>IL</sub>	MODE			0.5	V		
		CS, RD, WR, CLK, A2-A0, DIFF, BIP, HBEN			0.8			
Input High Voltage	V <sub>IH</sub>	MODE	4.5			V		
		CS, RD, WR, CLK, A2-A0, DIFF, BIP, HBEN	2.4					
Input Mid-Level Voltage	V <sub>MID</sub>	MODE	1.5		3.5	V		
Input Floating Voltage	V <sub>FLT</sub>	MODE		2.5		V		
Input Current	I <sub>IN</sub>	MODE	T <sub>A</sub> = +25°C		±50	±100	μA	
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>			±50		±100
		CS, RD, WR, CLK, A2-A0, DIFF, BIP, HBEN	T <sub>A</sub> = +25°C			±1		
			T <sub>A</sub> = T <sub>MIN</sub> to T <sub>MAX</sub>					±10
Input Capacitance (Note 5)	C <sub>IN</sub>				15	pF		
<b>LOGIC OUTPUTS</b>								
Output Low Voltage	V <sub>OL</sub>	D11-D0, $\overline{\text{BUSY}}$ , RDY, I <sub>SINK</sub> = 1.6mA			0.4	V		
Output High Voltage	V <sub>OH</sub>	D11-D0, $\overline{\text{BUSY}}$ , RDY, I <sub>SOURCE</sub> = 360μA	4.0			V		
Floating State Leakage Current	I <sub>LKG</sub>	D11-D0, V <sub>OUT</sub> = 0V to V <sub>DD</sub>			±10	μA		
Floating State Output Capacitance (Note 5)	C <sub>OUT</sub>				15	pF		

# 完全8チャンネル、12ビット データアキュイジションシステム

MAX180/MAX181

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = +5V ±5%, V<sub>SS</sub> = -12V ±5% or -15V ±5%, REFIN = -5V, Internal Reference Mode, Bipolar Mode, Slow-Memory Mode (see text), f<sub>CLK</sub> = 1.6MHz external, MAX180/MAX181 all grades, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER REQUIREMENTS</b>						
Supply Voltage (Note 1)	V <sub>DD</sub>		4.75	5.00	5.25	V
	V <sub>SS</sub>		-11.40		-15.75	
Supply Current	I <sub>DD</sub>	V <sub>DD</sub> = 5V		4.5	7.0	mA
	I <sub>SS</sub>	V <sub>SS</sub> = -12V		7.0	10.0	
Power Dissipation	PD	V <sub>DD</sub> = 5V, V <sub>SS</sub> = -15V		110	155	mW
Power-Supply Rejection, with Internal Reference	PSR	Input near FS, V <sub>SS</sub> = -12V, V <sub>DD</sub> = 4.75V to 5.25V		±1/2	±1	LSB
		Input near FS, V <sub>DD</sub> = 5V, V <sub>SS</sub> = -14.25V to -15.75V		±1/8	±1/2	
		Input near FS, V <sub>DD</sub> = 5V, V <sub>SS</sub> = -11.4V to -12.6V		±1/8	±1/2	

## TIMING CHARACTERISTICS

(V<sub>DD</sub> = +5V, V<sub>SS</sub> = -12V, f<sub>CLK</sub> = 1.6MHz, Internal Reference Mode, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Note 8)

PARAMETER	SYMBOL	CONDITIONS	T <sub>A</sub> = +25°C			MAX18_C/E			MAX18_M			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
CS to RD Setup time	t <sub>1</sub>	Note 5	0			0			0			ns
CS to RD Hold time	t <sub>2</sub>		0			0			0			ns
CS to WR Setup time	t <sub>3</sub>		0			0			0			ns
CS to WR Hold time	t <sub>4</sub>	Note 5	0			0			0			ns
WR Low Pulse Width	t <sub>5</sub>		120			120			120			ns
WR High Pulse Width	t <sub>6</sub>	MODE = 0 or 1 Note 5	200			200			200			ns
DATA IN to WR Setup Time	t <sub>7</sub>		80			100			120			ns
DATA IN to WR Hold Time	t <sub>8</sub>		0			0			0			ns
WR Rising to BUSY Delay	t <sub>9</sub>	C <sub>L</sub> = 50pF, MODE = 1			160			180			200	ns
WR Falling to BUSY Delay	t <sub>10</sub>	C <sub>L</sub> = 50pF, MODE = open			220			260			280	ns
RD Low Pulse Width	t <sub>11</sub>		100			130			150			ns
RD High Pulse Width	t <sub>12</sub>	Note 5	200			200			200			ns
DATA IN to RD Setup Time	t <sub>13</sub>		80			100			120			ns
DATA IN to RD Hold Time	t <sub>14</sub>		0			0			0			ns
RD to BUSY Fall Delay	t <sub>15</sub>	C <sub>L</sub> = 50pF			150			170			200	ns
RD to Data out Valid	t <sub>16</sub>	C <sub>L</sub> = 100pF Note 9		50	100			130			150	ns
RD to Data out Three-State	t <sub>17</sub>	Notes 9, 10		30	50			65			75	ns
HBEN to RD or WR Setup Time	t <sub>18</sub>		80			100			120			ns
HBEN to RD or WR Hold Time	t <sub>19</sub>		0			0			0			ns
CS to READY Fall Delay	t <sub>20</sub>	C <sub>L</sub> = 50pF			110			130			150	ns

# 完全8チャンネル、12ビット データアキュイジションシステム

MAX180/MAX181

## TIMING CHARACTERISTICS (continued)

(V<sub>DD</sub> = +5V, V<sub>SS</sub> = -12V, f<sub>CLK</sub> = 1.6MHz, Internal Reference Mode, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.) (Note 8)

PARAMETER	SYMBOL	CONDITIONS	T <sub>A</sub> = +25°C			MAX18_C/E			MAX18_M			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
BUSY to Data Out Valid	t <sub>21</sub>	C <sub>L</sub> = 100pF, Note 9			125			150			170	ns
CS, RD, or WR to CLK Setup time for 15 clock conversion	t <sub>22</sub>	Note 5	220			220			220			ns
CS, RD, or WR to CLK Setup time for 16 clock conversion	t <sub>23</sub>	Note 5	0			0			0			ns

**Note 1:** Performance at power-supply tolerance limits guaranteed by power-supply rejection test.

**Note 2:** V<sub>DD</sub> = +5V, V<sub>SS</sub> = -15V, FS = +5V, REFIN = -5V.

**Note 3:** Typical change over temperature is ±1LSB.

**Note 4:** FS Tempco = ΔFS/ΔT, where ΔFS is full-scale change from T<sub>A</sub> = +25°C to T<sub>MIN</sub> or to T<sub>MAX</sub>.

**Note 5:** Guaranteed by design.

**Note 6:** REFIN TC = ΔREFIN/ΔT, where ΔREFIN is reference voltage change from T<sub>A</sub> = +25°C to T<sub>MIN</sub> or to T<sub>MAX</sub>.

**Note 7:** Load current should remain constant during conversion. This current is in addition to the DAC input current.

**Note 8:** All inputs are 0V to +5V swing with t<sub>r</sub> = t<sub>f</sub> = 5ns (10% to 90% of 5V) and timed from a voltage level of +1.6V.

**Note 9:** t<sub>16</sub> and t<sub>21</sub> are measured with the load circuits of Figure 1 and defined as the time required for an output to cross 0.8V or 2.4V.

**Note 10:** t<sub>17</sub> is defined as the time required for the data lines to change 0.5V when the circuit load is as shown in Figure 2.

## 端子説明

名称	MAX180		MAX181		機能
	DIP	PLCC	DIP	PLCC	
AIN0-AIN5	1-6	2-7	1-6	2-7	マルチプレクサへのアナログ入力(0V~+5Vユニポーラ、-2.5V~+2.5Vバイポーラ)。
AIN6-AIN7	7,8	8,9			マルチプレクサへのアナログ入力(0V~+5Vユニポーラ、-2.5V~+2.5Vバイポーラ)。
MUXOUT			7	8	マルチプレクサ出力。
ADCIN			8	9	T/Hへのアナログ入力。
REFIN	9	10	9	10	リファレンス入力。
AGND	10	11	10	11	アナロググランド。
REFOUT	11	13	11	13	-5Vリファレンス出力。
REFADJ	12	14	12	14	-5Vリファレンス調整。必要のない場合はV <sub>DD</sub> に接続。
OFFADJ	13	15	13	15	オフセット調整。必要のない場合はV <sub>DD</sub> に接続。
MODE	14	16	14	16	インタフェースモード選択端子。
V <sub>SS</sub>	15	17	15	17	負電源電圧(-15Vまたは-12V)。
D11-D8	16-19	18-21	16-19	18-21	トライステートデータ出力。MSB=D11。
DGND	20	22	20	22	デジタルグランド。
D7-D0	21-28	24-31	21-28	24-31	トライステートデータ出力。LSB=D0
CLKIN	29	32	29	32	クロック入力。TTL/CMOSコンパチ。
HBEN	30	33	30	33	ハイバイトイネーブル入力。
RD	31	35	31	35	READ入力。
WR	32	36	32	36	WRITE入力(MODE=1またはオープン)。READY出力(MODE=0)。
CS	33	37	33	37	CHIP-SELECT入力。
BUSY	34	38	34	38	BUSY出力。
DIFF	35	39	35	39	シングルエンドモード(DIFF=0)。ディファレンシャルモード(DIFF=1)。
BIP	36	40	36	40	ユニポーラモード(BIP=0)。バイポーラモード(BIP=1)。
A0-A2	37-39	41-43	37-39	41-43	マルチプレクサのチャンネルアドレス入力(A2=MSB、A0=LSB)。
V <sub>DD</sub>	40	44	40	44	正電源電圧(+5V、サブストレートはV <sub>DD</sub> に接続されています)。
N.C.		1,12,23,34		1,12,23,34	NC。内部接続無し。端子はオープンまたはAGNDに接続。

# 完全8チャンネル、12ビット データアキュイジションシステム

MAX180/MAX181

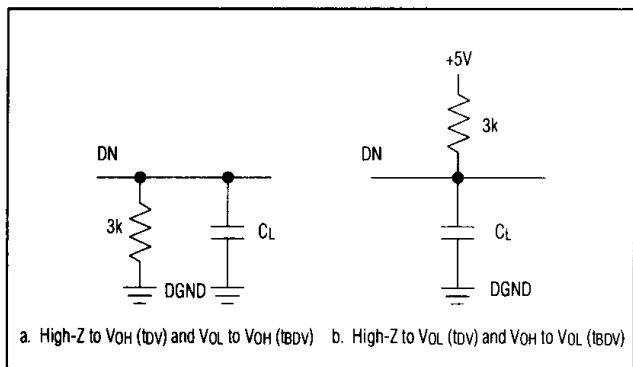


図1. アクセス時間に対する負荷回路

## A/Dコンバータの動作

MAX180/181はアナログ信号を12ビットのデジタル出力コードに変換するために逐次比較方式を採用し、しかもトラック&ホールド回路(T/H)を内蔵しています。コントロールロジック回路により殆どのアプリケーションにおいて数個の受動部品を外付けするだけで $\mu$ Pと簡単にインタフェースできます。T/H回路は、外部コンデンサを必要としません。図3はMAX180の標準動作回路です。

### 変換の開始

選択されたモードやインタフェースに関係なく、一旦変換が開始されると次のシーケンスが発生します。

1. データ入力によってデータアキュイジションシステム(DAS)がラッチしインタフェースによって変換が開始されていることが $\mu$ Pに伝えられます。
2. マルチプレクサは選択された入力信号をT/H入力に導きます。
3. 固定のディレイ時間によってT/Hは信号を収集します。非同期ホールドを除く全てのモードでこのディレイは3クロックサイクルです。非同期モードでは $\mu$ Pがこのディレイをコントロールします。
4. T/Hはホールドモードにスイッチされ、T/Hの出力は入力信号の安定したシングルエンドサンプル値をA/Dコンバータの入力に供給します。
5. 逐次比較サイクルが開始され、ADCはMSBからLSBまで12ビットの各ビットを順次テストしセットしていきます。各ビットはトータル12クロックサイクルの間、CLKINの立下がりエッジで決定されます。
6. 出力データは出力レジスタにラッチされ、変換が終了し、データ出力が可能状態にあることをインタフェースによって $\mu$ Pに伝えます。

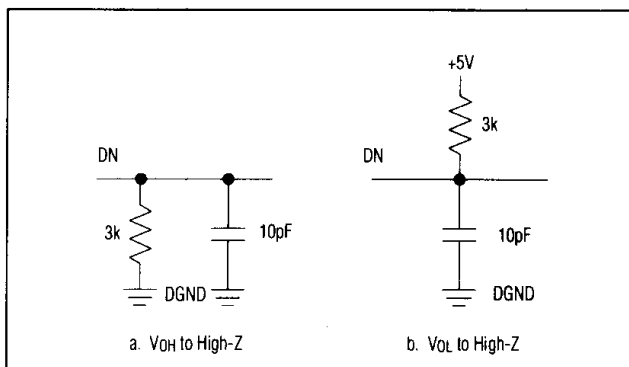


図2. バス解放時間に対する負荷回路

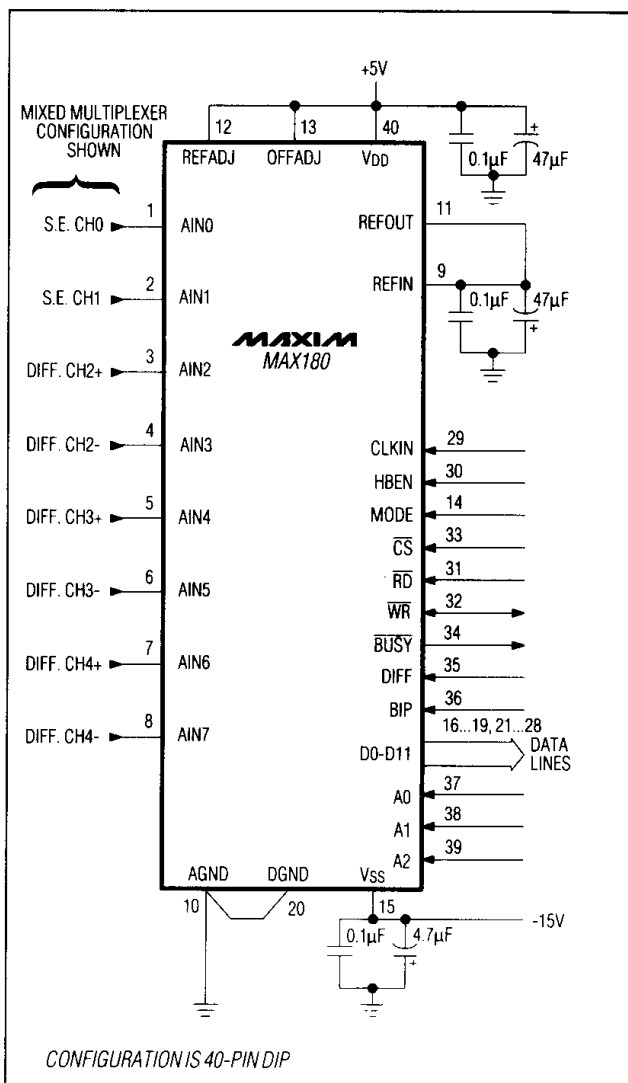


図3. MAX180の標準動作回路

## アナログ入力とトラック&ホールド回路

図4はADCのアナログコンパレータのサンプリング構造を示す入力等価回路です。入力容量がホールドコンデンサとして機能し、A/D変換毎に入力信号によって充電されます。このコンデンサは入力に直列に入っている1kΩの内部抵抗を通して充電されます。注:図4のスイッチはMUXとホールドスイッチの両方をあらわしています。

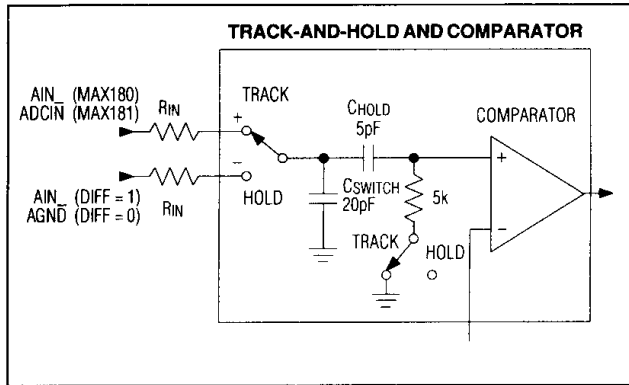


図4.入力等価回路

シングルエンド入力モードで変換中の場合 ( $\overline{\text{BUSY}} = \text{”ハイ”}$ )、選択されたアナログ入力 はホールドコンデンサに接続されます(トラックモード)。変換開始時、 $C_{\text{HOLD}}$ は+T/H入力から切り離され入力をサンプリングします(詳細なT/Hタイミングは、“デジタルインタフェース”を参照)。スイッチが変換終了時に閉じると $C_{\text{HOLD}}$ は再び入力に接続され入力信号まで充電されます。信号上におけるアナログ入力の負荷効果に関しては、実際の変換中ADCは入力から切り離されているので、高速入力バッファは通常不要です。

“入力”をAIN+に、また“アナロググラウンド”をAIN-に置き換えれば、差動入力モードに対しても上の説明を適用できます。差動入力モードではA0~A2信号によって入力チャンネルのペアが選択され(表1)、入力チャンネルの信号側のみがT/Hにホールドされます。従って、変換中リターン側は±0.5LSB(最高性能を得るには±0.1LSB)内に安定に留っていないければなりません。例えば60Hzで0.33V<sub>P-P</sub>のコモンモード信号によって最大0.5LSBのエラーが生じます。

T/HはADCが選択されないとき( $\overline{\text{BUSY}} = \text{”ハイ”}$ )トラックを開始し、非同期ホールドモードを除き、変換開始後3クロックサイクルでホールドモードが開始されます。ある変換から次の変換までのホールドモードディレイの変動(アパーチャジッタ)は100ps以下です。図7から図11に種々のインターフェースモードに対するT/Hとインタフェースのタイミングの詳細を示します。

T/Hが入力信号を収集するために必要な時間は、入力コンデンサがどれくらい速く充電されるかの関数であり、入力

信号源インピーダンスが高ければアキュイジションタイムは長くなり、変換と変換の間にもっと時間が必要となります。アキュイジションタイムは次式であたえられます。

$$t_{\text{ADQ}} = 10(R_S + R_{\text{IN}})20\text{pF} \text{ (最少 } 1.875\mu\text{s)}$$

ここで $R_{\text{IN}}$ :1kΩ、 $R_S$ :入力信号源インピーダンス

## 入力バンド幅

A/Dコンバータの入力トラック回路は、大信号で広帯域信号のトラックングに対して卓越した性能を持っており、他の多くのADCのT/H回路に見られるスルーレートの制限を呈しません。MAX180/181のT/H回路のフルパワーバンド幅は6MHz(typ)なので、これによってアンダサンプリング技術を用いてADCのサンプルレート(100kHz)を越えるバンド幅を持つ繰返し信号の測定が可能です。注:高周波信号を測定するためにアンダサンプリングが使われている場合、エリアシングエラーを避けるため特別の注意を払って下さい。適切な入力フィルタリングを行わないと、高周波ノイズが測定バンド内に折返されます。

## リファレンス

MAX180/181は、内部リファレンスでも外部-5Vリファレンスでも動作します。どちらのケースでも、REFINは、47μFの電解コンデンサと0.1μFのセラミックコンデンサを並列に接続してAGNDにバイパスし、ノイズを最小化し高周波におけるインピーダンスも低くおさえます。REFINは直接、内部のDACに接続されており、また負荷電流は変換中0mAから1mAの間で変化します。

## 内部リファレンス

内部リファレンスは、アンプを通してバッファされ、その出力はREFOUTに接続されています。MAX180/181を内部リファレンスで動作させるには、REFINをREFOUTに接続します。バイパスコンデンサとREFIN間には抵抗を接続しないで下さい。リファレンスバッファアンプは、外部負荷に対して5mAをシンクできます。リファレンス出力はREFADJで調整します(図14)。

## 外部リファレンス

-5Vの外部リファレンスを使用する場合、47μFの電解コンデンサと0.1μFのセラミックコンデンサをREFINに並列接続して、AGNDにバイパスして下さい。またリファレンスソースインピーダンスは0.2Ω以下とし、1mAの内部DAC負荷が十分シンクできなければなりません。ノイズ防止のためにはREFOUTをV<sub>SS</sub>に、またREFADJをV<sub>DD</sub>に接続して下さい。電源シーケンス中REFINの電圧がAGNDを越えてドライブされる場合、ラッチアップの可能性がありますのでREFINがAGNDを著しく越えないようにショットキクランプダイオード(IN5817)を接続して下さい。

# 完全8チャンネル、12ビット データアキュイジションシステム

MAX180/MAX181

表1. アドレス対チャンネル選択 (図4参照)

	A2	A1	A0	SE/DIFF	AIN0	AIN1	AIN2	AIN3	AIN4	AIN5	AIN6	AIN7	COM
MAX180/MAX181	0	0	0	0	+								-
MAX180/MAX181	0	0	1	0		+							-
MAX180/MAX181	0	1	0	0			+						-
MAX180/MAX181	0	1	1	0				+					-
MAX180/MAX181	1	0	0	0					+				-
MAX180/MAX181	1	0	1	0						+			-
MAX180	1	1	0	0							+		-
MAX181	1	1	0	0	MUXOUT CONNECTED TO AGND								+,-
MAX180	1	1	1	0								+	-
MAX181	1	1	1	0	CH 0-5, AND MUXOUT ARE OPEN								-
MAX180/MAX181	0	0	0	1	+	-							
MAX180/MAX181	0	0	1	1	-	+							
MAX180/MAX181	0	1	0	1			+	-					
MAX180/MAX181	0	1	1	1			-	+					
MAX180/MAX181	1	0	0	1					+	-			
MAX180/MAX181	1	0	1	1					-	+			
MAX180	1	1	0	1							+	-	
MAX180	1	1	1	1							-	+	
MAX181	1	1	0	1	MUXOUT CONNECTED TO AGND								+,-
MAX181	1	1	1	1	CH 0-5, AND MUXOUT ARE OPEN								-

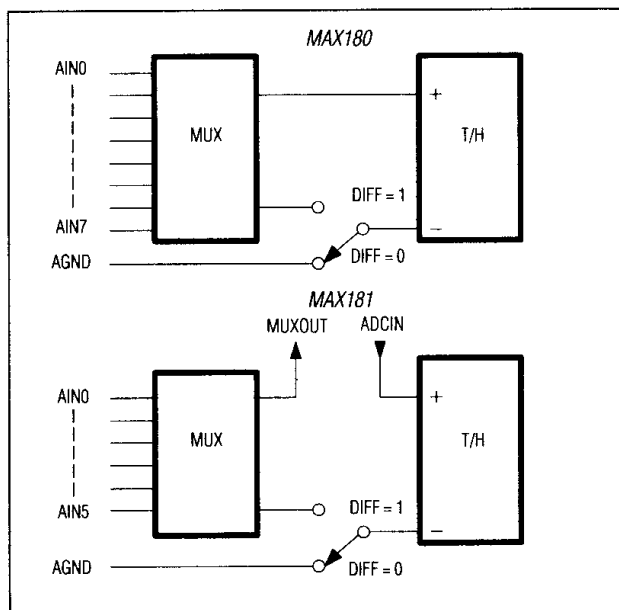


図5. マルチプレクサのチャンネル構成

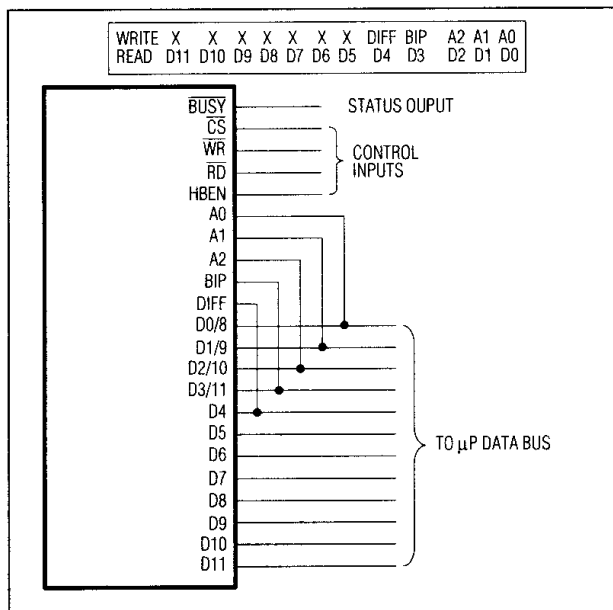


図6. I/Oポートモード(12ビットワイドデータバス) <sup>3)wn)</sup>

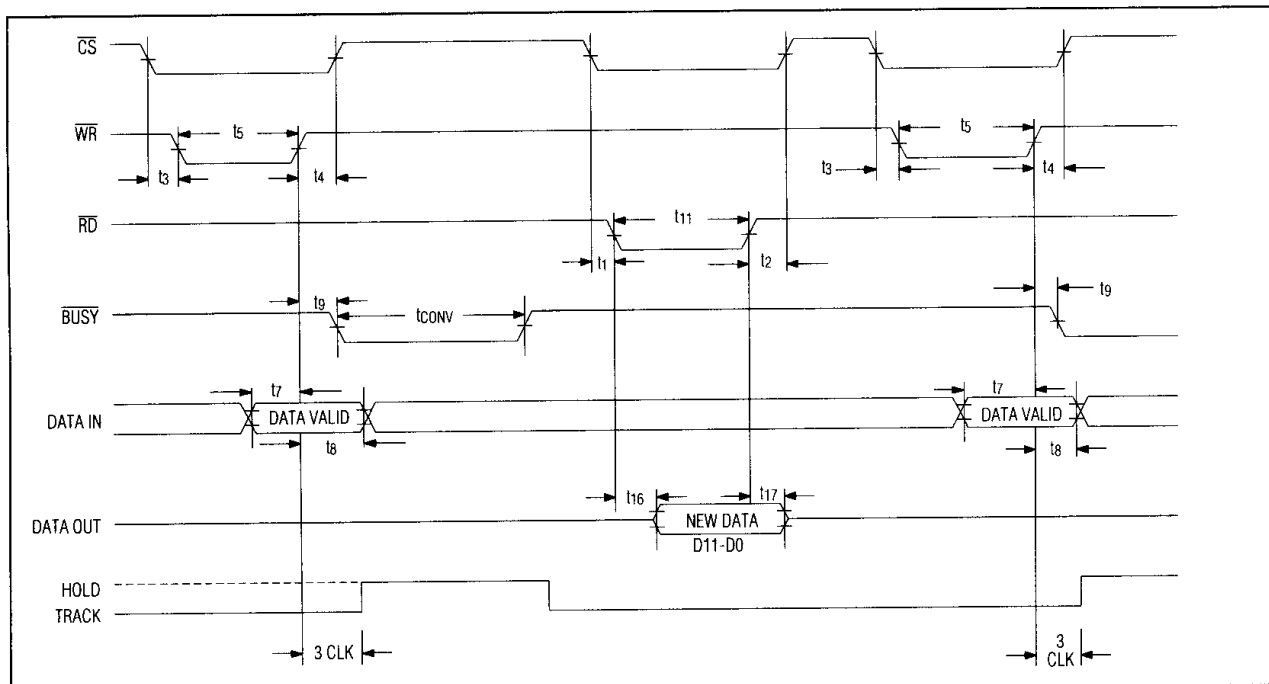


図7a. I/Oポートモードのタイミング、パラレルリード(MODE=1, HBEN=0)

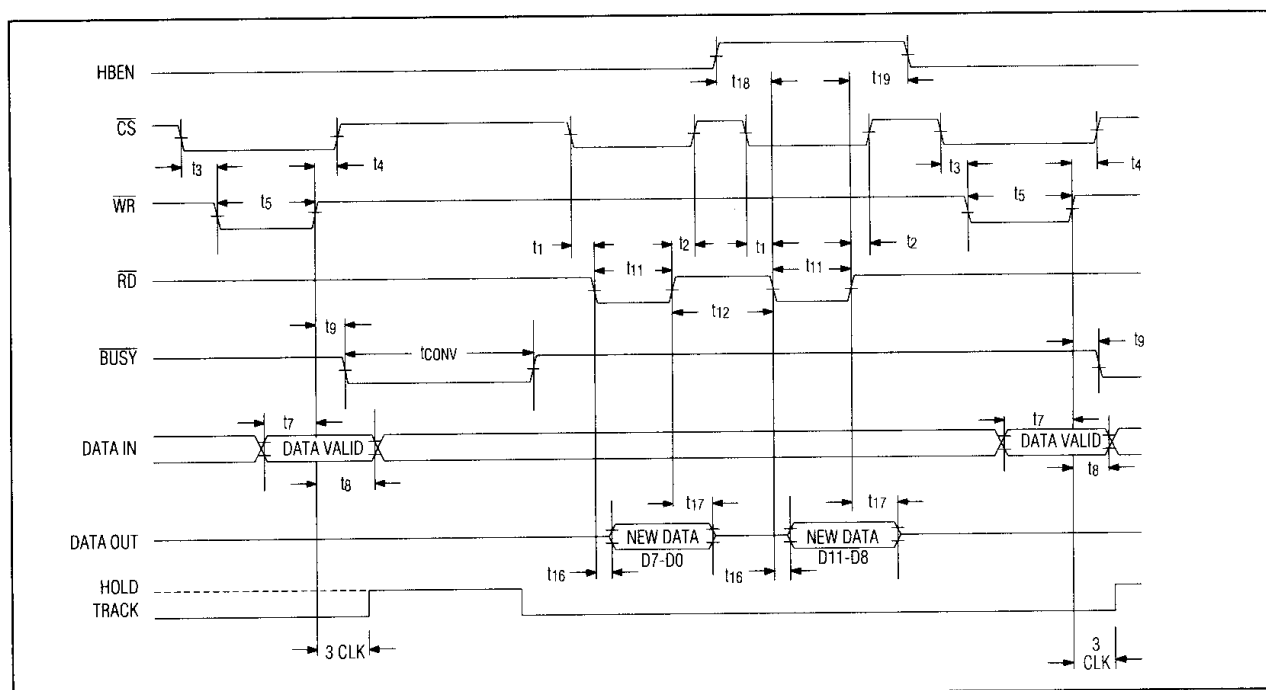


図7b. I/Oポートモードのタイミング、2バイトリード(MODE=1)

# 完全8チャンネル、12ビット データアキュイジションシステム

MAX180/MAX181

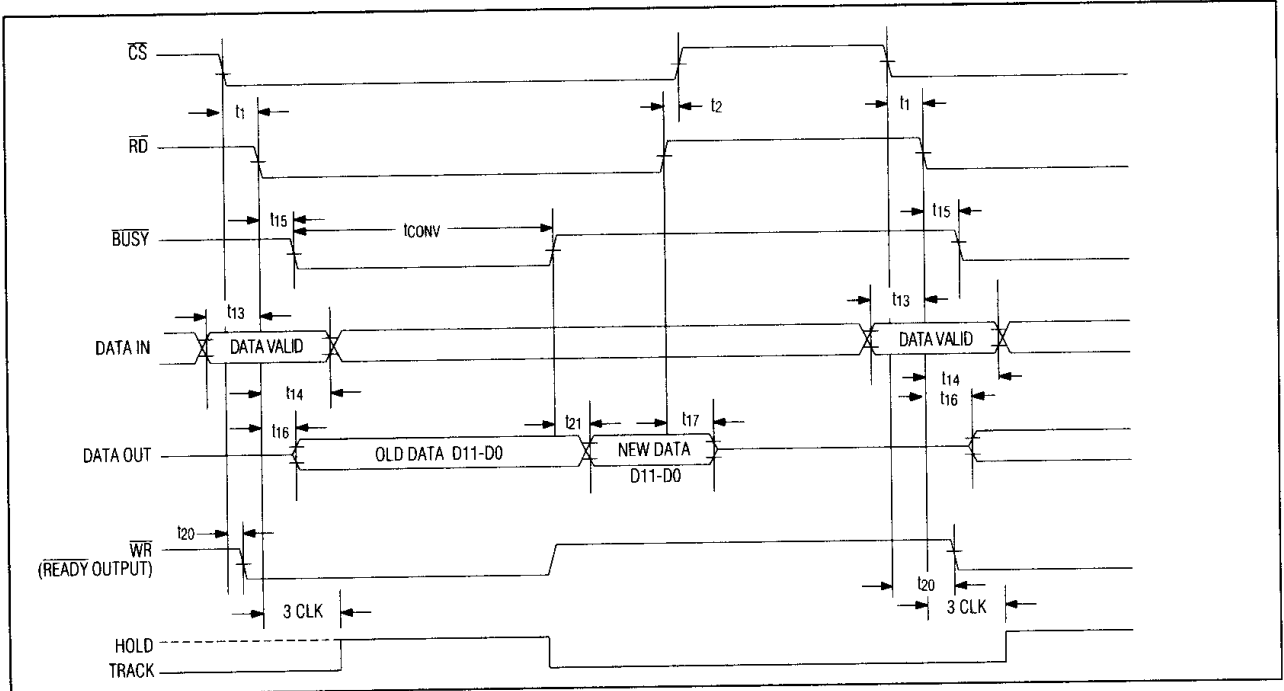


図8a. スローメモリモードのタイミング、パラレルリード(MODE=0、HBEN=0)

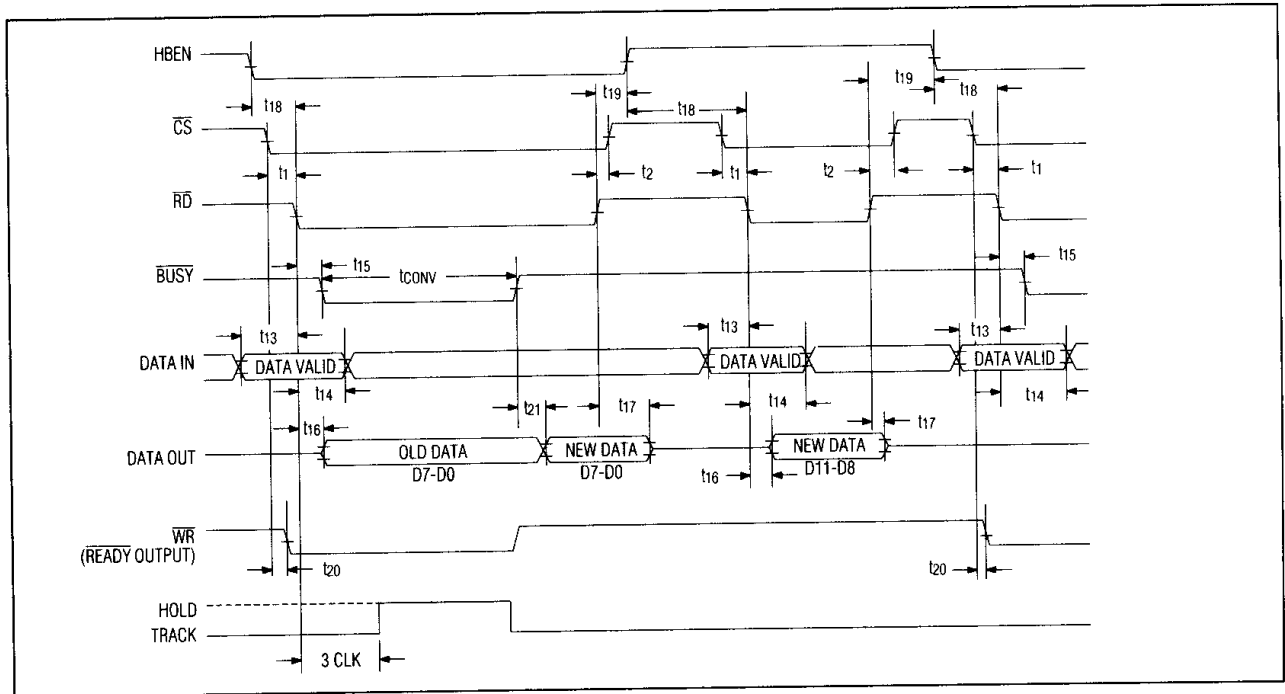


図8b. スローメモリモードのタイミング、2バイトリード(MODE=0)

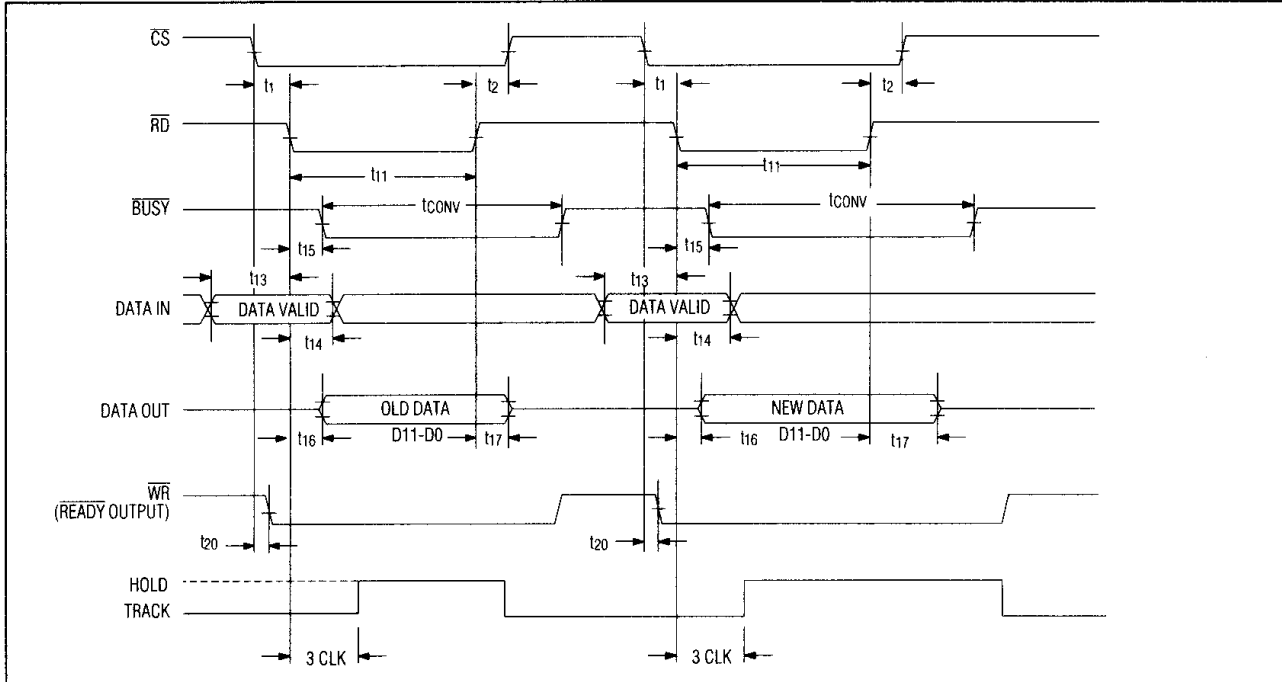


図9a. ROMモードのタイミング、パラレルリード(MODE=0、HBEN=0)

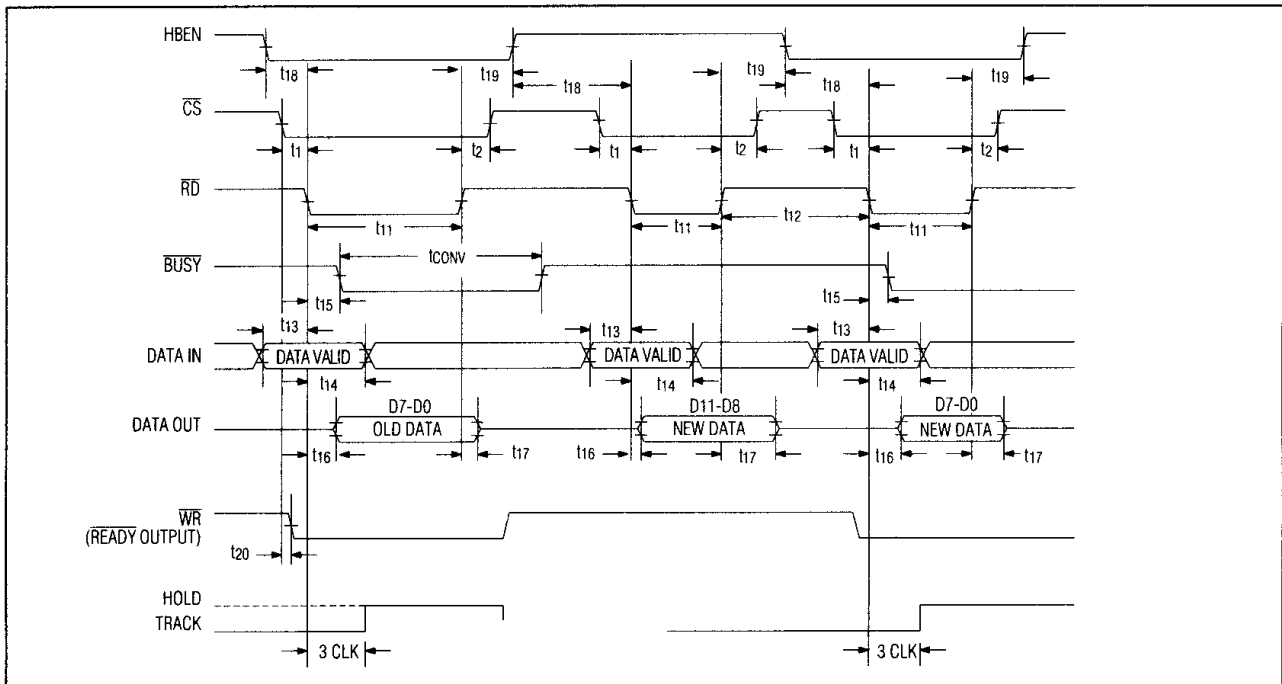


図9b. ROMモードのタイミング、2バイトリード(MODE=0)

# 完全8チャンネル、12ビット データアクイジションシステム

MAX180/MAX181

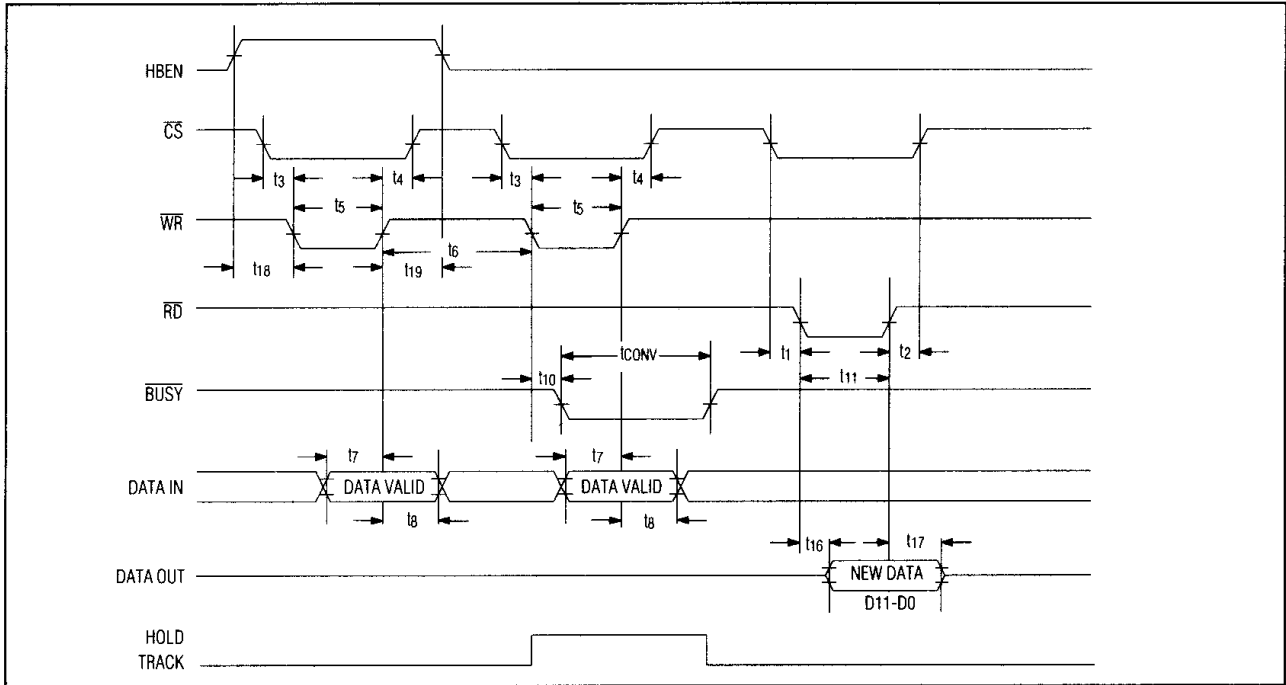


図10a. 非同期ホールドモードのタイミング、パラレルリード(MODE=オープン)

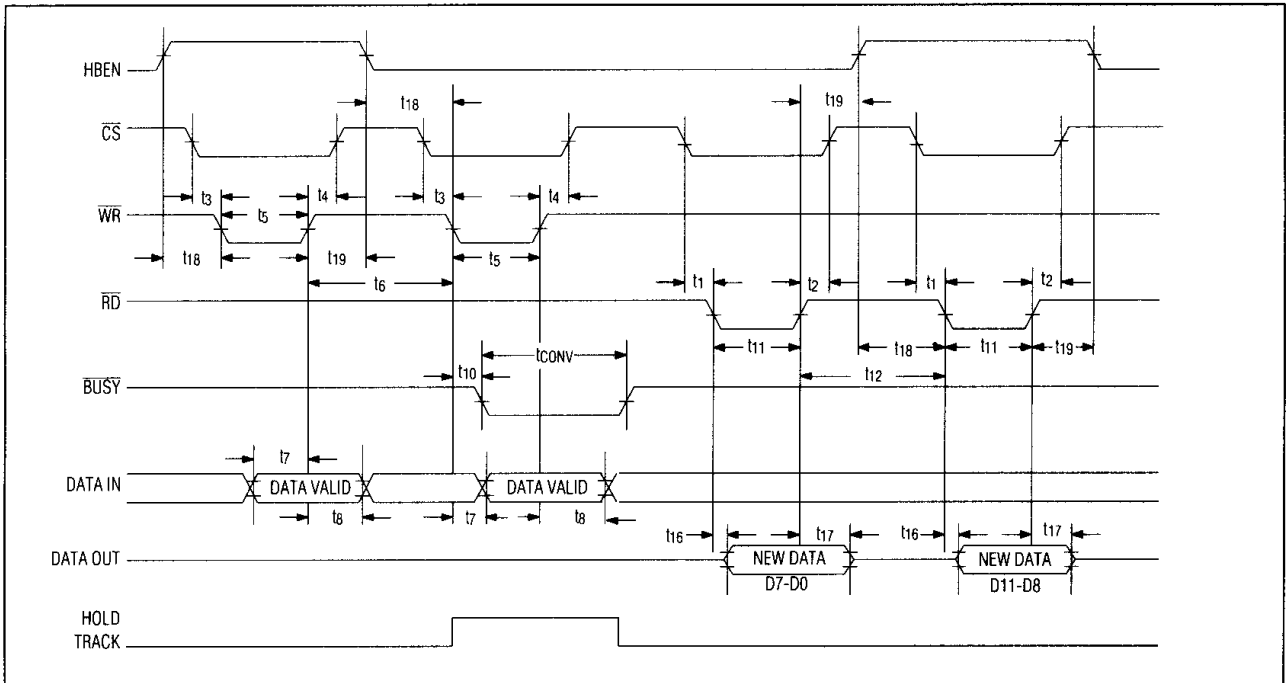


図10b. 非同期ホールドモードのタイミング、2バイトリード(MODE=オープン)

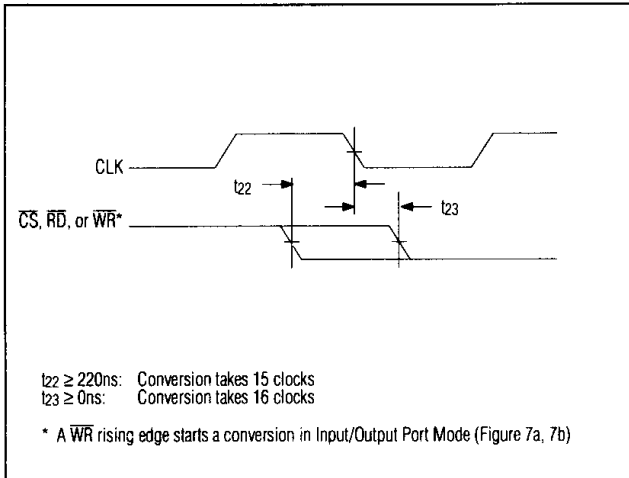


図11. 同期動作のCLKに対するCS、RD、WRのセットアップとホールドタイム

## デジタルインタフェース

### I/Oポートモード(MODE=1)

このモードではデータの入出力は通常一緒に接続され(図6)、 $\mu P$ が書き込み命令でDASの内部レジスタに構成データを書き込みます(図7)。 $\overline{\text{BUSY}}$ 信号の“ハイ”から“ロー”へのトランジションによって変換が開始されます。MUXは選択した入力信号をT/Hに接続し、最初の3クロックサイクル中に信号を収集します。3番目のクロックの立下がりエッジでT/Hはホールドモードにスイッチされ、A/D変換が開始されます。 $\overline{\text{WR}}$ が“ハイ”になった後15クロックサイクルで $\overline{\text{BUSY}}$ が“ハイ”になり、変換結果がトライステート出力バッファにラッチされるので、 $\mu P$ は読み込み命令で変換結果をアクセスできます。16ビットバス動作の場合、HBEN=0で12ビットの変換結果は直接読み込まれます。8ビットバスの場合、変換中HBEN=0で読み込み命令は8LSBをリターンし、HBEN=1の二回目の読み込みで4MSBをリターンします。  
注：どのモードでもHBEN=1では変換開始はディセーブル状態となります。

DASの内部レジスタは5ビットワイドで3ビットがアナログチャンネルのアドレスに、1ビットはシングルエンド入力/差動入力MUX動作に、もう1ビットはユニポーラ/バイポーラA/D動作にそれぞれ割当てられています。

### スローメモリモード(MODE=0)

メモリモードではDASは $\mu P$ にとってメモリとして、あるいは低速のペリフェラルとして見られます。5つの構成ビットは外部データラッチ、デコードされたデバイスアドレス、あるいは外部セレクションロジックによってプリセットされます。図8に示されるように、読み込み命令によって変換が開始されます。このモードでは $\overline{\text{WR}}$ 入力は $\overline{\text{RDY}}$ 出力として機能し、 $\overline{\text{CS}}$ が“ロー”になると“ロー”になります。 $\overline{\text{BUSY}}$ は $\overline{\text{RD}}$

が“ロー”になった後“ロー”になり、信号のアキュイジションサイクルの開始を示し、 $\mu P$ をウェイト状態にするために使用できます。変換が完了すると $\overline{\text{BUSY}}$ 信号によって $\mu P$ はウェイト状態から開放され、読み込み命令で変換結果をアクセスできます。16ビットバスの場合HBEN=0で12ビットのデータは直接読み込まれます。8ビットバスの場合、変換中、HBEN=0で読み込み命令は8LSBをリターンし、2回目の読み込みでHBEN=1で4MSBをリターンします。

注：どのモードでもHBEN=1で変換開始はディセーブル状態になります。

### ROMモード、パラレル読み込み(MODE=0)

ROMモードでは $\mu P$ のウェイト状態を回避できます。変換は読み込み命令で開始され、前の変換結果がD0~D11に現れます。シーケンス内で最初の読み込みデータは、ROMモードが使われている場合、時々無視されることがあります。2回目の読み込みで最初の変換結果がアクセスされ、次の変換が開始されます。連続的に読み込みする場合、読み込み間の時間はMAX180/181の変換時間より長くとらなければなりません(図9a.16ビットバス)。

### ROMモード、2バイト読み込み(MODE=0)

メモリモードのようにD0~D7が2バイト読み込みに対して使われます。変換はHBEN=0の時読み込み命令で開始され、この時点でデータ出力は前の変換の8LSBからなり、あともう2回の読み込み命令が変換結果のアクセスのために必要とされます。最初、HBEN=1で4個の“0”と4MSBをアクセスし、2回目の読み込みでHBEN=0で8LSBを出力し、次の変換を開始します。図9b(8ビットバス)にこのモードの詳細を示します。

### 非同期ホールドモード(MODE=オープン)

非同期ホールドモードは、精密あるいは繰返しのサンプリングタイミングが要求される時有用です。非同期ホールドは2回の書込命令が要求されることを除き、I/Oポートモードに極めて似ています。最初の書込みでHBEN=1でMAX180/181は動作を開始し、T/H入力に選択チャンネルの信号を入力し、次の書込みでHBEN=0でT/Hをホールドモードにし、変換を開始します。T/Hアキュイジションでの3クロックサイクルのディレイは、2回目の書込み命令のタイミングをコントロールすることで変えられます。2回目の $\overline{\text{WR}}$ パルスの立下がりエッジでT/Hはホールドモードになります(図10)。

# 完全8チャンネル、12ビット データアキュイジションシステム

MAX180/MAX181

## 外部クロック

外部クロックのデューティサイクルの範囲は20%から80%の範囲であり、精密な方形波は不要です。

## クロックとコントロールの同期

最良のアナログ性能を得るためにMAX180/181のクロックを、 $\overline{RD}$ 、 $\overline{WR}$ 、 $\overline{CS}$ 入力(図11)に、変換開始信号が直近のクロックエッジから少なくとも100ns離れるように同期させて下さい。この同期化によってCLKINにおけるトランジションがアナログ入力にカップリングされず、T/Hによってもサンプリングされないようになります。このフィードスルーの大きさは僅か数mVであり、CLKINと変換開始( $\overline{CS}$ 、 $\overline{WR}$ 、 $\overline{RD}$ )が非同期の場合、クロックと変換信号のミキシングに起因する周波数成分によって見かけの入力ノイズが増加します。

クロックと変換信号が同期する場合、小さなエンドポイントエラー(オフセットとフルスケール)は、ほとんどクロックフィードスルーによって生ずるだけですが、変換の開始( $\overline{RD}$ 、あるいは $\overline{WR}$ と $\overline{CS}$ の立下がりエッジ)がクロックトランジションの100ns以内に起きないようにすることでこのエラーさえも除かれます。(図11)。

## 出力データフォーマット

12データビットはフルパラレル、もしくは2つの8ビットバイトで出力されます。表2はデータバス出力フォーマットです。16ビット $\mu P$ に対してパラレル出力を得るにはHBENを"ロー"に接続します。

注：D11~D0の出力データは右詰め形式です(D0がLSBで16ビットワードの最も右側になります)。

2バイト読み込みは、D7~D0出力を使うこととなります。バイト選択はHBENによってコントロールされ、データ出力が分けられます。HBENが"ロー"の時、下位の8ビットがデータ出力に現れます。HBENが"ハイ"の時、上位4ビットがD0~D3に現れ、D4~D7の位置には4ビットが"ロー"になります。注:4MSBは出力がイネーブル状態の時、HBENの状態に関係なく常にD11~D8に現れます。

表2. データバス出力、 $\overline{CS}$ & $\overline{RD}$ ="ロー"

DIP Pin #	Pin 16	Pin 17	Pin 18	Pin 19	Pin 21	Pin 22	Pin 23	Pin 24	Pin 25	Pin 26	Pin 27	Pin 28
Pin Label*	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
HBEN = LOW**	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
HBEN = HIGH**	D11	D10	D9	D8	LOW	LOW	LOW	LOW	D11	D10	D9	D8

Note: \* D11-D0 are the ADC data output pin names.  
\*\* D11-D0 are the 12-bit conversion results. D11 is the MSB.

## アプリケーションヒント

### 電源投入後の初期化

あるアプリケーションでは、電力をセーブするために、動作しない間はADCへの電源供給が止められます。これはバッテリー動作のシステムではますます一般化しています。電源投入時、MAX180/181を初期化するためデータ出力は無視しHBENを"ロー"にして読み込み動作を実行します。

### システムノイズの最小化

MAX180/181は、レイアウト、バイパス、グランド処理が推奨通り行われていれば、特に殆どのノイズ源には影響を受けません。しかし、次の点について考慮する必要があります。

1. 変換中のデジタル動作を最少にする。特にMAX180/181のクロックと非同期の動作を最少にすること。
2. CLKINの立下がりエッジの±20ns内でのデータバス動作を避けること。

ADCに接続されたデータバスが変換中アクティブの時、データピンからADCのコンパレータのカップリングによってエラーが生じます。この問題を防ぐにはスローメモリモードを使って変換中 $\mu P$ をウェイト状態にします。ROMモードでは、データバスが変換中アクティブなら、トライステートドライバを使ってバスをADCからアイソレートして下さい。

ROMモードで変換開始後、 $\overline{RD}$ 、あるいは $\overline{CS}$ が"ハイ"になり、出力データドライバがディスエーブルになると、ADCは著しいデジタルノイズを発生します。コンパレータの決定をラッチするSARとノイズが一致すると、このノイズはADCのコンパレータに影響し、大きなエラーの原因になります。これを防止するため $\overline{RD}$ と $\overline{CS}$ は1クロックサイクル以下の間アクティブにします。これが不可能な場合、コンパレータ出力がCLKINの立下がりエッジでラッチされるので、 $\overline{RD}$ あるいは $\overline{CS}$ はCLKINの立上がりエッジで"ハイ"にします。

## レイアウト、グランド処理バイパス

最良のシステム性能を得るためには、プリント基板を使用し、決してワイアラップ基板は使わないで下さい。デジタル信号ラインとアナログ信号ラインはできるだけ分離して、基板のレイアウトを行ってください。アナログラインとデジタルライン（特にクロック）を並列にして走らせたり、ADCのパッケージ下部にデジタルラインを走らせたりしないで下さい。

図12aに推奨のシステムグランド接続を示します。シングルポイントのアナログスタートグランドをAGNDの点において設定し、ロジックグランドから分離します。他の全てのアナロググランドとDGNDはこのスターグランドに接続し、また他のデジタルシステムグランドはここに接続しないで下さい。ノイズフリー動作をさせるには、このスターグランドから電源へのグランドリターンは低インピーダンスで、しかもできるだけ短くしてください。

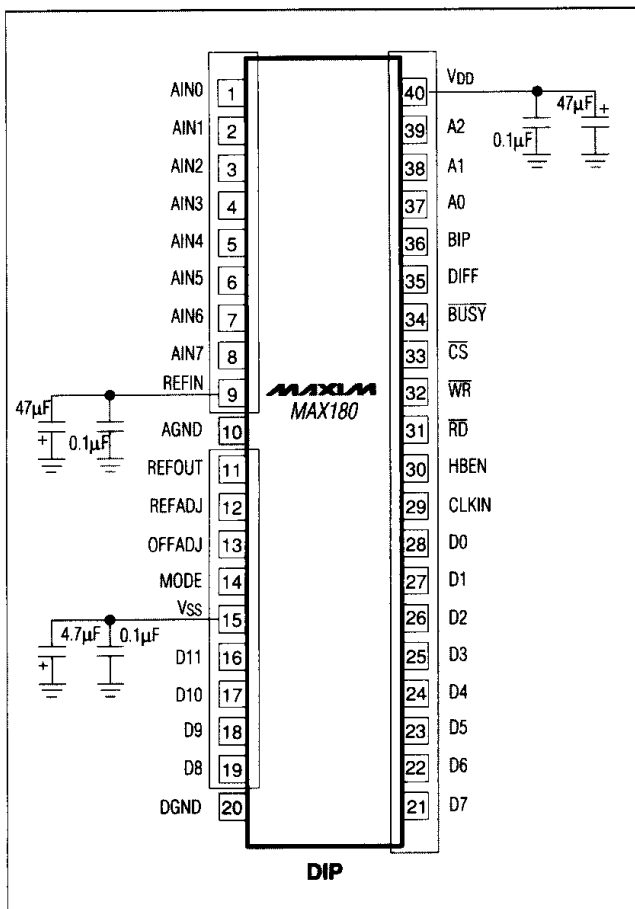


図12a. 推奨グランド処理とグランドプレーン

ADCの高速コンパレータは、 $V_{DD}$ と $V_{SS}$ 両電源の高周波ノイズに敏感なので、この電源は $0.1\mu\text{F}$ と $47\mu\text{F}$ のバイパスコンデンサを並列接続してアナログスターグランドにバイパスして下さい。また最良の電源ノイズ除去性能を得るためにコンデンサのリードを最短にして下さい。もし+5V電源が極めてノイジーなら小さな抵抗( $10\Omega$ )を接続してノイズを除去して下さい(図12b)。

## ゲインとオフセットの調整

図13はMAX180/181のユニポーラ動作の入出力変換特性です。コード変化は逐次整数LSB値の真ん中で起きます。ユニポーラ動作に対する出力コーディングはナチュラルバイナリで $1\text{LSB} = 1.22\text{mV}(5\text{V}/4096)$ です。図14はバイポーラ動作の入出力変換特性で、出力コーディングは2のコンプリメントです。

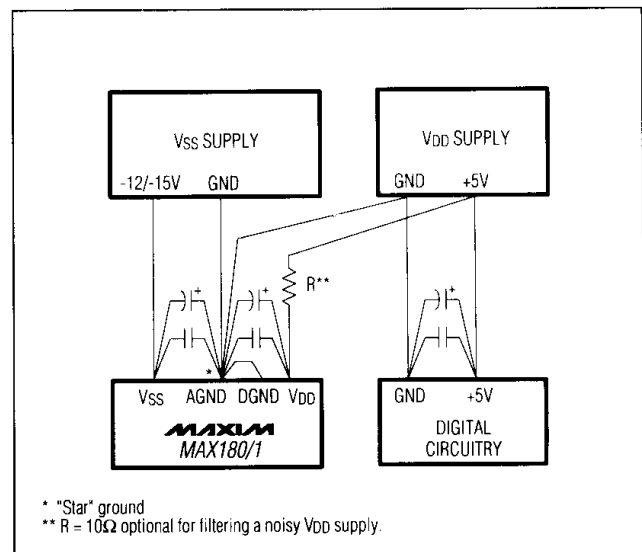


図12b. 電源グランド処理

\* "Star" ground  
\*\* R =  $10\Omega$  optional for filtering a noisy  $V_{DD}$  supply.

# 完全8チャンネル、12ビット データアキュイジションシステム

MAX180/MAX181

オフセット及びゲインの調整が不要な場合、OFFADJとREFADJをV<sub>DD</sub>に接続します。図15の回路では±1.2% (±50LSB)のゲイン調整範囲と、±0.44% (±18LSB)のオフセット調整範囲が得られます。これはゲイン(フルスケールレンジ)、又はオフセット調整が必要なアプリケーションでは最適な回路です。調整用入力を使う場合、0.1μFのコンデンサでAGNDにバイパスして下さい。オフセットはゲイン調整前に調整して下さい。0Vから5Vの入力レンジではアナログ入力に1LSB (0.61mV)分の信号を印加し、デジタル出力コードが0000 0000 0000と、0000 0000 0001間でフリッカするように抵抗R1を調整します。フルスケールの調整はFS-1LSB (4.99817V)分の信号を入力し、出力コードが1111 1111 1110と1111 1111 1111間でフリッカするように抵抗R2を調整します。この両調整は僅かに相互影響があるかもしれません。

バイポーラ(±2.5V)オフセットを調整するには、アナログ入力に1LSB (0.61mV)分の信号を加え、出力コードが0000 0000 0000と、0000 0000 0001間でスイッチするよう抵抗R1を調整します。フルスケール調整は、FS-1LSB (2.49817V)分の信号を入力に加え、出力コードが0111 1111 1110と、0111 1111 1111間でスイッチするよう抵抗R2を調整します。この両調整は僅かに相互影響があるかもしれません。外部リファレンスを使用する場合、抵抗R2のかわりにリファレンスの値を考慮してゲインを調整します。

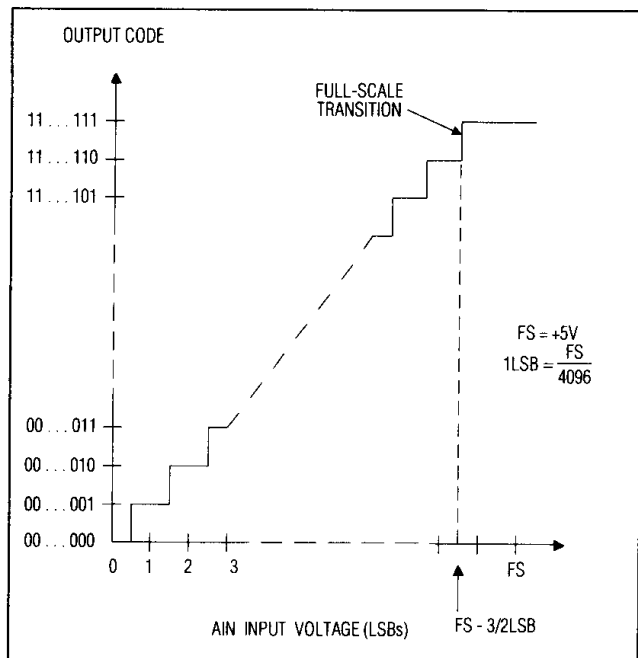


図13.MAX180/181ユニポーラ動作入出力変換特性

## ダイナミック特性

広帯域のアナログ入力と100kHzのスループットによって、MAX180/181は広帯域の信号処理に最適です。これら及び関連アプリケーションをサポートするために、高速フーリエ変換(FFT)テスト技術によって規定のスループットにおけるADCのダイナミック周波数応答、歪、ノイズを試験しています。特にこれは規定の時間、ADCの入力に低歪のサイン波を入力し、デジタル変換結果を記録し、周波数スペクトルを決めるFFTアルゴリズムを用いてデータを解析します。変換エラーは基本入力周波数の外側のスペクトラルとして見られます。

ADCは従来ゼロエラー、フルスケールエラー、積分非直線性(INL)、微分非直線性(DNL)のような仕様によって評価されてきました。このようなパラメータは、DC、及び低速信号での性能を規定する場合に広く受け入れられているものですが、システムの伝達特性上においてADCの影響が主要な問題であるシグナルプロセッシングの応用では有用ではありません。種々のDCパラメータは、ダイナミックなケースにおいては意味をなしません。それ故、異なるテストが要求されるわけです。

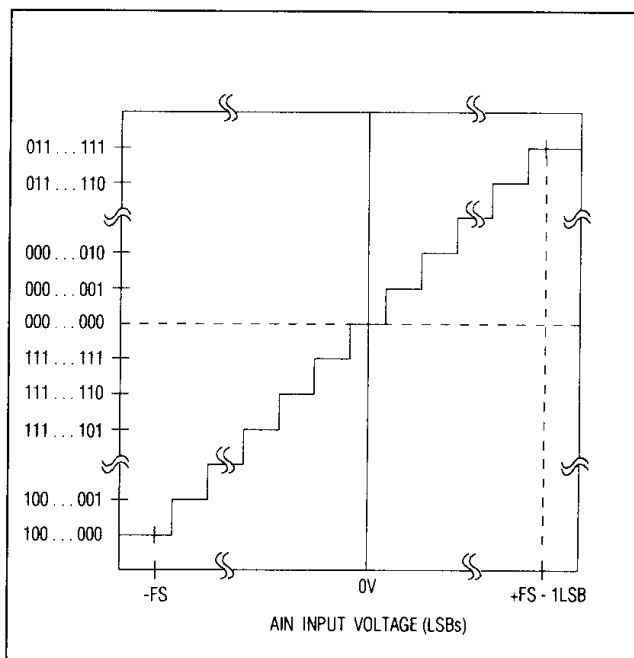


図14.MAX180/181バイポーラ動作入出力変換特性

## S/N比と有効ビット数

S/N比(SNR)は、高調波を除くADCの全てのスペクトル成分のRMS振幅に対する、基本周波数のRMS振幅の比です。出力バンド幅はDCからADCのサンプリングレート(変換レート)の1/2以下までの範囲に制限されます。このバンドには、歪とノイズ成分の両方を含むので、S/Nと歪比(SINAD)がADCの性能のより適切な尺度となります。

理論的な最小ADCノイズは量子化エラーによって生じ、これはADCの分解能の直接的な結果です。

$$SNR = (6.02N + 1.76) \text{dB}$$

ここにNは分解能のビット数です。従って完全な12ビットADCは、74dBよりも良い値をもつことはありません。図16に、MAX180/181を使って、100kHzのサンプリングレートで純粋な10kHzのサイン波をサンプリングした場合の結果を示します。FFTの出力プロットは離散したスペクトル周波数における相対出力振幅を示しています(図16)。

分解能からSNRを変換する式を置き換えることによって、測定されたSNRからADCの有効分解能(有効ビット数)が求められます。 $N = (SNR - 1.76) / 6.02$ 。図17に、MAX180/181の入力周波数の関数としての有効ビット数を示します。

## 全高調波歪

全高調波歪(THD)は、基本周波数のRMS振幅に対する全高調波のRMS値の合計(DCからサンプリングレートの1/2以下の周波数バンド幅内における)の比です。これは次式によってあたえられます。

$$THD = 20 \text{Log} \left[ \frac{\sqrt{(V_2^2 + V_3^2 + \dots + V_N^2)}}{V_1} \right]$$

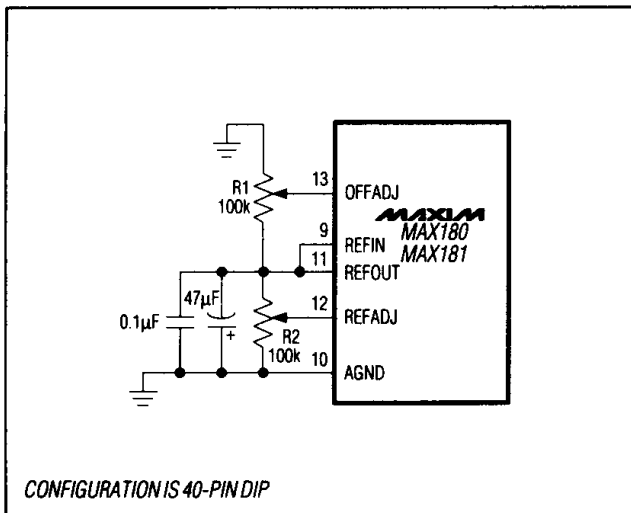


図15. オフセットとゲインの調整

ここで $V_1$ は基本RMS振幅、 $V_2 \sim V_N$ は2次からN次高調波の振幅を示します。

## スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジは、次に大きなスペクトル成分の振幅(DCからサンプリングレートの1/2以下の周波数における)に対する基本波のRMS振幅の比です。通常このピークは入力周波数のある高調波において生じますが、ADCが極端にリニアな場合、ADCのノイズフロアにおいてランダムピークでのみ生じることもあります。

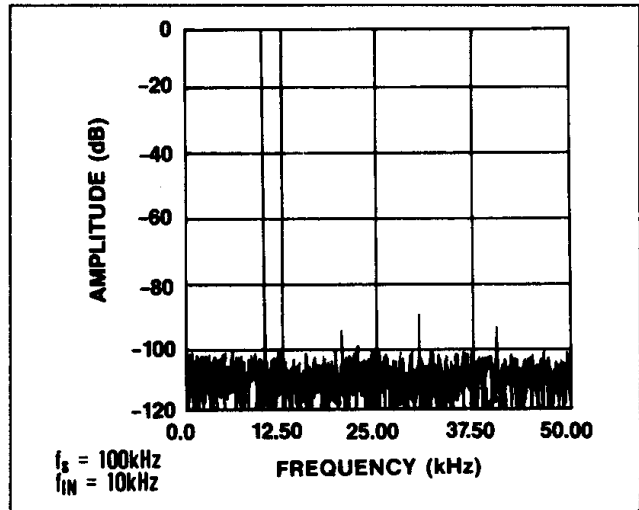


図16. MAX180/181のFFTプロット

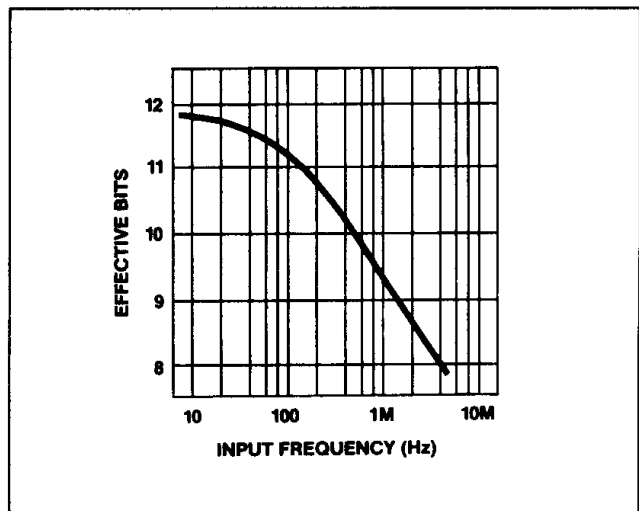


図17. MAX180/181の有効ビット数対入力周波数

# 完全8チャンネル、12ビット データアキュイジションシステム

## 標準動作回路

MAX180/MAX181

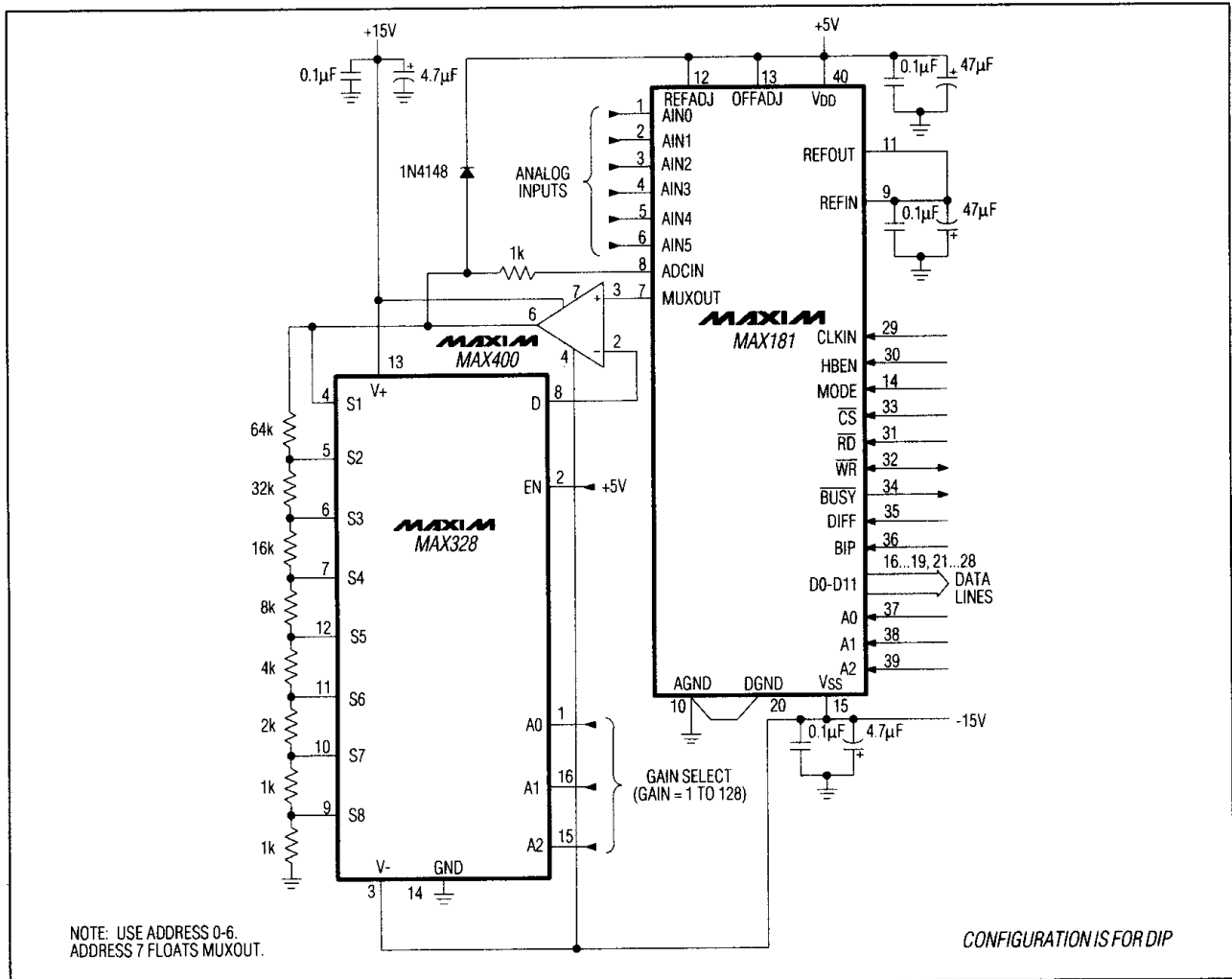


図18a.6チャンネルプログラマブルゲインADCとして機能するMAX181。ゲインは1、2、4、8、16、32、64、128。

# 完全8チャンネル、12ビット データアキュジションシステム

MAX180/MAX181

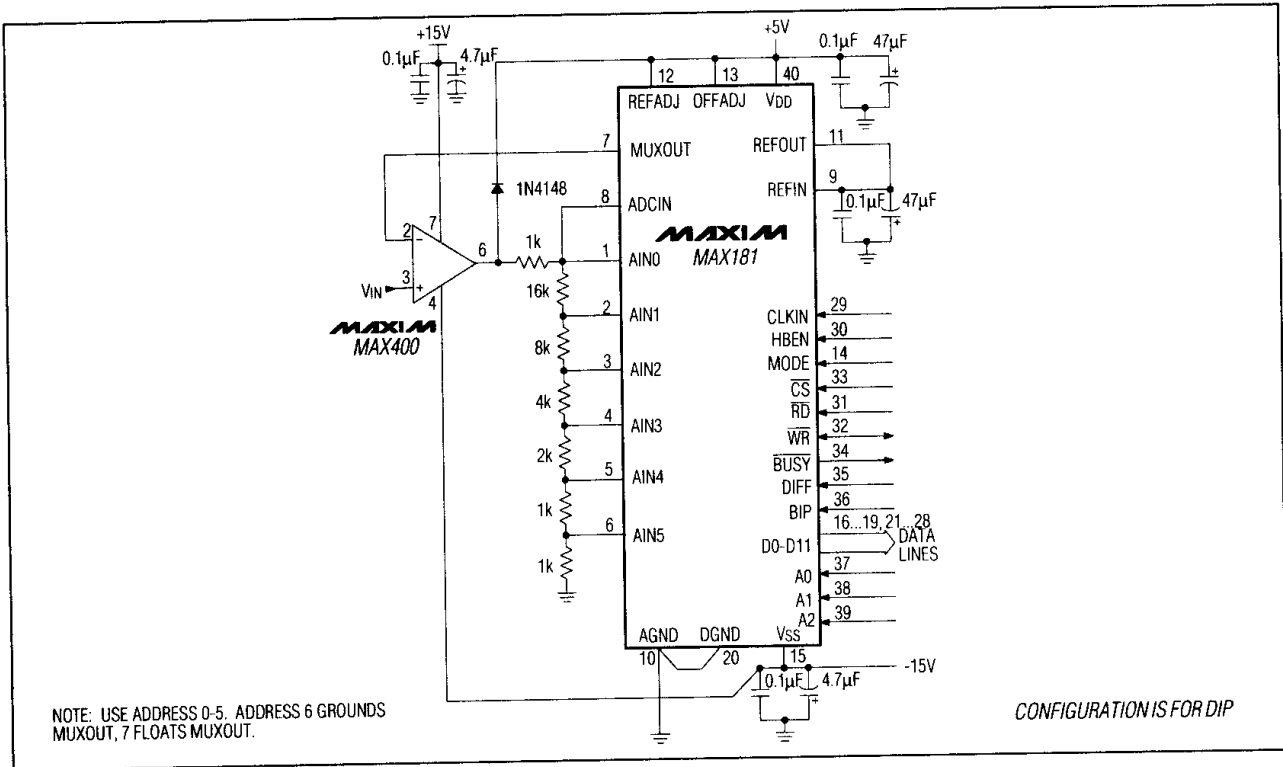
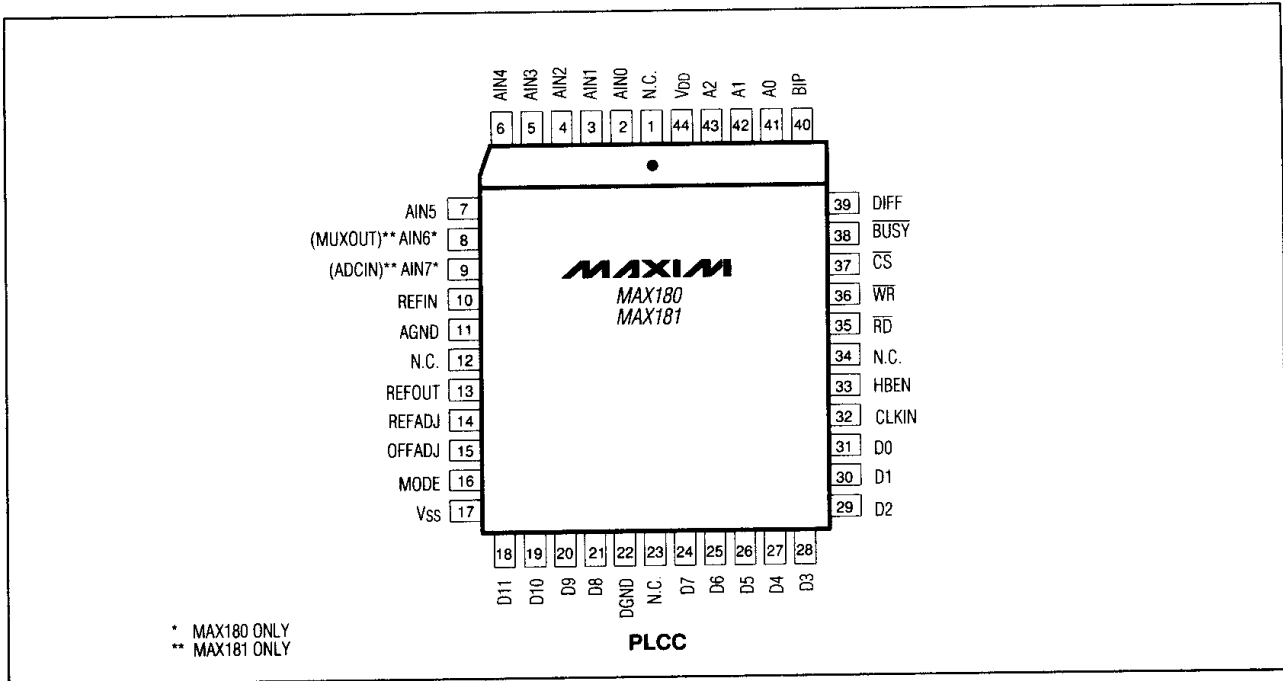


図18b. シングルチャンネルプログラマブルゲインADCとして機能するMAX181。ゲインは1、2、4、16、32。

## ピン配置(続き)



# 完全8チャンネル、12ビット データアキュイジションシステム

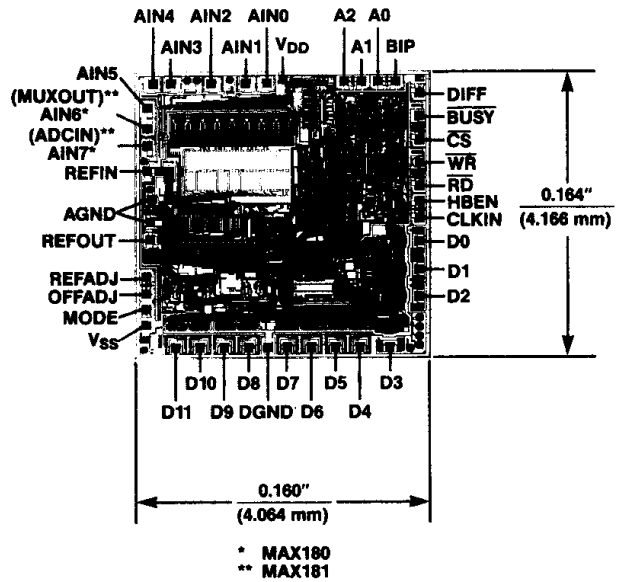
MAX180/MAX181

型番 (続き)

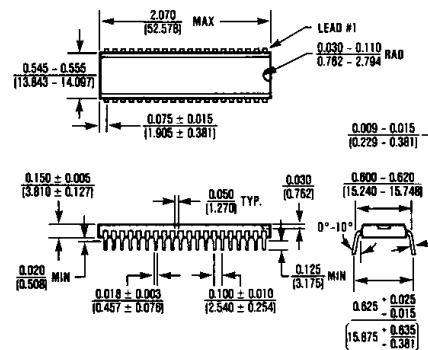
PART	TEMP. RANGE	PIN-PACKAGE	ERROR (LSBs)
MAX180CCQH	0°C to +70°C	44 PLCC	±1
MAX180CC/D	0°C to +70°C	Dice*	±1
MAX180AEPL	-40°C to +85°C	40 Plastic DIP	±1/2
MAX180BEPL	-40°C to +85°C	40 Plastic DIP	±1
MAX180CEPL	-40°C to +85°C	40 Plastic DIP	±1
MAX180AEQH	-40°C to +85°C	44 PLCC	±1/2
MAX180BEQH	-40°C to +85°C	44 PLCC	±1
MAX180CEQH	-40°C to +85°C	44 PLCC	±1
MAX180AMJL	-55°C to +125°C	40 CERDIP**	±1/2
MAX180BMJL	-55°C to +125°C	40 CERDIP**	±1
MAX180CMJL	-55°C to +125°C	40 CERDIP**	±1
MAX181ACPL	0°C to +70°C	40 Plastic DIP	±1/2
MAX181BCPL	0°C to +70°C	40 Plastic DIP	±1
MAX181CCPL	0°C to +70°C	40 Plastic DIP	±1
MAX181ACQH	0°C to +70°C	44 PLCC	±1/2
MAX181BCQH	0°C to +70°C	44 PLCC	±1
MAX181CCQH	0°C to +70°C	44 PLCC	±1
MAX181CC/D	0°C to +70°C	Dice*	±1
MAX181AEPL	-40°C to +85°C	40 Plastic DIP	±1/2
MAX181BEPL	-40°C to +85°C	40 Plastic DIP	±1
MAX181CEPL	-40°C to +85°C	40 Plastic DIP	±1
MAX181AEQH	-40°C to +85°C	44 PLCC	±1/2
MAX181BEQH	-40°C to +85°C	44 PLCC	±1
MAX181CEQH	-40°C to +85°C	44 PLCC	±1
MAX181AMJL	-55°C to +125°C	40 CERDIP**	±1/2
MAX181BMJL	-55°C to +125°C	40 CERDIP**	±1
MAX181CMJL	-55°C to +125°C	40 CERDIP**	±1

\* Contact factory for dice specifications.  
\*\* Contact factory for availability and processing to MIL-STD-883.

チップ構造図



パッケージ



40 Lead Plastic DIP (PL)

$\theta_{JA} = 100^\circ\text{C/W}$   
 $\theta_{JC} = 45^\circ\text{C/W}$

販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL.(03)3232-6141 FAX.(03)3232-6149

Maxim cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim product. No circuit patent licenses are implied. Maxim reserves the right to change the circuitry and specifications without notice at any time.

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600