

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

概要

MAX17003/MAX17004は、同期整流を備えたデュアルステップダウン、スイッチモード、電源(SMPS)コントローラで、バッテリー駆動システムでのメイン(5V/3.3V)電源の生成を目的としています。最適なインタリーブの固定周波数動作によって、最低入力電圧から26Vの最大入力電圧まで入力リップル電流が最小限に抑えられます。最適な40/60インタリーブによって、180°位相差レギュレータでは、入力が10Vを下回るとデューティサイクルのオーバーラップが発生するのと比較すると、入力電圧はデューティサイクルのオーバーラップが発生する前に8.3Vまで低下させることができます。

出力電流検出によって、高精度の検出抵抗または無損失のインダクタDCR電流検出によるピーク電流制限保護が行われます。低ノイズモードでは高い軽負荷効率が維持されるとともに、スイッチング周波数が可聴範囲外に保たれます。

内蔵の固定5Vで100mAのリニアレギュレータは、MAX17003/MAX17004とそのゲートドライバ、および外付けのキープアライブ負荷に電源を供給します。メインPWMレギュレータがレギュレーション中は、自動ブートストラップスイッチが内蔵のリニアレギュレータをバイパスし、最大200mAの電流を供給します。外付けnpnトランジスタ付きの可変リニアレギュレータドライバを二次巻線と組み合わせて12V電源を供給するか、またはメイン出力からじかに駆動して最低1Vの低電圧出力を生成することができます。

独立したイネーブル制御とパワーグッド信号によって、フレキシブルな電源シーケンスが実現します。電圧ソフトスタートは、出力電圧を徐々に立ち上げて突入電流を抑制し、一方ソフト放電は、出力電圧を徐々に減少させて負の電圧ディップを防止します。MAX17003/MAX17004は、出力低電圧および熱障害保護を備えています。また、MAX17003は、出力過電圧障害保護も内蔵しています。

MAX17003/MAX17004は、5mm x 5mmの32ピンTQFNパッケージで提供されます。裏面エクスポーズドパッドによって熱特性が向上するため、要件の厳しいリニアキープアライブアプリケーションにも対応しています。

アプリケーション

メイン電源

2~4セルのLi+ (リチウムイオン)バッテリー駆動デバイス
ノートブックおよびサブノートブックコンピュータ
PDAおよびモバイル通信

Dual ModeはMaxim Integrated Products, Inc.の商標です。

特長

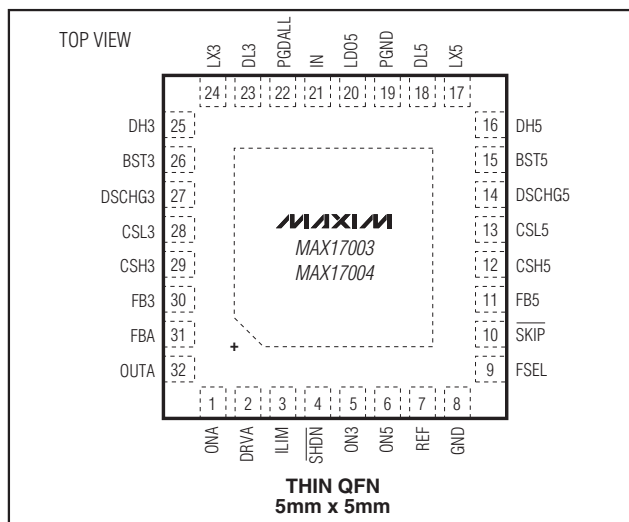
- ◆ 固定周波数、電流モード制御
- ◆ 40/60の最適インタリーブ
- ◆ 内蔵BSTスイッチ
- ◆ 内蔵5V、100mAのリニアレギュレータ
- ◆ 補助リニアレギュレータドライバ (12Vまたは1Vまで可変)
- ◆ Dual Mode™フィードバック—3.3V/5V固定または可変出力電圧
- ◆ スwitching周波数：200kHz/300kHz/500kHz
- ◆ 低電圧および熱障害保護
- ◆ 過電圧障害保護(MAX17003のみ)
- ◆ 入力電圧範囲：6V~26V
- ◆ リファレンス出力：2V ±0.75%
- ◆ 独立したイネーブル入力およびパワーグッド出力
- ◆ ソフトスタートおよびソフト放電(電圧ランプ)
- ◆ シャットダウン電流：8μA (typ)

型番

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX17003ETJ+	-40°C to +85°C	32 Thin QFN (5mm x 5mm)	T3255-4
MAX17004ETJ+	-40°C to +85°C	32 Thin QFN (5mm x 5mm)	T3255-4

+は鉛フリーパッケージを示します。

ピン配置



ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

ABSOLUTE MAXIMUM RATINGS

IN, $\overline{\text{SHDN}}$, DRVA, OUTA to GND	-0.3V to +28V	BST3, BST5 LDO5	-0.3V to +0.3V
LDO5, ON3, ON5, ONA to GND	-0.3V to +6V	LDO Short Circuit to GND	Momentary
PGDALL, DSCHG3, DSCHG5 to GND	-0.3V to +6V	REF Short Circuit to GND	Momentary
CSL3, CSH3, CSL5, CSH5 to GND	-0.3V to +6V	DRVA Current (Sinking)	30mA
REF, FB3, FB5, FBA to GND	-0.3V to ($V_{\text{LDO5}} + 0.3\text{V}$)	OUTA Shunt Current	30mA
SKIP, FSEL, ILIM to GND	-0.3V to ($V_{\text{LDO5}} + 0.3\text{V}$)	Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)	
DL3, DL5 to PGND	-0.3V to ($V_{\text{LDO5}} + 0.3\text{V}$)	Multilayer PC Board	
BST3, BST5 to PGND	-0.3V to +34V	32-Pin, 5mm x 5mm TQFN	
BST3 to LX3	-0.3V to +6V	(derated 34.5mW/°C above +70°C)	2459mW
DH3 to LX3	-0.3V to ($V_{\text{BST3}} + 0.3\text{V}$)	Operating Temperature Range	-40°C to +85°C
BST5 to LX5	-0.3V to +6V	Junction Temperature	+150°C
DH5 to LX5	-0.3V to ($V_{\text{BST5}} + 0.3\text{V}$)	Storage Temperature Range	-65°C to +150°C
GND to PGND	-0.3V to +0.3V	Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, $V_{\text{IN}} = 12\text{V}$, both SMPS enabled, FSEL = REF, $\overline{\text{SKIP}} = \text{GND}$, ILIM = LDO5, FBA = LDO5, $I_{\text{REF}} = I_{\text{LDO5}} = I_{\text{OUTA}} =$ no load, $T_A = 0^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
INPUT SUPPLIES (Note 1)						
V_{IN} Input Voltage Range	V_{IN}	LDO5 in regulation	5.4		26.0	V
		IN = LDO5, $V_{\text{CSL5}} < 4.4\text{V}$	4.5		5.5	
V_{IN} Operating Supply Current	I_{IN}	LDO5 switched over to CSL5, either SMPS on		20	36	μA
V_{IN} Standby Supply Current	$I_{\text{IN}}(\text{STBY})$	$V_{\text{IN}} = 6\text{V}$ to 26V, both SMPS off, includes $\overline{\text{ISHDN}}$		65	120	μA
V_{IN} Shutdown Supply Current	$I_{\text{IN}}(\text{SHDN})$	$V_{\text{IN}} = 6\text{V}$ to 26V		8	20	μA
Quiescent Power Consumption	P_{Q}	Both SMPS on, FB3 = FB5 = LDO5, $\overline{\text{SKIP}} = \text{GND}$, $V_{\text{CSL3}} = 3.5\text{V}$, $V_{\text{CSL5}} = 5.3\text{V}$, $V_{\text{OUTA}} = 15\text{V}$, $P_{\text{IN}} + P_{\text{CSL3}} + P_{\text{CSL5}} + P_{\text{OUTA}}$		3.5	4.5	mW
MAIN SMPS CONTROLLERS						
3.3V Output Voltage in Fixed Mode	V_{OUT3}	$V_{\text{IN}} = 6\text{V}$ to 26V, $\overline{\text{SKIP}} = \text{FB3} = \text{LDO5}$, $0 < V_{\text{CSH3}} - V_{\text{CSL3}} < 50\text{mV}$ (Note 2)	3.265	3.315	3.365	V
5V Output Voltage in Fixed Mode	V_{OUT5}	$V_{\text{IN}} = 6\text{V}$ to 26V, $\overline{\text{SKIP}} = \text{FB5} = \text{LDO5}$, $0 < V_{\text{CSH5}} - V_{\text{CSL5}} < 50\text{mV}$ (Note 2)	4.94	5.015	5.09	V
Feedback Voltage in Adjustable Mode (Note 2)	V_{FB_-}	$V_{\text{IN}} = 6\text{V}$ to 26V, FB3 or FB5 duty factor = 20% to 80%	1.980	2.010	2.040	V
		$V_{\text{IN}} = 6\text{V}$ to 26V, FB3 or FB5 duty factor = 50%	1.990	2.010	2.030	

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, FSEL = REF, $\overline{SKIP} = GND$, ILIM = LDO5, FBA = LDO5, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Output Voltage Adjust Range		Either SMPS	2.0		5.5	V	
FB3, FB5 Dual-Mode Threshold			3.0	$V_{LDO5} - 1.0$	$V_{LDO5} - 0.4$	V	
Feedback Input Leakage Current		$V_{FB3} = V_{FB5} = 2.1V$	-0.1		+0.1	μA	
DC Load Regulation		Either SMPS, $\overline{SKIP} = LDO5$, $0 < V_{CSH_} - V_{CSL_} < 50mV$		-0.1		%	
Line Regulation Error		Either SMPS, $6V < V_{IN} < 26V$		0.03		%/V	
Operating Frequency (Note 1)	f _{OSC}	FSEL = GND	170	200	230	kHz	
		FSEL = REF	270	300	330		
		FSEL = LDO5	425	500	575		
Maximum Duty Factor	D _{MAX}	(Note 1)	97.5	99		%	
Minimum On-Time	t _{ONMIN}			100		ns	
SMPS3-to-SMPS5 Phase Shift		SMPS5 starts after SMPS3		40		%	
				144		Deg	
CURRENT LIMIT							
ILIM Adjustment Range			0.5		V _{REF}	V	
Current-Sense Input Leakage Current		CSH3 = CSH5 = GND or LDO5	-1		+1	μA	
Current-Limit Threshold (Fixed)	V _{LIMIT}	$V_{CSH_} - V_{CSL_}$, ILIM = LDO5	45	50	55	mV	
Current-Limit Threshold (Adjustable)	V _{LIMIT}	$V_{CSH_} - V_{CSL_}$	V _{ILIM} = 2.00V	185	200	215	mV
			V _{ILIM} = 1.00V	94	100	106	
Current-Limit Threshold (Negative)	V _{NEG}	$V_{CSH_} - V_{CSL_}$, $\overline{SKIP} = ILIM = LDO5$	-67	-60	-53	mV	
		$V_{CSH_} - V_{CSL_}$, $\overline{SKIP} = LDO5$, adjustable mode, percent of current limit		-120		%	
Current-Limit Threshold (Zero Crossing)	V _{ZX}	$V_{CSH_} - V_{CSL_}$, $\overline{SKIP} = GND$, ILIM = LDO5	0	3	6	mV	
Idle Mode™ Threshold	V _{IDLE}	$\frac{V_{CSH_} - V_{CSL_}}{\overline{SKIP} = GND}$	ILIM = LDO5	6	10	14	mV
			With respect to current-limit threshold (V _{LIMIT})		20		%
Idle Mode Threshold (Low Audible-Noise Mode)	V _{IDLE}	$\frac{V_{CSH_} - V_{CSL_}}{\overline{SKIP} = REF}$	ILIM = LDO5	2.5	5	7.5	mV
			With respect to current-limit threshold (V _{LIMIT})		10		%
ILIM Leakage Current		ILIM = GND or REF	-1		+1	μA	

Idle ModeはMaxim Integrated Products, Inc.の商標です。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, FSEL = REF, $\overline{SKIP} = GND$, ILIM = LDO5, FBA = LDO5, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Soft-Start Ramp Time	t_{SSTART}	Measured from the rising edge of ON_ to full scale		2		ms
Soft-Stop Ramp Time	t_{SSTOP}	Measured from the falling edge of ON_ to full scale		4		ms
INTERNAL FIXED LINEAR REGULATORS						
LDO5 Output Voltage	V_{LDO5}	ON5 = GND, $6V < V_{IN} < 26V$, $0 < I_{LDO5} < 100mA$	4.85	4.95	5.10	V
LDO5 Undervoltage-Lockout Fault Threshold		Rising edge, hysteresis = 1% (typ)		225	450	V
LDO5 Bootstrap Switch Threshold		Rising edge of CSL5, hysteresis = 1% (typ)	4.35	4.55	4.70	V
LDO5 Bootstrap Switch Resistance		LDO5 to CSL5, $V_{CSL5} = 5V$, $I_{LDO5} = 50mA$		1	5	Ω
Short-Circuit Current		LDO5 = GND, ON5 = GND		225	450	mA
Short-Circuit Current (Switched over to CSL_)		LDO5 = GND, $V_{CSL5} > 4.7V$	200	425		mA
AUXILIARY LINEAR REGULATOR						
DRVA Voltage Range	V_{DRVA}		0.5		26.0	V
DRVA Drive Current		$V_{FBA} = 1.05V$, $V_{DRVA} = 5V$			0.4	mA
		$V_{FBA} = 0.965V$, $V_{DRVA} = 5V$	10			
FBA Regulation Threshold	V_{FBA}	$V_{DRVA} = 5V$, $I_{DRVA} = 1mA$ (sink)	0.98	1.00	1.02	V
FBA Load Regulation		$V_{DRA} = 5V$, $I_{DRVA} = 0.5mA$ to $5mA$		-1.2	-2.2	%
OUTA Shunt Trip Level		Rising edge	25	26	27	V
FBA Leakage Current		$V_{FBA} = 1.035V$	0.1		+0.1	μA
Secondary Feedback Regulation Threshold		$V_{DRVA} - V_{OUTA}$		0		V
DL5 Pulse Width				1/ 3f _{OSC}		μs
OUTA Leakage Current	I_{OUTA}	$V_{DRVA} = V_{OUTA} = 25V$			50	μA
REFERENCE (REF)						
Reference Voltage	V_{REF}	LDO5 in regulation, $I_{REF} = 0$	1.985	2.00	2.015	V
Reference Load-Regulation Error	ΔV_{REF}	$I_{REF} = -5\mu A$ to $+50\mu A$	-10		+10	mV
REF Lockout Voltage	$V_{REF(UVLO)}$	Rising edge		1.8		V
FAULT DETECTION						
Output Overvoltage Trip Threshold (MAX17003 Only)		With respect to error-comparator threshold	8	11	14	%
Output Overvoltage Fault Propagation Delay (MAX17003 Only)	t_{OVP}	50mV overdrive		10		μs

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, $FSEL = REF$, $SKIP = GND$, $ILIM = LDO5$, $FBA = LDO5$, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Output Undervoltage Protection Trip Threshold		With respect to error-comparator threshold	65	70	75	%
Output Undervoltage Fault Propagation Delay	t_{UVF}	50mV overdrive		10		μs
Output Undervoltage Protection Blanking Time	t_{BLANK}	From rising edge of ON_+ with respect to f_{sw}	5000	6144	7000	$1/f_{OSC}$
PGDALL Lower Trip Threshold		With respect to either SMPS error-comparator threshold, hysteresis = 1% (typ)	-12	-10	-8	%
PGDALL Propagation Delay	t_{PGDALL}	Falling edge, 50mV overdrive		10		μs
		Rising edge, 50mV overdrive		1		
PGDALL Output Low Voltage		$I_{SINK} = 1mA$			0.4	V
PGDALL Leakage Current	I_{PGDALL}	High state, PGDALL forced to 5.5V			1	μA
Thermal-Shutdown Threshold	t_{SHDN}	Hysteresis = $15^{\circ}C$		+160		$^{\circ}C$
GATE DRIVERS						
DH_ Gate-Driver On-Resistance	R_{DH}	$BST_- - LX_+$ forced to 5V		1.3	5	Ω
DL_ Gate-Driver On-Resistance	R_{DL}	DL_+ , high state		1.7	5	Ω
		DL_+ , low state		0.6	3	
DH_ Gate-Driver Source/Sink Current	I_{DH}	DH_+ forced to 2.5V, $BST_- - LX_+$ forced to 5V		2		A
DL_ Gate-Driver Source Current	$I_{DL} (SOURCE)$	DL_+ forced to 2.5V		1.7		A
DL_ Gate-Driver Sink Current	$I_{DL} (SINK)$	DL_+ forced to 2.5V		3.3		A
Dead Time	t_{DEAD}	DH_{low} to DL_{high}	15	45		ns
		DL_{low} to DH_{high}	15	44		
Internal BST_- Switch On-Resistance	R_{BST}	$I_{BST} = 10mA$		5		Ω
BST_- Leakage Current		$V_{BST_-} = 26V$		2	20	μA
INPUTS AND OUTPUTS						
\overline{SHDN} Input Trip Level		Rising trip level	1.1	1.6	2.2	V
		Falling trip level	0.96	1	1.04	
ONA Logic Input Voltage		Hysteresis = 600mV (typ)	High	2.4		V
			Low		0.8	
ON3, ON5 Input Voltage		SMPS off level/clear fault level			0.8	V
		Delay start level	1.9		2.1	
		SMPS on level	2.4			
DSCHG_ On-Resistance	$R_{DSCHG_}$	$ON3 = ON5 = \overline{SHDN} = 0$; $I_{DSCHG_} = 10mA$	5	11	25	Ω
DSCHG_ Leakage Current		High state, DSCHG_ forced to 5.5V			1	μA

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, FSEL = REF, $\overline{SKIP} = GND$, ILIM = LDO5, FBA = LDO5, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Tri-Level Input Logic		\overline{SKIP} , FSEL	High	$V_{LDO5} - 0.4$		V
			REF	1.65	2.35	
			GND	0.5		
Input Leakage Current		\overline{SKIP} , FSEL forced to GND or LDO5	-1	+1		μA
		\overline{SHDN} forced to GND or 26V	-1	+1		

ELECTRICAL CHARACTERISTICS

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, FSEL = REF, $\overline{SKIP} = GND$, ILIM = LDO5, FBA = LDO5, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS
INPUT SUPPLIES (Note 1)					
V_{IN} Input Voltage Range	V_{IN}	LDO5 in regulation	5.4	26.0	V
		IN = LDO5, $V_{CSL5} < 4.4V$	4.5	5.5	
V_{IN} Operating Supply Current	I_{IN}	LDO5 switched over to CSL5, either SMPS on		40	μA
V_{IN} Standby Supply Current	$I_{IN(STBY)}$	$V_{IN} = 6V$ to 26V, both SMPS off, includes \overline{SHDN}		120	μA
V_{IN} Shutdown Supply Current	$I_{IN(SHDN)}$	$V_{IN} = 6V$ to 26V		20	μA
Quiescent Power Consumption	P_Q	Both SMPS on, FB3 = FB5 = LDO5; $\overline{SKIP} = GND$, $V_{CSL3} = 3.5V$, $V_{CSL5} = 5.3V$, $V_{OUTA} = 15V$, $P_{IN} + P_{CSL3} + P_{CSL5} + P_{OUTA}$		4.5	mW
MAIN SMPS CONTROLLERS					
3.3V Output Voltage in Fixed Mode	V_{OUT3}	$V_{IN} = 6V$ to 26V, $\overline{SKIP} = FB3 = LDO5$, $0 < V_{CSH3} - V_{CSL3} < 50mV$ (Note 2)	3.255	3.375	V
5V Output Voltage in Fixed Mode	V_{OUT5}	$V_{IN} = 6V$ to 26V, $\overline{SKIP} = FB5 = LDO5$, $0 < V_{CSH5} - V_{CSL5} < 50mV$ (Note 2)	4.925	5.105	V
Feedback Voltage in Adjustable Mode	$V_{FB_}$	$V_{IN} = 6V$ to 26V, FB3 or FB5 duty factor = 20% to 80% (Note 2)	1.974	2.046	V
Output Voltage Adjust Range		Either SMPS	2.0	5.5	V
FB3, FB5 Dual-Mode Threshold			3V	$V_{LDO5} - 0.4$	V
Operating Frequency (Note 1)	f_{OSC}	FSEL = GND	170	230	kHz
		FSEL = REF	270	330	
		FSEL = LDO5	425	575	
Maximum Duty Factor	D_{MAX}		97		%

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, FSEL = REF, SKIP = GND, ILIM = LDO5, FBA = LDO5, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS	
CURRENT LIMIT						
ILIM Adjustment Range			0.5	V_{REF}	V	
Current-Limit Threshold (Fixed)	V_{LIMIT}	$V_{CSHL} - V_{CSL-}$, ILIM = LDO5	44	56	mV	
Current-Limit Threshold (Adjustable)	V_{LIMIT}	$V_{CSHL} - V_{CSL-}$	$V_{ILIM} = 2.00V$	185	215	mV
			$V_{ILIM} = 1.00V$	93	107	
INTERNAL FIXED LINEAR REGULATORS						
LDO5 Output Voltage	V_{LDO5}	ON5 = GND, $6V < V_{IN} < 26V$, $0 < I_{LDO5} < 100mA$	4.85	5.10	V	
LDO5 Undervoltage-Lockout Fault Threshold		Rising edge, hysteresis = 1% (typ)	3.7	4.1	V	
LDO5 Bootstrap Switch Threshold		Rising edge of CSL5, hysteresis = 1% (typ)	4.30	4.75	V	
Short-Circuit Current		LDO5 = GND, ON5 = GND		450	mA	
Short-Circuit Current (Switched over to CSL ₋)		LDO5 = GND, $V_{CSL5} > 4.7V$	200		mA	
AUXILIARY LINEAR REGULATOR						
DRVA Voltage Range	V_{DRVA}		0.5	26.0	V	
DRVA Drive Current		$V_{FBA} = 1.05V$, $V_{DRVA} = 5V$		0.4	mA	
		$V_{FBA} = 0.965V$, $V_{DRVA} = 5V$	10			
FBA Regulation Threshold	V_{FBA}	$V_{DRVA} = 5V$, $I_{DRVA} = 1mA$ (sink)	0.98	1.02	V	
OUTA Shunt Trip Level			25	27	V	
REFERENCE (REF)						
Reference Voltage	V_{REF}	LDO5 in regulation, $I_{REF} = 0$	1.980	2.020	V	

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

ELECTRICAL CHARACTERISTICS (continued)

(Circuit of Figure 1, $V_{IN} = 12V$, both SMPS enabled, FSEL = REF, $\overline{SKIP} = GND$, ILIM = LDO5, FBA = LDO5, $I_{REF} = I_{LDO5} = I_{OUTA} =$ no load, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
FAULT DETECTION							
Output Overvoltage Trip Threshold (MAX17003 Only)		With respect to error-comparator threshold	8		14	%	
Output Undervoltage Protection		With respect to error-comparator threshold	65		75	%	
PGDALL Lower Trip Threshold		With respect to error-comparator threshold, hysteresis = 1%	-12		-8	%	
PGDALL Output Low Voltage		$I_{SINK} = 1mA$			0.4	V	
GATE DRIVERS							
DH_ Gate-Driver On-Resistance	R_{DH}	BST_ – LX_ forced to 5V			5	Ω	
DL_ Gate-Driver On-Resistance	R_{DL}	DL_, high state			5	Ω	
		DL_, low state			3		
INPUTS AND OUTPUTS							
\overline{SHDN} Input Trip Level		Rising trip level	1.0		2.3	V	
		Falling trip level	0.96		1.04		
ONA Logic Input Voltage		Hysteresis = 600mV (typ)	High	2.4		V	
			Low				0.8
ON3, ON5 Input Voltage		SMPS off level/clear fault level			0.8	V	
		Delay start level	1.9		2.1		
		SMPS on level	2.4				
DSCHG_ On-Resistance	$R_{DSCHG_}$	ON3 = ON5 = $\overline{SHDN} = 0$; $I_{DSCHG_} = 10mA$	5		25	Ω	
Tri-Level Input Logic		\overline{SKIP} , FSEL	High	$V_{LDO5} - 0.4$		1	μA
			REF	1.65		2.35	V
			GND			0.5	

Note 1: The MAX17003/MAX17004 cannot operate over all combinations of frequency, input voltage (V_{IN}), and output voltage. For large input-to-output differentials and high switching-frequency settings, the required on-time may be too short to maintain the regulation specifications. Under these conditions, a lower operating frequency must be selected. The minimum on-time must be greater than 150ns, regardless of the selected switching frequency. On-time and off-time specifications are measured from 50% point to 50% point at the DH_ pin with LX_ = GND, $V_{BST_} = 5V$, and a 250pF capacitor connected from DH_ to LX_. Actual in-circuit times may differ due to MOSFET switching speeds.

Note 2: When the inductor is in continuous conduction, the output voltage has a DC-regulation level lower than the error-comparator threshold by 50% of the ripple. In discontinuous conduction ($\overline{SKIP} = GND$, light load), the output voltage has a DC regulation level higher than the trip level by approximately 1% due to slope compensation.

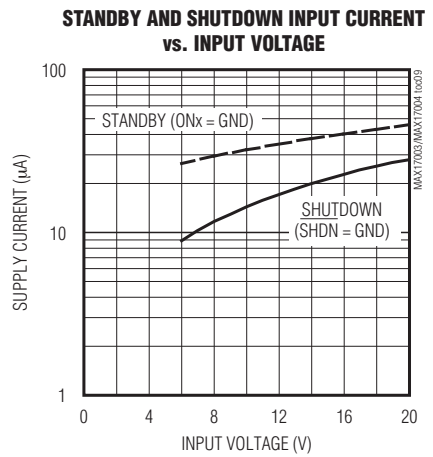
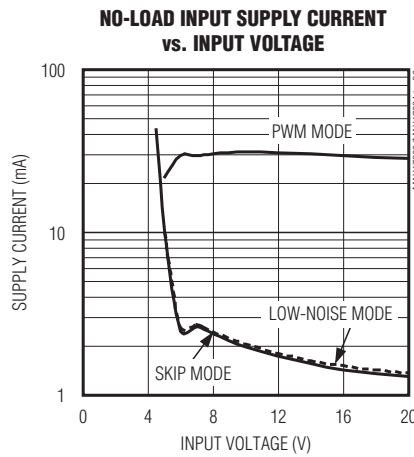
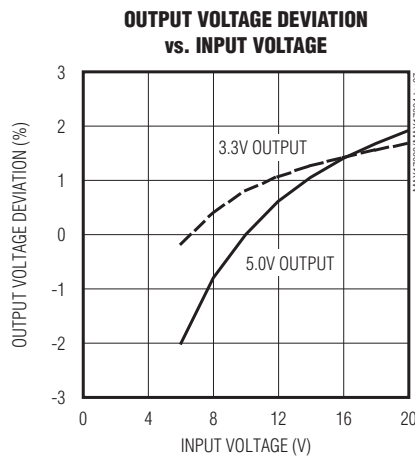
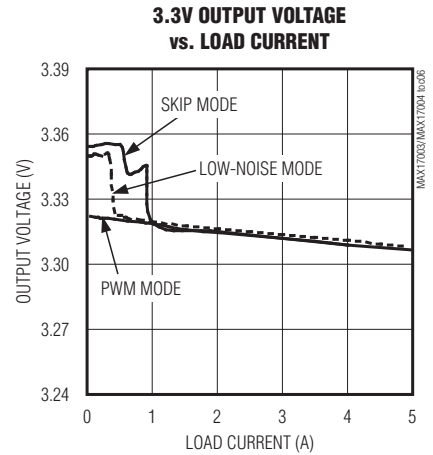
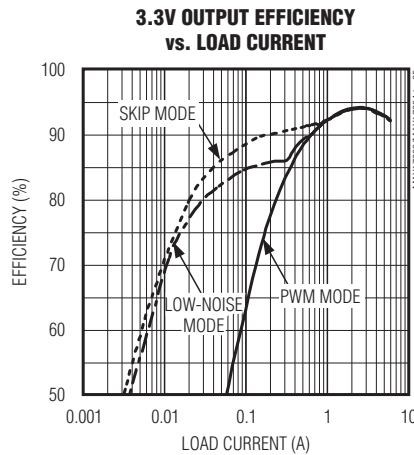
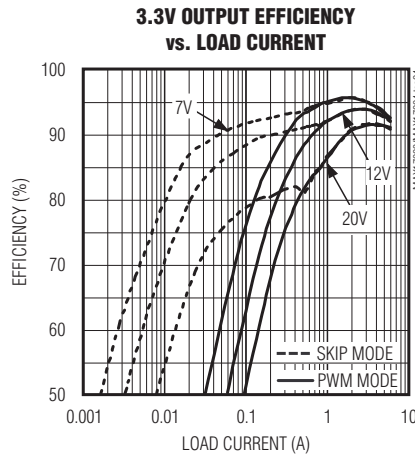
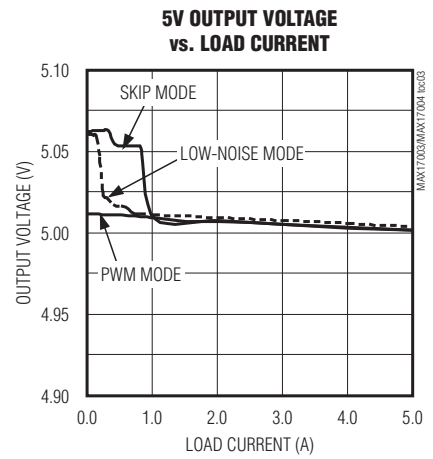
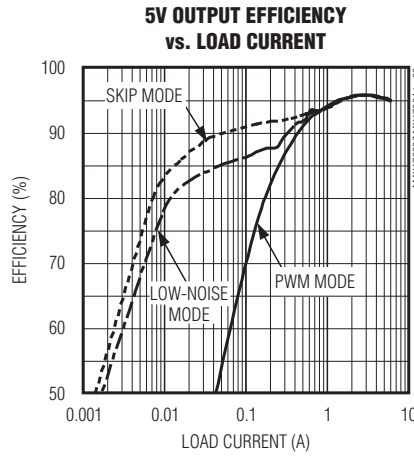
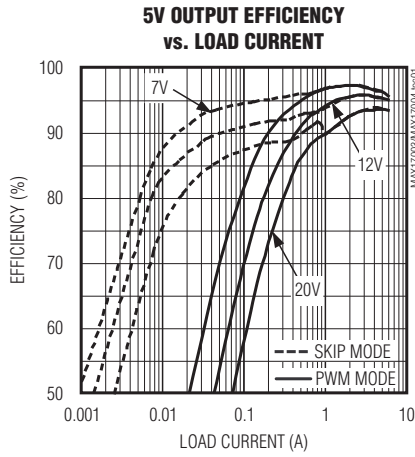
Note 3: Specifications from $-40^{\circ}C$ to $+85^{\circ}C$ are guaranteed by design, not production tested.

ノートブックコンピュータ用、高効率、4出力、メイン電源コントローラ

MAX17003/MAX17004

標準動作特性

(Circuit of Figure 1, $V_{IN} = 12V$, $\overline{SKIP} = GND$, $FSEL = REF$, $T_A = +25^\circ C$, unless otherwise noted.)

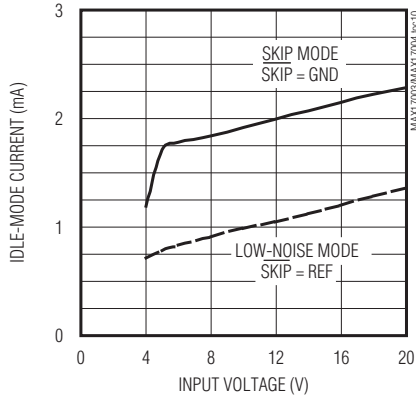


ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

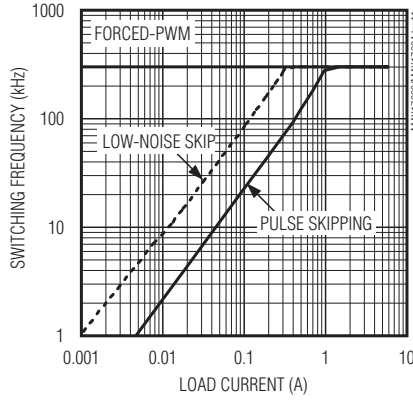
標準動作特性(続き)

(Circuit of Figure 1, $V_{IN} = 12V$, $\overline{SKIP} = GND$, $FSEL = REF$, $T_A = +25^\circ C$, unless otherwise noted.)

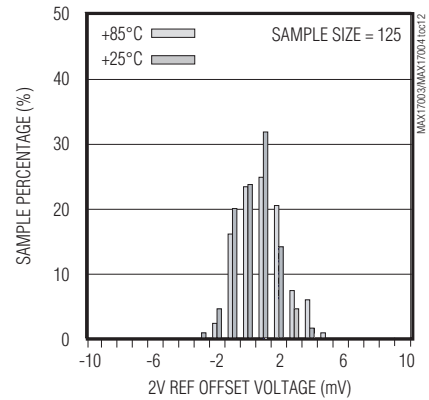
3.3V IDLE-MODE CURRENT vs. INPUT VOLTAGE



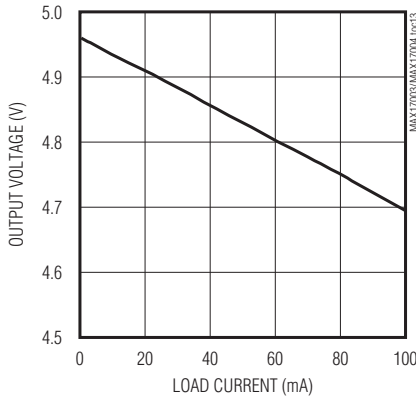
3.3V SWITCHING FREQUENCY vs. LOAD CURRENT



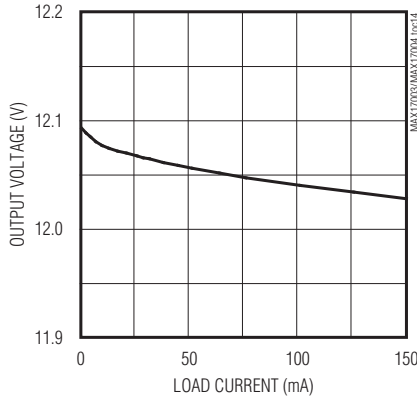
REFERENCE OFFSET VOLTAGE DISTRIBUTION



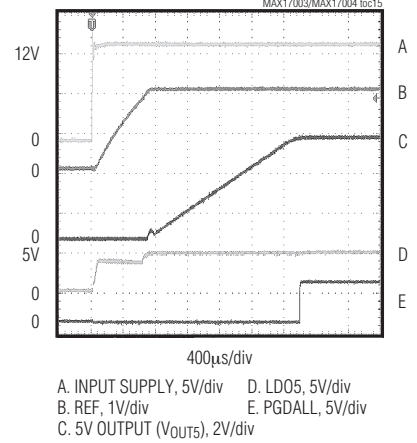
LD05 OUTPUT VOLTAGE vs. LOAD CURRENT



OUTA OUTPUT VOLTAGE vs. LOAD CURRENT



POWER-UP SEQUENCE



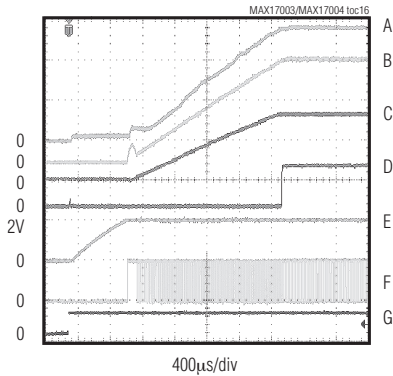
ノートブックコンピュータ用、高効率、4出力、メイン電源コントローラ

MAX17003/MAX17004

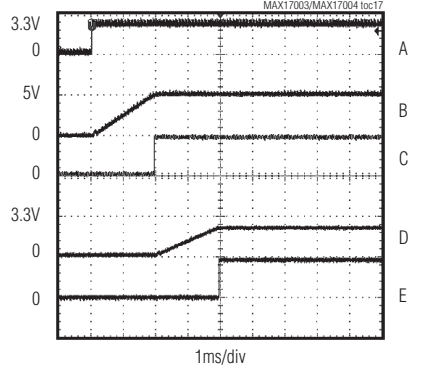
標準動作特性(続き)

(Circuit of Figure 1, $V_{IN} = 12V$, $\overline{SKIP} = GND$, $FSEL = REF$, $T_A = +25^\circ C$, unless otherwise noted.)

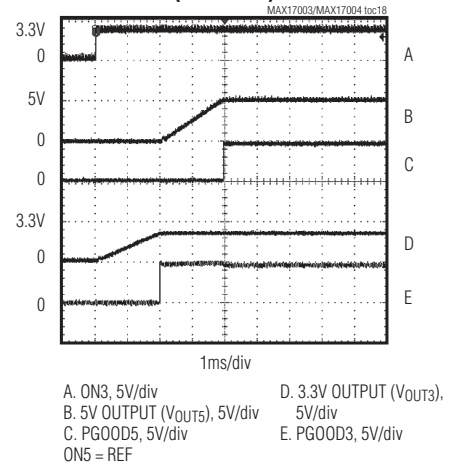
SOFT-START WAVEFORMS



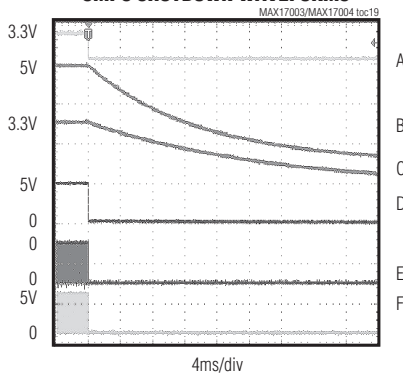
SMPS DELAYED STARTUP SEQUENCE (ON3 = REF)



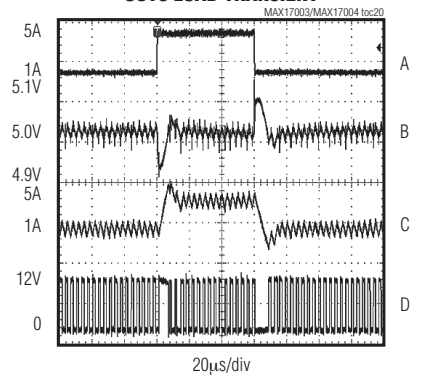
SMPS DELAYED STARTUP SEQUENCE (ON5 = REF)



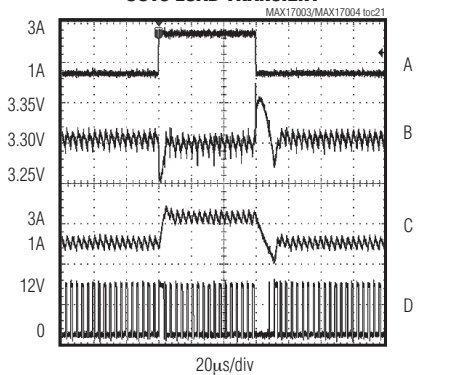
SMPS SHUTDOWN WAVEFORMS



OUT5 LOAD TRANSIENT



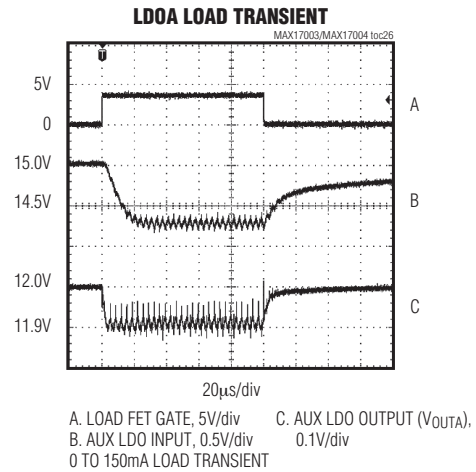
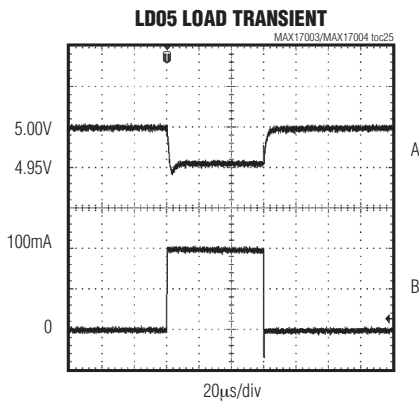
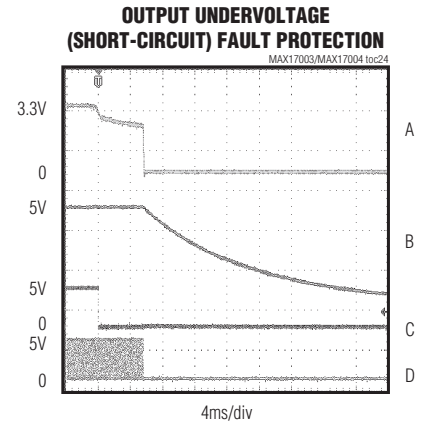
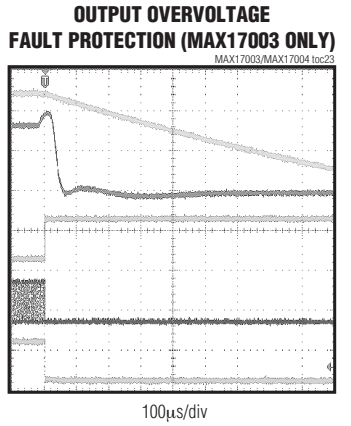
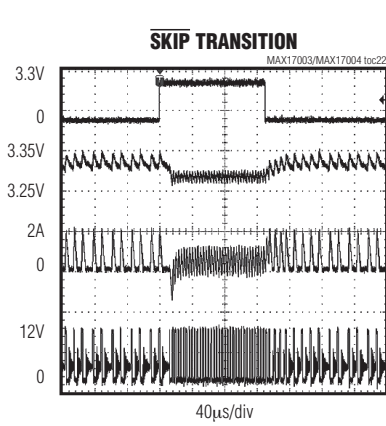
OUT3 LOAD TRANSIENT



ノートブックコンピュータ用、高効率、4出力、メイン電源コントローラ

標準動作特性(続き)

(Circuit of Figure 1, $V_{IN} = 12V$, $\overline{SKIP} = GND$, $FSEL = REF$, $T_A = +25^\circ C$, unless otherwise noted.)



ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

端子説明

端子	名称	機能
1	ONA	補助LDOイネーブル入力。ONAがローに駆動されると、OUTAはハイインピーダンスになり、二次フィードバック制御がディセーブルされます。ONAがハイに駆動されると、コントローラが補助LDOをイネーブルします。
2	DRVA	補助LDOトランジスタのベースドライバ。DRVAをpnp/パワートランジスタのベースに接続してください。680Ωのプルアップ抵抗をベースとエミッタ間に接続してください。
3	ILIM	ピーク電流制限スレッショルド調整。ILIMがLDO5にプルアップされる場合は、電流制限スレッショルドが50mVに初期設定されます。可変モードでは、CSH ₅ とCSL ₅ の間の電流制限スレッショルドは、0.5V～2.0Vの範囲でILIMの電圧のちょうど1/10です。50mVの初期値への切替えのロジックスレッショルドは、約V _{LDO5} - 1Vです。
4	$\overline{\text{SHDN}}$	シャットダウン制御入力。V _{SHDN} が $\overline{\text{SHDN}}$ 入力立下りエッジのトリップレベルよりも低く、V _{SHDN} が $\overline{\text{SHDN}}$ 入力立上りエッジのトリップレベルよりも高くなるまで再起動しない場合、デバイスはその消費電流が8μAのシャットダウンモードに入ります。自動起動の場合は、 $\overline{\text{SHDN}}$ をV _{IN} に接続してください。抵抗分圧器を介して $\overline{\text{SHDN}}$ をV _{IN} に接続すると、プログラマブルな低電圧ロックアウトを実現することができます。
5	ON3	3.3V SMPSイネーブル入力。ON3をハイに駆動すると3.3V SMPSがイネーブルされるのに対し、ON3をローに駆動すると3.3V SMPSがディセーブルされます。ON3をREFに接続すると、3.3V SMPSは、5V SMPSがレギュレーションに達した後に起動します(遅延起動)。障害ラッチをリセットするためには、ON3を障害クリアレベル以下に駆動してください。
6	ON5	5V SMPSイネーブル入力。ON5をハイに駆動すると5V SMPSがイネーブルされるのに対し、ON5をローに駆動すると5V SMPSがディセーブルされます。ON5をREFに接続すると、5V SMPSは3.3V SMPSが安定状態に達した後に起動します(遅延起動)。障害ラッチをリセットするためには、ON5を障害クリアレベル以下に駆動してください。
7	REF	2.0Vリファレンス電圧出力。REFを0.1μF以上のセラミックコンデンサでアナロググランドにバイパスしてください。リファレンスは、外部負荷に対して最大50μAをソースします。REFに負荷を加えると、REFの負荷レギュレーション誤差にたがって出力電圧の精度が悪化します。システムが $\overline{\text{SHDN}}$ をローに駆動すると、リファレンスはシャットダウンします。
8	GND	アナロググランド。裏面エクスポーズドパッドをGNDに接続してください。
9	FSEL	周波数選択入力。この3レベルのロジック入力は、コントローラのスイッチング周波数を設定します。下記の標準スイッチング周波数を選択するには、LDO5、REF、またはGNDに接続してください。 LDO5 = 500kHz、REF = 300kHz、GND = 200kHz
10	$\overline{\text{SKIP}}$	パルススキッピング制御入力。低ノイズ、強制PWM動作の場合は、LDO5に接続してください。軽負荷での自動、高効率、パルススキッピング動作の場合は、REFに接続してください。起動は、 $\overline{\text{SKIP}}$ 設定とは無関係に、常に低ノイズ、パルススキッピングモード(すなわち、 $\overline{\text{SKIP}}$ = REF設定と同じ)で行われます。 $\overline{\text{SKIP}}$ 設定は、各SMPSがレギュレーションに入ると有効になります。
11	FB5	5V SMPS用のフィードバック入力。プリセット5V出力の場合は、LDO5に接続してください。可変モードでは、FB5が2Vに安定化されます。
12	CSH5	5V SMPS用の正電流検出出力。電流検出素子の正端子に接続してください。図7は、高精度検出抵抗、または無損失インダクタDCR検出を使用した2種類抵抗の電流検出オプションを示します。
13	CSL5	5V SMPS用の出力検出および負電流検出出力。内蔵のプリセット5Vフィードバック分圧器(FB5 = LDO5)を使用する場合、コントローラはCSL5を使って出力電圧を検出します。電流検出素子の負端子に接続してください。CSL5はLDO5のブートストラップ入力の役割も果たします。MAX17003の場合は、CSL5が-0.7V以下にならないようにするために、ショットキダイオードをCSL5からGNDに接続してください。
14	DSCHG5	5V SMPS用のオープンドレイン放電入力。DSCHG5は、ON5がローのときローに駆動され、SMPS5出力を放電します。DSCHG5は障害状態でもローになります。DSCHG5からSMPS5出力に抵抗を接続してください。次式によって、ピーク放電電流を100mA以下に制限してください。 $R_{\text{DIS5}} \geq \frac{V_{\text{OUT5}}}{100\text{mA}} - R_{\text{DSCHG5(MIN)}}$ ここで、R _{DSCHG5(MIN)} は5Ω (ELECTRICAL CHARACTERISTICS (電气的特性))から選定)です。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

端子説明(続き)

端子	名称	機能
15	BST5	5V SMPS用のブーストフライングコンデンサ接続端子。MAX17003/MAX17004は、LDO5とBST5の間に接続されたブーストスイッチを内蔵しています。図1に示すようにコンデンサを外付けしてください。
16	DH5	5V SMPS用のハイサイドゲートドライバ出力。DH5はLX5からBST5までスイングします。
17	LX5	5V SMPS用のインダクタ接続端子。LX5をインダクタのスイッチ側に接続してください。LX5は、DH5ハイサイドゲートドライバ用の低電源レールの役割を果たします。
18	DL5	5V SMPS用のローサイドゲートドライバ出力。DL5はPGNDからLDO5までスイングします。
19	PGND	電源グランド
20	LDO5	内蔵5Vリニアレギュレータ出力。少なくとも4.7 μ F (1 μ F/25mA)のコンデンサでバイパスしてください。DL_ローサイドゲートドライバ、DH_ハイサイドドライバ(BSTスイッチ経由)、PWMコントローラ、ロジック、リファレンス、および外部負荷に対して、少なくとも100mAを供給します。CSL5が4.5Vよりも大きく、かつソフトスタートが終了している場合、リニアレギュレータはシャットダウンし、LDO5は定格負荷が最大200mAの1 Ω スイッチを介してCSL5に接続されます。
21	IN	スタートアップ回路とLDO5の内蔵5Vリニアレギュレータの入力。ICの近くに配置した0.22 μ F以上のセラミックコンデンサでPGNDにバイパスしてください。
22	PGDALL	SMPS3およびSMPS5用のオープンドレインパワーグッド出力。SMPS3またはSMPS5出力のいずれかが正常なレギュレーションポイントよりも10% (typ)を超えて低下するか、もしくはON3またはON5のいずれかがローの場合は、PGDALLがローに駆動されます。SMPS3とSMPS5の両方がレギュレーション中、PGDALLはハイインピーダンスになります。
23	DL3	3.3V SMPS用のローサイドゲートドライバ出力。DL3はPGNDからLDO5までスイングします。
24	LX3	3.3V SMPS用のインダクタ接続端子。LX3をインダクタのスイッチング側に接続してください。LX3は、DH3ハイサイドゲートドライバ用の低電源レールの役割を果たします。
25	DH3	3.3V SMPS用のハイサイドゲートドライバ出力。DH3はLX3からBST3までスイングします。
26	BST3	3.3V SMPS用のブーストフライングコンデンサ接続端子。MAX17003/MAX17004は、LDO5とBST3の間に接続されたブーストスイッチを内蔵しています。図1に示すようにコンデンサを外付けしてください。
27	DSCHG3	3.3V SMPS用のオープンドレイン放電出力。DSCHG3は、ON3がローのときローに駆動され、SMPS3出力を放電します。また、DSCHG3は障害状態でローになります。DSCHG3からSMPS3出力に抵抗を接続してください。次式によって、ピーク放電電流を100mA以下に制限してください。 $R_{DIS3} \geq \frac{V_{OUT3}}{100mA} - R_{DSCHG3(MIN)}$ ここで、 $R_{DSCHG3(MIN)}$ は5 Ω (ELECTRICAL CHARACTERISTICS (電気的特性))から選定)です。
28	CSL3	3.3V SMPS用の出力検出および負電流検出入力。内蔵のプリセット3.3Vフィードバック分圧器(FB3 = LDO5)を使用するとき、コントローラはCSL3を使って出力電圧を検出します。電流検出素子の負端子に接続してください。
29	CSH3	3.3V SMPS用の正電流検出入力。電流検出素子の正端子に接続してください。図7に、高精度検出抵抗または無損失インダクタDCR検出による、2種類の電流検出オプションを示します。
30	FB3	3.3V SMPS用のフィードバック入力。固定3.3V出力の場合は、LDO5に接続してください。可変モードでは、FB3が2Vに安定化されます。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

端子説明(続き)

端子	名称	機能
31	FBA	補助LDOフィードバック入力。補助リニアレギュレータ出力電圧を調整するためには、抵抗分圧器をOUTAからアナロググランドに接続してください。FBAは1Vで安定化されます。
32	OUTA	可変補助リニアレギュレータ出力。OUTAを1 μ F以上(1 μ F/25mA)のコンデンサでGNDにバイパスしてください。DRVA < OUTAのとき、二次フィードバック制御は1 μ sの間DL5をトリガし、コントローラに補助蓄積コンデンサを再充電させます。DRVAが25Vを超えると、MAX17003/MAX17004はOUTAの10mAシャントをイネーブルし、トランスの漏れインダクタンスによって蓄積コンデンサが不安定なレベルまで上昇しないようにします。ONAをハイに駆動すると、リニアレギュレータドライバと二次フィードバック制御がイネーブルされます。
EP	EP	エクスポーズドパッド。裏面エクスポーズドパッドをアナロググランドに接続してください。

表1. 標準アプリケーション用の部品選択

COMPONENT	300kHz 5V AT 5A 3.3V AT 5A	500kHz 5V AT 3A 3.3V AT 5A
INPUT VOLTAGE	V_{IN} = 7V TO 24V	V_{IN} = 7V TO 24V
C _{IN} , Input Capacitor	(3) 10 μ F, 25V Taiyo Yuden TMK432BJ106KM	(3) 10 μ F, 25V Taiyo Yuden TMK432BJ106KM
5V OUTPUT		
C _{OUT5} , Output Capacitor	2x 100 μ F, 6V, 35m Ω Sanyo 6TPE100MAZB	2x 100 μ F, 6V, 35m Ω Sanyo 6TPE100MAZB
L5/T5 Inductor/Transformer	6.8 μ H, 6.4A, 18m Ω (max) 1:2 Sumida 4749-T132	—
N _{H5} High-Side MOSFET	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V
N _{L5} Low-Side MOSFET	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1
3V OUTPUT		
C _{OUT3} , Output Capacitor	2x 150 μ F, 4V, 35m Ω Sanyo 4TPE150MAZB	2x 100 μ F, 6V, 35m Ω Sanyo 6TPE100MAZB
L3, Inductor	5.8 μ H, 8.6A, 16.2m Ω Sumida CORH127/LD-5R8NC	3.9 μ H, 6.5A, 15m Ω Sumida CDRH124-3R9NC
N _{H3} High-Side MOSFET	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V	Fairchild Semiconductor FDS6612A International Rectifier IRF7807V
N _{L3} Low-Side MOSFET	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1	Fairchild Semiconductor FDS6670S International Rectifier IRF7807VD1

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

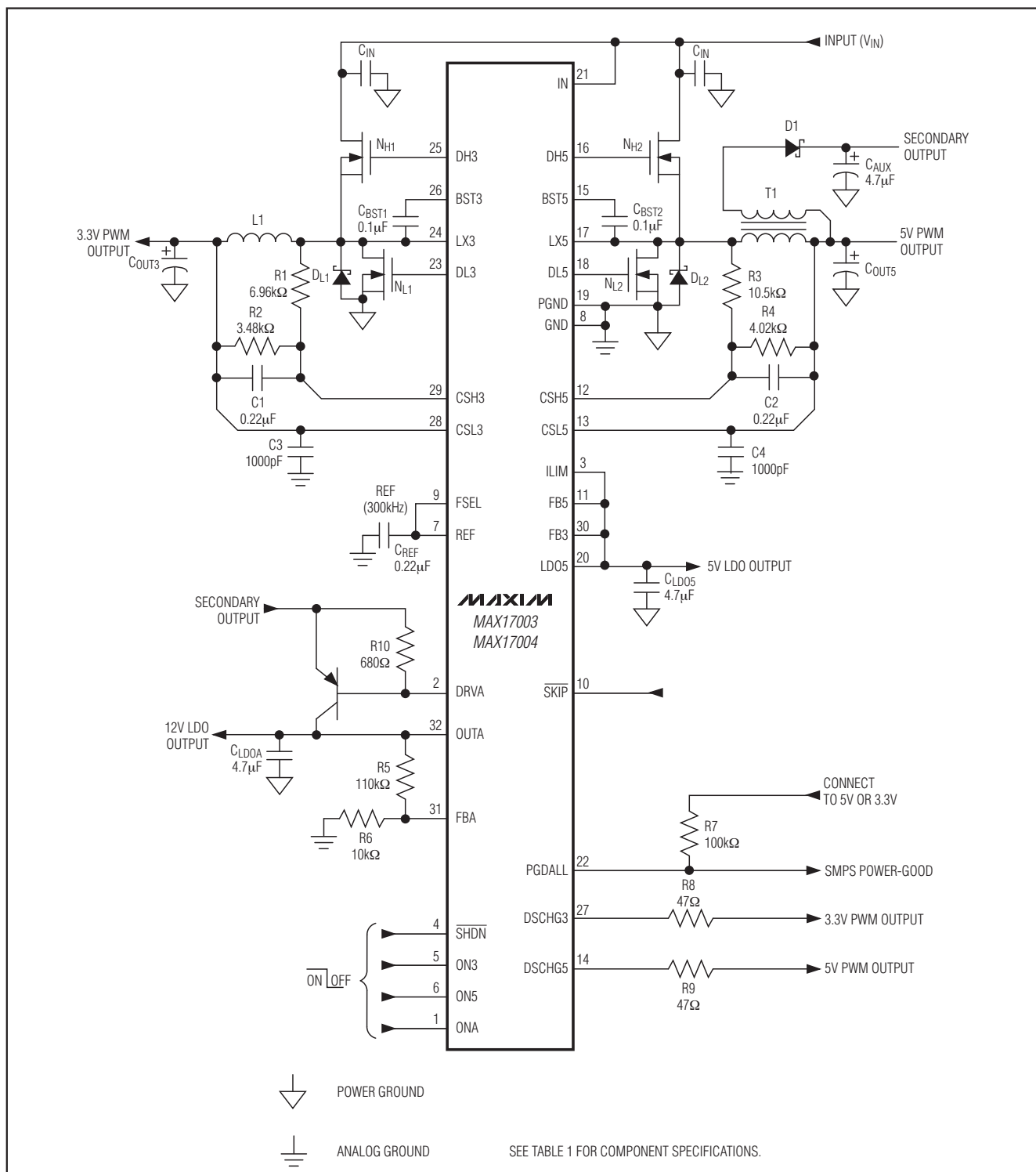


図1. 標準アプリケーション回路

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

表2. 部品メーカー

SUPPLIER	WEBSITE
AVX	www.avx.com
Central Semiconductor	www.centralsemi.com
Fairchild	www.fairchildsemi.com
International Rectifier	www.irf.com
Kemet	www.kemet.com
NEC/Tokin	www.nec-tokin.com
Panasonic	www.panasonic.com/industrial
Philips	www.philips.com
Pulse	www.pulseeng.com
Renesas	www.renesas.com
Sanyo	www.edc.sanyo.com
Sumida	www.sumida.com
Taiyo Yuden	www.t-yuden.com
TDK	www.component.tdk.com
TOKO	www.tokoam.com
Vishay (Dale, Siliconix)	www.vishay.com

詳細

MAX17003/MAX17004の標準アプリケーション回路(図1)は、ノートブックコンピュータのメイン電源特有の5V/5Aと3.3V/5Aを生成します。入力電源電圧範囲は7V~24Vです。部品の選択については表1を、部品メーカーについては表2をご覧ください。

MAX17003/MAX17004は、低電圧電源用に設計された2つのインタリーブされた、固定周波数ステップダウンコントローラを内蔵しています。最適なインタリーブアーキテクチャは逆位相動作を保証しており、入力コンデンサのリップルを抑制します。1つの内蔵LDOは、キープアライブの5V電源を生成します。MAX17003/MAX17004は、3.3Vのキープアライブ電源の生成、または低電力12Vシステム電源の安定化を行う可変出力の補助LDOを備えています。

固定5Vリニアレギュレータ(LDO5)

内蔵のリニアレギュレータは、プリセットされた5Vの低電流出力を生成します。LDO5は、外付けMOSFETのゲートドライバに給電し、SMPSアナログコントローラ、リファレンス、およびロジックブロックに必要なバイアス電源を提供します。LDO5は、MOSFETゲート駆動を含む外部および内部負荷に100mA以上を供給します。MOSFETゲート駆動は、選択されたスイッチング周波数と外付けMOSFETに応じて、通常、5mA~50mAの範囲で変動します。全負荷状態での安定性を保証するために、LDO5を4.7μF以上のセラミックコンデンサ(負荷25mAにつき1μF)でバイパスしてください。

MAX17003/MAX17004のスイッチモード電源(SMPS)には、大電力の入力電源(バッテリーまたはACアダプタ)

のほかに、5Vバイアス電源が必要です。この5Vバイアス電源は、コントローラの内部5Vリニアレギュレータ(LDO5)によって生成されます。このブートストラップされたLDOによって、コントローラは単独でパワーアップすることができます。ゲートドライバ入力電源は、固定5Vのリニアレギュレータ出力(LDO5)に接続されています。したがって、5V LDO電源は、LDO5 (PWMコントローラ)とゲート駆動電源の給電をする必要があるため、必要な最大消費電流は次のようになります。

$$I_{BIAS} = I_{CC} + f_{sw} (Q_G(LOW) + Q_G(HIGH)) \\ = 5mA \text{ to } 50mA \text{ (typ)}$$

ここで、 I_{CC} は0.7mA (typ)、 f_{sw} はスイッチング周波数、 $Q_G(LOW)$ と $Q_G(HIGH)$ は、MOSFETのデータシートの $V_{GS} = 5V$ における全ゲートチャージ仕様上の制限値です。

SMPSからLDOブートストラップへの切替え

5Vのメイン出力電圧がLDO5ブートストラップ切替えスレッショルドよりも高くなり、かつソフトスタートが終了していると、1Ω (typ)の内蔵pチャネルMOSFETがCSL5をLDO5に短絡し、同時にLDO5リニアレギュレータをシャットダウンします。これによってデバイスがブートストラップされ、内部回路と外部負荷にはバッテリーからリニアレギュレータを経由してではなく、5V SMPS出力(CSL5)から給電されます。ブートストラップは、きわめて低い効率のリニアレギュレータからでなく、効率90%のスイッチモードソースからの給電によって、ゲート電荷と自己損失に起因する電力消費を抑制します。LDO5出力がCSL5に切り替えられると、電流容量は100mAから200mAに増加します。ON5がローに駆動されると、コントローラは即座にブートストラップスイッチをディセーブルし、5V LDOを再イネーブルします。

リファレンス(REF)

2Vリファレンスは温度と負荷に対する精度が±1%であるため、REFは高精度システムリファレンスとして有用です。REFを0.1μF以上のセラミックコンデンサでGNDにバイパスしてください。リファレンスは、外部負荷に対して最大50μAをソースし、5μAをシンクすることができます。非常に高精度の仕様がメインSMPS出力電圧に求められる場合、リファレンスに負荷がかからないようにすべきです。リファレンスに負荷がかかると、LDO5、CSL5 (OUT5)、CSL3 (OUT3)、およびOUTAの各出力電圧が、リファレンスの負荷レギュレーション誤差によってわずかに低下します。

システムイネーブル/シャットダウン(SHDN)

MAX17003/MAX17004を低電力シャットダウン状態にするためには、SHDNを高精度のSHDN入力立下りエッジトリップレベル以下に駆動してください。シャット

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

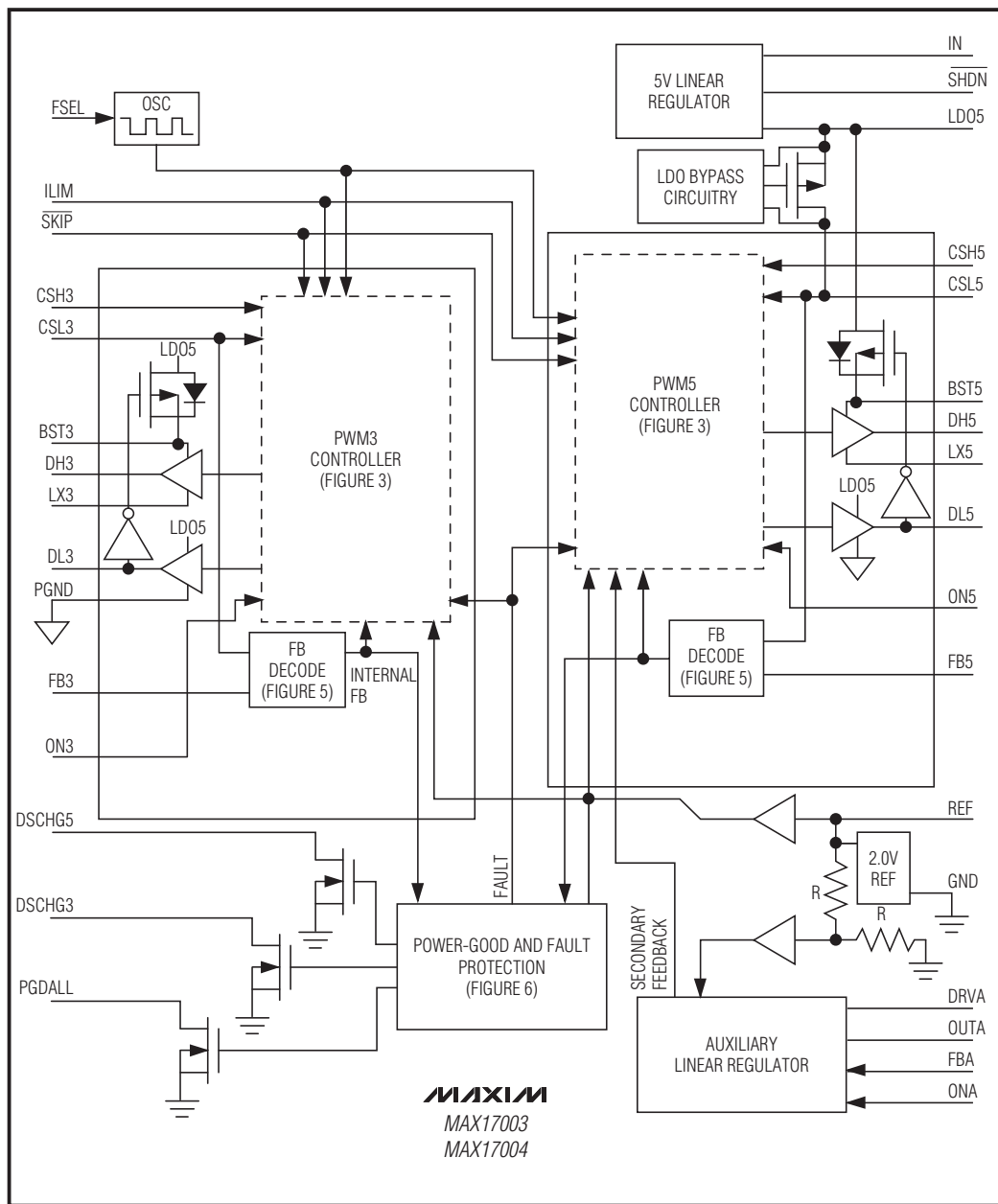


図2. 機能ブロック図

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

表3. 動作モードの真理値表

MODE	INPUTS*			OUTPUTS		
	SHDN	ON5	ON3	LDO5	5V SMPS	3V SMPS
Shutdown Mode	Low	X	X	OFF	OFF	OFF
Standby Mode	High	Low	Low	ON	OFF, DSCHG5 LOW	OFF, DSCHG3 LOW
Normal Operation	High	High	High	ON	ON	ON
3.3V SMPS Active	High	Low	High	ON	OFF, DSCHG5 LOW	ON
5V SMPS Active	High	High	Low	OFF LDO5 to CSL5 bypass switch enabled	ON	OFF, DSCHG3 LOW
Normal Operation (Delayed 5V SMPS Startup)	High	Ref	High	OFF LDO5 to CSL5 bypass switch enabled	ON Power-up after 3.3V SMPS is in regulation	ON
Normal Operation (Delayed 3.3V SMPS Startup)	High	High	Ref	OFF LDO5 to CSL5 bypass switch enabled	ON	ON Power-up after 5V SMPS is in regulation

*SHDNは、立下りスレッショルド電圧が1Vで、立上りスレッショルド電圧が1.6Vの高精度、低電圧のロジック入力です。ON3とON5は3レベルのCMOSロジック入力で、ロジックローの電圧が0.8V以下、ロジックハイの電圧が2.4V以上、中間のロジックレベルが1.7V~2.3Vです(ELECTRICAL CHARACTERISTICS (電気的特性))の表を参照。

ダウンモードにあるコントローラは、自己消費電流がわずかに8 μ Aです。シャットダウンモードが動作状態になると、コントローラがシャットダウンシーケンスを終了した後にリファレンスはオフになるため、シャットダウンから抜け出るためのスレッショルドの精度が低下します。スタートアップを確実にを行うために、SHDNを2V (SHDN入力立上りエッジトリップレベル)以上で駆動してください。自動シャットダウンおよびスタートアップの場合、SHDNをVINに接続してください。特定の入力電圧レベルを検出してデバイスをシャットダウンするために、SHDNに対して正確な1Vの立下りエッジスレッショルドを使用することができます。いったんシャットダウンに入ると、1.6Vの立上りエッジスレッショルドがアクティブになり、ほとんどのアプリケーションにとって十分なヒステリシスを提供します。

SMPS POR、UVLO、およびソフトスタート

パワーオンリセット(POR)は、LDO5が約1Vを超えたときに動作し、低電圧、過電圧、およびサーマルシャットダウンの各障害ラッチをリセットします。また、POR回路は、SMPSコントローラがアクティブになるまでローサイドドライバがハイに駆動されていることを保証します。図2は、MAX17003/MAX17004のブロック図を示します。

LDO5入力の低電圧ロックアウト(UVLO)回路は、5Vバイアス電源(LDO5)が4VのUVLOスレッショルド以下になるとスイッチングを阻止します。いったん、5Vバイアス電源(LDO5)がこの入力UVLOスレッショルドを超えて上昇し、SMPSコントローラがイネーブルされると(ON_gがハイに駆動)、SMPSコントローラがスイッチング

を開始し、出力電圧がソフトスタートを使用して徐々に上昇し始めます。LDO5電圧がUVLOスレッショルド以下に下がると、コントローラはスイッチングを停止して、LDO5電圧が回復するか、またはPORスレッショルド以下に下がるまでローサイドゲートドライバをローに駆動します。

内蔵のソフトスタートは、1V/msのスルーレートでフィードバック電圧を徐々に上昇させます。したがって、SMPSコントローラがイネーブルされてから2ms後に、出力はその定格レギュレーション電圧に達します(「標準動作特性」のソフトスタート波形を参照)。この漸増的なスルーレートによって、出力コンデンサの充電に必要な電流($I_{OUT} = I_{LOAD} + C_{OUT} \times V_{OUT(NOM)} / t_{SLEW}$)を最小限に抑えることで入力サージ電流が効果的に抑制されます。

SMPSイネーブル制御(ON3、ON5)

ON3とON5は、SMPSパワーアップシーケンスを制御します。ON3またはON5が2.4Vを超えると、各出力がイネーブルされます。ON3またはON5が1.6V以下に低下すると、各出力がディセーブルされます。ON_nを0.8V以下に駆動すると、過電圧、低電圧、および熱の各障害ラッチがクリアされます。

SMPS電源投入シーケンス制御

ON3またはON5をREFに接続すると、各出力は、他の出力が安定化されるまで強制的にオフにし、他の出力が安定化されると始動します。第2のSMPSは、第1のSMPSがオフになるか、デバイスがシャットダウンするか、障害が発生するか、あるいはLDO5が低電圧ロック

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

アウトに入るまでオンのままです。両電源は、最初の電源がオフになると直ちにパワーダウンシーケンスを開始します。

出力の放電(ソフト放電)

スイッチングレギュレータがディセーブルされたとき(すなわち、ON_またはSHDNがローに駆動されたとき、または出力低電圧障害が発生したとき)、内部ソフト放電がDSCHG_をローに駆動することによって出力電圧を徐々に低下させます(「標準動作特性」のSMPSシャットダウン波形を参照)。この動作によって、出力容量が緩やかに放電し、インダクタとローサイドMOSFETを通じた出力の素早い放電によって生じる負の出力電圧が排除されます。両SMPSコントローラは、個別のソフトシャットダウン回路を内蔵しています。

固定周波数、電流モード PWMコントローラ

各電流モードPWMコントローラの中心は、リファレンス電圧に対する出力電圧誤差信号とスロープ補償ランプの2信号を加算する、マルチ入力のオープンループコンパレータです(図3)。MAX17003/MAX17004は直接加算構成を使用しており、従来のエラーアンプおよびこれに関連する位相シフトなしで、出力電圧に対してサイクルごとに制御するという理想的な機能に近いものです。

周波数の選択(FSEL)

FSEL入力は、PWMモードのスイッチング周波数の選択に使用されます。表4は、FSEL接続に基づくスイツ

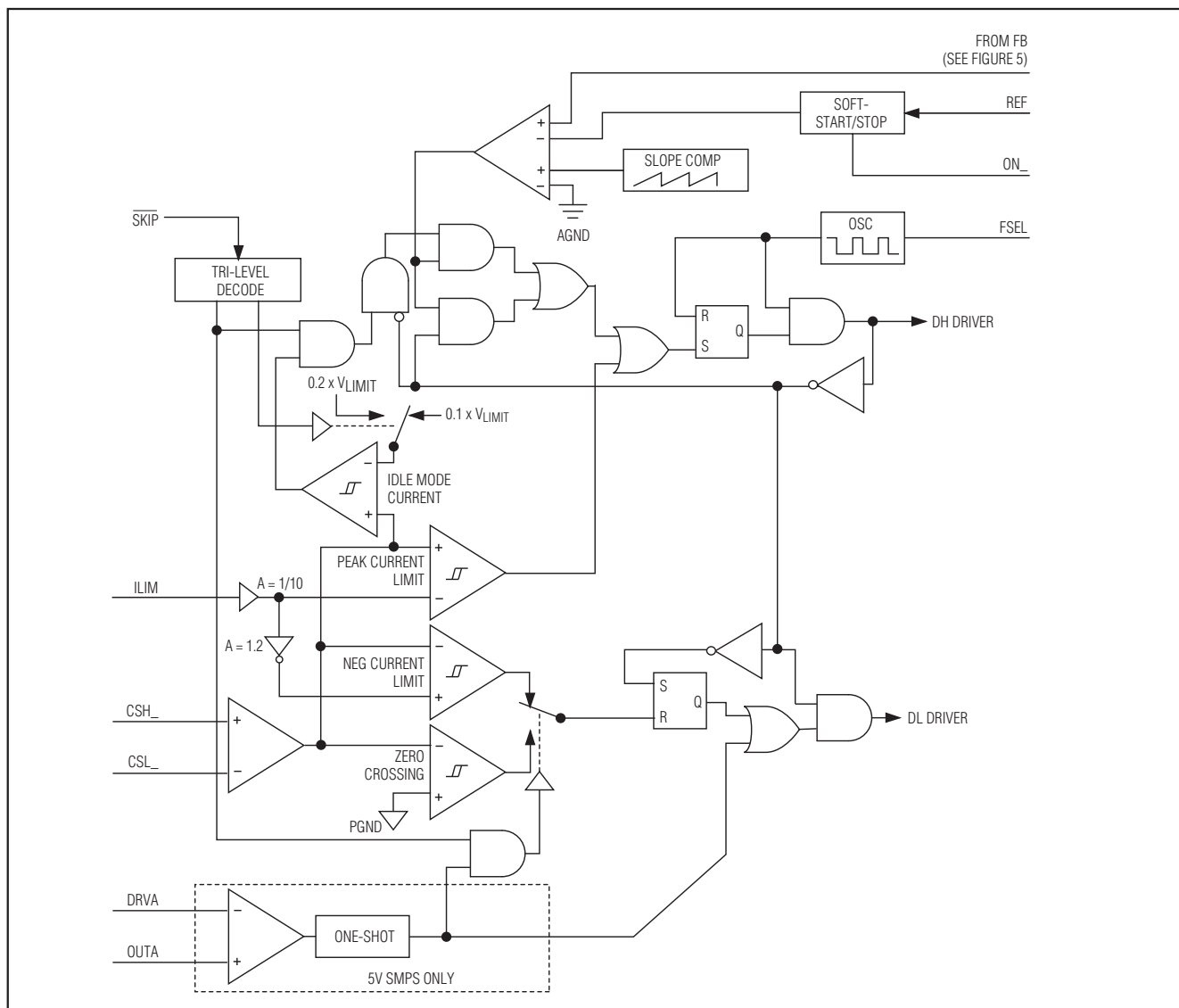


図3. PWMコントローラの機能ブロック図

ノートブックコンピュータ用、高効率、4出力、メイン電源コントローラ

MAX17003/MAX17004

表4. FSELの構成表

FSEL	SWITCHING FREQUENCY (kHz)
LDO5	500
REF	300
GND	200

チング周波数を示します。高周波(500kHz)動作は、部品サイズを最小にしたいアプリケーションに最適で、高スイッチング損失による効率とのトレードオフが図られます。これは、負荷電流が比較的小さい超小型機器に適しているものと思われます。低周波(200kHz)動作では、最良の総合効率を提供しますが、部品サイズと基板スペースが犠牲になります。

強制PWMモード

低ノイズの強制PWMモード(SKIP = LDO5)は、ローサイドのスイッチオン時間を制御するゼロクロスコンパレータをディセーブルします。これは、ローサイドゲート駆動波形が常にハイサイドゲート駆動波形に相補的になるように強制するため、インダクタ電流が軽負荷で反転するとともに、 DH_L は V_{OUT}/V_{IN} のデューティ比を維持します。強制PWMモードの長所は、スイッチング周波数がほとんど一定に保たれることです。ただし、強制PWM動作は代償も大きく、外付けMOSFETとスイッチング周波数にも依りますが、無負荷5Vの消費電流は20mA~50mAのままです。

強制PWMモードは、可聴周波数ノイズを防止し負荷過渡応答を改善するうえできわめて有用です。強制PWM動作はゼロクロスコンパレータをディセーブルするため、インダクタ電流が軽負荷で反転します。

軽負荷動作の制御(SKIP)

MAX17003/MAX17004は、両スイッチングレギュレータのゼロクロスコンパレータをイネーブルまたはディセーブルするために使用する、軽負荷動作モード制御入力(SKIP)を内蔵しています。ゼロクロスコンパレータをイネーブルすると、電流検出出力がゼロインダクタ電流を検出したときに、レギュレータは DL_L をローに強制します。これによって、インダクタによる出力コンデンサの放電を防ぎ、軽負荷状態でレギュレータにパルススキップさせて、出力の過充電を防止します。ゼロクロスコンパレータをディセーブルすると、レギュレータは、軽負荷状態でPWM動作を維持するように強制されます(強制PWM)。

Idle Mode電流検出のスレッシュホールド

パルススキップモードをイネーブルすると、出力電圧がフィードバックスレッシュホールドを超えたとき、および

電流検出電圧がアイドルモードの電流検出スレッシュホールドを超えたとき、ステップダウンコントローラのオン時間が終了します。軽負荷状態では、オン時間の長さは、ILIMによって設定される全負荷電流制限スレッシュホールドの20% (SKIP = GND)に相当するアイドルモード電流検出スレッシュホールド、もしくはILIMによって設定される全負荷電流制限スレッシュホールドの10% (SKIP = REF)に相当する低ノイズ電流検出スレッシュホールドのみに依存します。これによって、各サイクルでコントローラはに最小限の電力を供給することになります。出力の過充電を防止するために、出力電圧がフィードバックスレッシュホールド以下に低下するまで、新たなオン時間を開始することができません。ゼロクロスコンパレータは、スイッチングレギュレータによる電流シンクを防止するため、コントローラはパルスをスキップする必要があります。したがって、コントローラは、軽負荷状態で出力リップルの谷間を安定化します。

自動パルススキップ動作のクロスオーバー

スキップモードでは、軽負荷でPFMへの固有の自動切替えが行われます(図4)。この切替えは、インダクタ電流のゼロクロスでローサイドスイッチのオン時間を終了させるコンパレータの影響を受けます。ゼロクロスコンパレータは、 CSH_L と CSL_L 間のインダクタ電流を検出します。いったん $V_{CSH_L} - V_{CSL_L}$ が3mVのゼロクロス電流検出スレッシュホールド以下に下がると、コンパレータは DL_L を強制的にローにします(図3)。このメカニズムによって、パルススキッピングPFMと非スキッピングPWM動作の間のスレッシュホールドが、連続および不連続インダクタ電流動作の境界(「臨界導通」点とも呼ぶ)と一致するようになります。

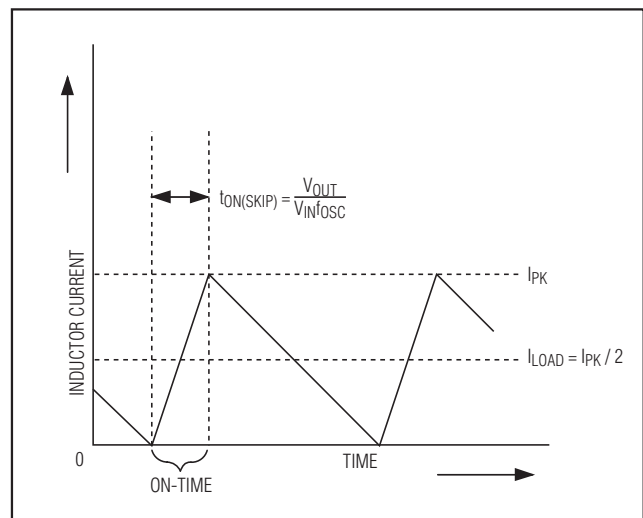


図4. パルススキッピング/不連続クロスオーバー点

ノートブックコンピュータ用、高効率、4出力、メイン電源コントローラ

PFM/PWMクロスオーバーが生じる負荷電流レベルの $I_{LOAD(SKIP)}$ は、次式によって決定されます。

$$I_{LOAD(SKIP)} = \frac{(V_{IN} - V_{OUT})V_{OUT}}{2V_{IN}f_{OSC}L}$$

軽負荷によってパルススキッピング動作が発生すると、スイッチング波形はノイズが多く、非同期のように見えることもあります。これは高い軽負荷効率が得られる正常な動作状態です。PFMノイズと軽負荷効率のトレードオフは、インダクタンスの値を変えることによって行われます。一般に、インダクタンスの値が小さい場合は効率対負荷曲線が広がりますが、インダクタンスの値が大きくなると、全負荷の効率が高くなり（コイル抵抗が一定であるとして）、出力電圧リップルが減少します。値の大きいインダクタンスを使用することの不利な点としては、物理サイズの増大と負荷過渡応答の悪化（特に低い入力電圧レベルで）などがあります。

出力電圧

「ELECTRICAL CHARACTERISTICS (電気的特性)」の表のDC出力精度の仕様は、エラーコンパレータスレッショルドに関連しています。インダクタが連続的に導通しているとき、MAX17003/MAX17004は出力リップルのピーク値を安定化するため、実際のDC出力電圧は、スロープが補償されたトリップレベルよりも出力リップル電圧の50%だけ低くなります。PWM動作（連続導通）の場合、出力電圧は次式によって正確に規定されます。

$$V_{OUT(PWM)} = V_{NOM} \left(1 - \frac{A_{SLOPE} V_{RIPPLE}}{V_{IN}} \right) - \left(\frac{V_{RIPPLE}}{2} \right)$$

ここで、 V_{NOM} は公称出力電圧、 A_{SLOPE} は1%に等しく、 V_{RIPPLE} は出力リップル電圧です（「出力コンデンサの選択」の項に記載の通り、 $V_{RIPPLE} = ESR \times \Delta I_{INDUCTOR}$ ）。

不連続導通 ($I_{OUT} < I_{LOAD(SKIP)}$) では、MAX17003/MAX17004は出力リップルの谷間を安定化するため、出力電圧のDCレギュレーションレベルは、エラーコンパレータスレッショルドよりも高くなります。PFM動作（不連続導通）では、出力電圧は次式によって近似されます。

$$V_{OUT(PFM)} = V_{NOM} + \frac{1}{2} \left(\frac{f_{SW}}{f_{OSC}} \right) I_{IDLE} ESR$$

ここで、 V_{NOM} は公称出力電圧、 f_{OSC} は内部発振器によって設定される最大スイッチング周波数、 f_{SW} は実際のスイッチング周波数、 I_{IDLE} はパルススキッピング時のアイドルモードインダクタ電流です。

出力(CSL₁)とアナロググランド間に接続され、プリセットされている内部抵抗分圧器によって設定された、固定

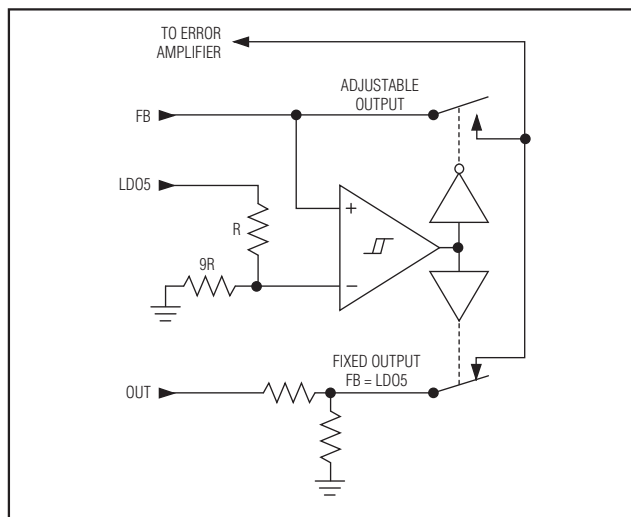


図5. Dual Modeフィードバックデコーダ

SMPS出力電圧(それぞれ3.3Vと5V)をイネーブルするためには、FB3とFB5をLDO5に接続してください。各出力電圧を2V~5.5Vに調整するためには、抵抗分圧器を出力(CSL₁)とGND間のFB₁に接続してください(図5)。 R_{FBLO} (FBからAGNDまでの抵抗)を約10kΩになるように選択して、次式を使用して R_{FBHI} (出力からFBまでの抵抗)を求めてください：

$$R_{FBHI} = R_{FBLO} \left(\frac{V_{OUT_} - 1}{V_{FB_}} \right)$$

ここで、 $V_{FB_} = 2V$ (公称)です。

両出力電圧を調整するときは、3.3V SMPSを5V SMPSよりも低く設定してください。CSL5がLDO5ブートストラップスレッショルド(4.5V)よりも高く、かつCSL5側のソフトスタートシーケンスが終了しているときのみ、LDO5は内部スイッチを介して5V出力(CSL5)に接続されます。固定出力電圧を使用するとき、ブートストラップはきわめて有効に働きます。LDO5がCSL5から始動されると、内蔵の5Vリニアレギュレータはオフになります。これで内部の電力消費が抑制され、高い入力電圧での効率が改善されます。

電流制限保護(ILIM)

電流制限回路には、ピークインダクタ電流を制限する差動電流検出入力(CSH₁とCSL₁)が使用されます。電流検出信号の振幅が電流制限スレッショルドを超えると、PWMコントローラがハイサイドのMOSFETをターンオフします(図3)。実際の最大負荷電流は、インダクタリップル電流の半分に等しい大きさだけピーク電流制限スレッショルドよりも小さくなります。したがって、最大負荷性能は、電流検出抵抗、インダクタ値、スイッチング

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

周波数、およびデューティサイクル(V_{OUT}/V_{IN})の関数になります。

強制PWMモードでは、 V_{OUT} がシンクしているとき、過度の逆インダクタ電流を防止するために、MAX17003/MAX17004は負電流制限もおこないます。負電流制限スレッショルドは、正電流制限値の約120%に設定されており、ILIMを調整すると正の電流制限値に追従します。

50mVのデフォルトスレッショルドを使用する場合は、ILIMをLDO5に接続するか、またはILIMの外付け抵抗分圧器によって電流制限スレッショルドを調整してください。精度とノイズ耐性を考慮して、分圧器の電流を2 μ A~20 μ Aとしてください。電流制限スレッショルドの調整範囲は、50mV~200mVです。可変モードでは、電流制限スレッショルド電圧は、ILIMの電圧のちょうど1/10になります。このデフォルト値へ切替えるためのロジックスレッショルドは、およそ $V_{LDO5} - 1V$ です。

CSH_とCSL_に見られる差動電流検出信号がノイズやDC誤差によって劣化することのないよう、PCBレイアウトのガイドラインを厳守してください。ICを検出抵抗の近くに短くてまっすぐなトレースで接続し、電流検出抵抗にケルビン検出接続を行ってください。

MOSFETゲートドライバ(DH_、DL_)

DH_およびDL_ドライバは、中サイズのハイサイドおよび大型のローサイドパワーMOSFET駆動用に最適化されています。これは、 $V_{IN} - V_{OUT}$ の差が大きいノートブックアプリケーションで見られる低デューティ比と合致します。ハイサイドゲートドライバ(DH_)は2Aをソースおよびシンクし、ローサイドゲートドライバ(DL_)は1.7Aをソースし、3.3Aをシンクします。これは、大電流アプリケーションに対して確実なゲート駆動を保証します。DH_のフローティングハイサイドMOSFETドライバは、BST_のチャージポンプによって給電され、一方、DL_同期整流器ドライバは、固定5Vリニアレギュレータ(LDO5)によってじかに給電されます。

適応型デッドタイム回路はDL_およびDH_ドライバを監視し、一方のFETが完全にオフになるまで他方のFETがターンオンするのを防止します。適応型ドライバデッドタイムによって、広範囲のMOSFETで貫通電流のない動作が可能になるため、遅延が最小限に抑えられ効率が維持されます。適応型デッドタイム回路が正常に動作するためには、DL_およびDH_ドライバからMOSFETゲートまでの低抵抗で低インダクタンスの経路が必要です。さもなければ、MAX17003/MAX17004の検出回路は、電荷が実際に残っている間にMOSFETゲートが「オフ」と判断します。十分に短く幅広いトレース

を使用してください(MOSFETがドライバから1インチ離れている場合、50mil~100milの幅)。

DL_をローに駆動する内蔵プルダウントランジスタは堅牢で、オン抵抗は0.6 Ω (typ)です。これは、インダクタノード(LX_)がグランドから V_{IN} に高速で切り替わる時、ローサイドMOSFETのドレインからゲートへの容量結合によってDL_がプルアップされるのを防ぐのに役立ちます。入力電圧が高く長い誘導性のドライバのトレースアプリケーションでは、LX_の高速立上りエッジがローサイドMOSFETのゲートをプルアップして貫通電流が流れることのないように、場合によってはゲート-ソース間の容量を増やす必要があります。MOSFETのゲート-ドレイン間の容量($C_{GD} = C_{RSS}$)、ゲート-ソース間の容量($C_{GS} = C_{ISS} - C_{GD}$)、およびその他の基板寄生容量によって生成されるLX_とDL_間の容量結合が、次の最小スレッショルドを超えないものとします。

$$V_{GS(TH)} > V_{IN} \left(\frac{C_{RSS}}{C_{ISS}} \right)$$

設計に余裕がないと、スレッショルド電圧がロット間で変動することによって問題が生じる場合があります。

パワーグッド出力(PGDALL)

PGDALLは、低電圧状態に対する両方のSMPS出力電圧を連続的に監視する、コンパレータのオープンドレイン出力です。PGDALLは、シャットダウン(SHDN = GND)、ソフトスタート、およびソフトシャットダウンの際、また、いずれかのSMPSがディセーブルされたとき(ON3またはON5のいずれかがロー)に能動的にローに保たれます。ソフトスタートシーケンスが終了すると、

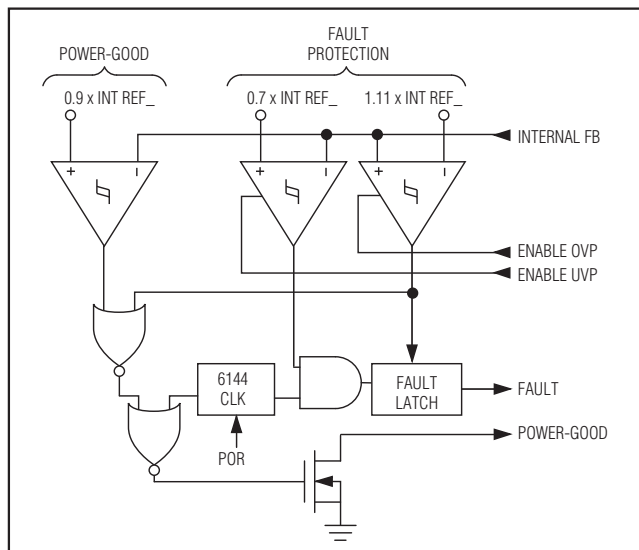


図6. パワーグッドと障害保護

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

表5. 動作モードの真理値表

MODE	CONDITION	COMMENT
Power-Up	LDO5 < UVLO threshold	Transitions to discharge mode after V_{IN} POR and after REF becomes valid. LDO5, REF remain active. DL_ is low.
Run	$\overline{\text{SHDN}}$ = high, ON3 or ON5 enabled	Normal operation.
Output Overvoltage (OVP) Protection (MAX17003)	Either output > 111% of nominal level	Exited by POR or cycling $\overline{\text{SHDN}}$, ON3, or ON5.
Output Undervoltage Protection (UVP)	Either output < 70% of nominal level, UVP is enabled 6144 clock cycles ($1/f_{\text{OSC}}$) after the output is enabled	Exited by POR or cycling $\overline{\text{SHDN}}$, ON3, or ON5.
Standby	ON5 and ON3 < startup threshold, $\overline{\text{SHDN}}$ = high	DL_ stays low. LDO5 active.
Shutdown	$\overline{\text{SHDN}}$ = low	All circuitry off.
Thermal Shutdown	$T_J > +160^\circ\text{C}$	Exited by POR or cycling $\overline{\text{SHDN}}$, ON3, or ON5. DL3 and DL5 go low before LDO5 turns off.
Switchover Fault	Excessive current on LDO5 switchover transistors	Exited by POR or cycling $\overline{\text{SHDN}}$, ON3, or ON5.

両SMPS出力がFBによって設定された公称レギュレーション電圧の90%以上である限り、PGDALLはハイインピーダンスになります。いったん、いずれかのSMPS出力がその公称レギュレーションポイントよりも10%低下した場合や、SMPS出力過電圧障害が発生した場合や、もしくはON_または $\overline{\text{SHDN}}$ がローの場合には、PGDALLはローになります。ロジックレベルのPGDALL出力電圧を得るためには、プルアップ抵抗をPGDALLとLDO5の間に外付けしてください。多くのアプリケーションで、100k Ω のプルアップ抵抗が正常に動作します。

障害保護

出力過電圧保護(OVP)—MAX17003のみ

いずれかのSMPSの出力電圧がその公称レギュレーション電圧の111%を超えて上昇し、かつOVP保護がイネーブルされていると、コントローラは障害ラッチを設定し、PGDALLをローに駆動し、障害をトリップしたSMPSコントローラをシャットダウンし、直ちにDL_をローに駆動して、DL_を強制的にハイにします。これで、同期整流器のMOSFETは100%デューティでターンオンし、出力コンデンサを急速に放電して、両出力をグラウンドにクランプします。しかし、DL_を即座にハイにラッチすると、通常、OVPが発生した瞬間に出力LCに蓄えられたエネルギーによってわずかに負の出力電圧が発生します。負荷が負の電圧に耐えられない場合は、逆極性クランプとして動作するパワーショットキダイオードを出力の両端に配置してください。過電圧が発生した条件(ハイサイドMOSFETの短絡など)が持続すると、バッテリーが切れます。他の出力は、DL_をローに強制

した状態でソフト放電機能を使ってシャットダウンされます。障害ラッチをクリアしてSMPSコントローラを再始動するためには、LDO5を1V以下にいったん下げたから立ち上げるか、もしくはON3、ON5、または $\overline{\text{SHDN}}$ のいずれかをトグルしてください。

出力低電圧保護(UVP)

各SMPSコントローラは、出力がイネーブル(ON_がハイに駆動)された後、出力の6144クロックサイクル($1/f_{\text{OSC}}$)の監視を開始する、出力UVP保護回路を内蔵しています。いずれかのSMPS出力電圧が、その公称レギュレーション電圧の70%以下に下がり、かつUVP保護がイネーブルされていると、UVP回路は障害ラッチを設定し、PGDALLをローに駆動し、DL_をローに強制した状態でソフト放電機能を使って、両コントローラをシャットダウンします。障害ラッチをクリアしてSMPSコントローラを再始動するためには、LDO5を1V以下にいったん下げたから立ち上げるか、もしくはON3、ON5、または $\overline{\text{SHDN}}$ のいずれかをトグルしてください。

熱障害保護

MAX17003/MAX17004は、熱障害保護回路を備えています。ジャンクション温度が $+160^\circ\text{C}$ を超えて上昇すると、温度センサが障害ラッチをアクティブにし、PGDALLをローに駆動し、DL_をローに強制した状態でソフト放電機能を使って、両SMPSコントローラをシャットダウンします。ジャンクション温度が 15°C だけ低下した後障害ラッチをクリアしてコントローラを再始動するためには、ON3、ON5、または $\overline{\text{SHDN}}$ のいずれかをトグルしてください。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

補助LDOの詳細

MAX17003/MAX17004は、PCMCIAの電源要件、および携帯機器の負荷スッチのゲートバイアスに最適な12Vに設定することができる補助リニアレギュレータ(OUTA)を内蔵しています。また、OUTAは1V~23Vの出力用としても設定することができます。補助レギュレータは独立したON/OFF制御を備えているため、不要なときはこれをシャットダウンすることが可能で、システムが低電力状態にあるときの消費電力を抑制します。

フライバック巻線制御ループは2次巻線出力を安定化し、1次出力が軽負荷のときや、入出力間の電圧差が低いときにクロスレギュレーションを改善します。 V_{DRVA} が V_{OUTA} 以下に下がると、ローサイドスイッチがスイッチング周期の33%に等しい時間オンになります。これによってインダクタ(1次)電流が反転し、出力フィルタコンデンサから電流が流れて、フライバックトランスが順方向モードで動作します。順方向モードではトランスの2次側がローインピーダンスになるため、電流が2次出力に流れ、2次コンデンサが充電され、 $V_{INA} - V_{OUTA}$ が安定化動作に復帰します。メイン(1次)出力に重い負荷がかかっている通常のフライバックモードでは、2次フィードバックループによって2次出力の精度が改善されることはありません。この状態では、2次出力の精度は2次整流器の電圧降下、トランスの巻数比、およびメイン出力電圧の精度によって決まります。

SMPSの設計手順

スイッチング周波数とインダクタの動作点(リップル電流比)を選択する前に、入力電圧範囲と最大負荷電流を確定してください。設計上の主なトレードオフは、適切なスイッチング周波数とインダクタ動作点を選択することであり、以下の4つの要因が以後の設計を左右します。

- **入力電圧範囲。**最大値($V_{IN(MAX)}$)は、ワーストケースになる高いアダプタ電圧に対応させる必要があります。最小電圧($V_{IN(MIN)}$)は、コネクタ、ヒューズ、およびバッテリー切り替えスイッチによる電圧降下後の最低バッテリー電圧に対応させる必要があります。選択の余地がある場合は、入力電圧を下げることで効率が改善されます。
- **最大負荷電流。**検討を要する値が2つあります。ピーク負荷電流($I_{LOAD(MAX)}$)は、瞬間的な部品ストレスとフィルタ要件を決定するため、出力コンデンサの選択、インダクタ飽和定格、および電流制限回路の設計を左右します。連続負荷電流(I_{LOAD})は熱ストレスを決定するため、入力コンデンサ、MOSFET、およびその他の主要な発熱部品の選択を左右します。
- **スイッチング周波数。**この選択によって、サイズと効率間の基本的なトレードオフが決まります。MOSFET

のスイッチング損失は、周波数と V_{IN}^2 に比例するため、最適周波数は主に最大入力電圧の関数となります。さらに、MOSFET技術の急速な進歩によってより高い周波数が実用的になりつつあるため、最適周波数は常に変化します。

- **インダクタ動作点。**この選択によって、サイズ対効率および過渡応答対出力リップル間のトレードオフが行われます。インダクタの値を小さくすると過渡応答が改善され、物理サイズが小さくなりますが、リップル電流が増えるために効率が低下して、出力リップルが大きくなります。実用的な最小のインダクタ値は、回路が臨界導通(最大負荷時にインダクタ電流が各サイクルでちょうどゼロに達する点)の境界で動作するときの値です。これより小さいインダクタ値には、小型化のメリットが得られません。最適な動作点は、通常、リップル電流の20%~50%の範囲にあります。パルススキッピング(SKIPがローで軽負荷)の場合、PFM/PWM切替えが発生する負荷電流値もインダクタ値によって決まります。

インダクタの選択

スイッチング周波数とインダクタ動作点から、インダクタの値は次のように決定されます。

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}f_{OSC}I_{LOAD(MAX)}LIR}$$

たとえば、 $I_{LOAD(MAX)} = 5A$ 、 $V_{IN} = 12V$ 、 $V_{OUT} = 5V$ 、 $f_{OSC} = 300kHz$ 、リップル電流30%、すなわち $LIR = 0.3$ とすると、次のようになります：

$$L = \frac{5V \times (12V - 5V)}{12V \times 300kHz \times 5A \times 0.3} = 6.50\mu H$$

与えられた寸法に適合するもののなかで、最小DC抵抗を備える低損失インダクタを使用してください。ほとんどのインダクタメーカは、1.0 μH 、1.5 μH 、2.2 μH 、3.3 μH などの標準値のインダクタを提供しています。非標準の値についても、入力電圧範囲で適切なLIRの妥協点を提供するものがないか探してください。スイングインダクタ(無負荷インダクタンスが電流の増加とともに直線的に減少するタイプ)を使用する場合、適切にスケールされたインダクタンス値を使用してLIRを評価してください。選択したインダクタ値に対して、実際のピークトゥピークインダクタリップル電流($\Delta I_{INDUCTOR}$)は、次式によって規定されます。

$$\Delta I_{INDUCTOR} = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN}f_{OSC}L}$$

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

粉末鉄は安価である上に200kHzで正常動作が可能です。多くの場合、フェライトコアが最良の選択肢です。コアは、ピークインダクタ電流(I_{PEAK})において飽和しない大きさである必要があります。

$$I_{PEAK} = I_{LOAD(MAX)} + \frac{\Delta I_{INDUCTOR}}{2}$$

トランスの設計(MAX17003/MAX17004の補助出力用)

補助出力を新たに設けるには、5V SMPSのインダクタの代わりに、結合インダクタまたはトランスを代わりに使用することができます(図1)。5V出力が軽負荷に接続される場合でも、2次フィードバックスレッシュホールドがDL5を自動的にトリガするため、MAX17003/MAX17004はこうしたアプリケーションに特に適しています。

補助電源の電源要件は、メイン出力の設計において検討する必要があります。トランスは、適切な巻数とインダクタンスを備え、1次出力と2次出力の両方に所要電流が供給されるように設計する必要があります。同期整流器MOSFETの電力定格とMAX17003/MAX17004の電流制限値も、これに応じて調整する必要があります。入出力間の電圧差が極端に小さい場合、出力レベルに大幅な違いがある場合、および巻数比が大きい場合は、巻線間容量、2次抵抗、漏れインダクタンスなどの寄生トランスパラメータによって設計が一層複雑になる可能性があります。メイン出力と2次出力の電力が合成されて、メイン出力電圧を基準とする等価電流が得られます。電流制限値を決定するためには、この全電流を使用してください(「電流制限値の設定」の項を参照)。

$$I_{TOTAL} = P_{TOTAL} / V_{OUT5}$$

ここで、 I_{TOTAL} はメイン出力を基準とする等価出力電流、 P_{TOTAL} はメイン出力と2次出力の両出力電力の和です。

$$N = \frac{V_{SEC} + V_{FWD}}{V_{OUT5} + V_{RECT} + V_{SENSE}}$$

ここで、 $L_{PRIMARY}$ は1次インダクタンス、 N はトランスの巻数比、 V_{SEC} は必要な最小整流2次電圧、 V_{FWD} は2次整流器の両端の順方向電圧降下、 $V_{OUT5(MIN)}$ はメイン出力電圧の最小値、 V_{RECT} はオン状態での同期整流器MOSFETの両端のオン状態電圧降下です。トランスの2次側リターンは、必要な巻数比を減らすために、通常、グラウンドでなくメイン出力電圧に接続されます。

この場合、前記のトランス巻数比の式において、2次電圧から V_{OUT5} を差し引いてください($V_{SEC} - V_{OUT5}$)。結合インダクタアプリケーションの2次ダイオードは、60Vを超えるフライバック電圧に耐える必要があります。また、1N4001などの一般的なシリコン整流器は、低速すぎるため使用することができません。使用することができるのは、MURS120など的高速シリコン整流器のみです。整流器両端のフライバック電圧は、次式に示すように、 V_{IN} と V_{OUT5} 間の差に関係し、トランスの巻数比に応じて決まります。

$$V_{FLYBACK} = V_{SEC} + (V_{IN} - V_{OUT5}) \times N$$

ここで、 N はトランス巻数比(2次巻数/1次巻数)、 V_{SEC} は最大2次DC出力電圧です。2次巻線がグラウンドではなく V_{OUT5} に戻る場合、上の式において V_{OUT5} を $V_{FLYBACK}$ から差し引いてください。また、ダイオードの逆ブレイクダウン電圧定格は、漏れインダクタンスによるリングングにも適合しなければなりません。ダイオードの電流定格は、2次出力側のDC負荷電流の少なくとも2倍にしてください。

過渡応答

インダクタのリプル電流は、特に $V_{IN} - V_{OUT}$ の差が小さい場合に過渡応答特性にも影響を与えます。インダクタ値が小さい場合は、インダクタ電流が速く変化することができるため、急な負荷ステップによって出力フィルタコンデンサから流出した電荷を補給することができます。全出力電圧サグは、インダクタがランプアップしている間の電圧サグと次のパルスが発生する前の電圧サグとの総和です。

$$V_{SAG} = \frac{L(\Delta I_{LOAD(MAX)})^2}{2C_{OUT}(V_{IN} \times D_{MAX} - V_{OUT})} + \frac{\Delta I_{LOAD(MAX)}(T - \Delta T)}{C_{OUT}}$$

ここで、 D_{MAX} は最大デューティ比(「ELECTRICAL CHARACTERISTICS (電氣的特性)」の表を参照)、 T はスイッチング周期($1 / f_{OSC}$)、 ΔT はPWMモードにあるときは $V_{OUT} / V_{IN} \times T$ に等しく、またスキップモードにあるときは $L \times 0.2 \times I_{MAX} / (V_{IN} - V_{OUT})$ に等しくなります。インダクタの蓄積エネルギーに起因する全負荷から無負荷までの過渡時におけるオーバシュートの大きさは、次のように計算することができます。

$$V_{SOAR} = \frac{(\Delta I_{LOAD(MAX)})^2 L}{2C_{OUT}V_{OUT}}$$

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

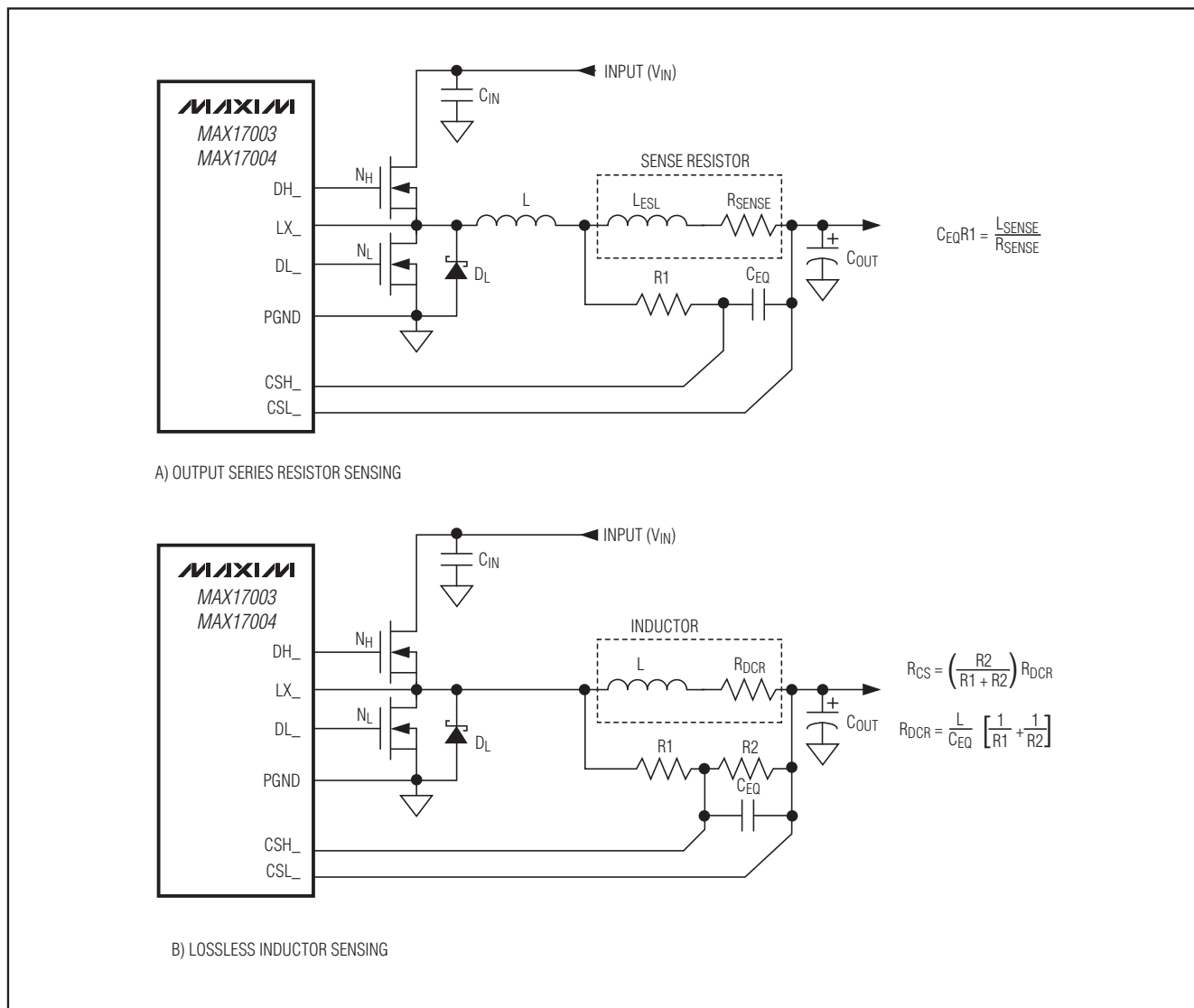


図7. 電流検出の回路構成

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

電流制限値の設定

最小電流制限スレッショルドは、電流制限が最小許容値にあるときに、最大負荷電流に対応可能な大きさであることが必要です。ピークインダクタ電流は、 $I_{LOAD(MAX)}$ にリップル電流の1/2を加えた値となります。したがって、

$$I_{LIMIT} > I_{LOAD(MAX)} + \left(\frac{\Delta I_{INDUCTOR}}{2} \right)$$

ここで、 I_{LIMIT} は、最小電流制限スレッショルド電圧を電流検出抵抗(R_{SENSE})で割った値に等しくなります。デフォルト設定の場合、最小電流制限スレッショルドは45mVです。

デフォルトの50mV電流制限スレッショルドの場合は、 I_{LIM} をLDO5に接続してください。可変モードでは、電流制限スレッショルドが I_{LIM} の電圧のちょうど1/10になります。可変スレッショルドの場合は、抵抗分圧器をREFからアナロググランド(GND)に接続し、 I_{LIM} をセンタタップに接続してください。外部の0.5V~2Vの調整範囲は、50mV~200mVの電流制限スレッショルドに対応します。電流制限を調整するときは、電流制限許容値が著しく不正確にならないように、許容差が1%の抵抗を使用し、分圧器の電流を約10mAにしてください。

電流検出方法(図7)と振幅は、実現可能な電流制限精度と電力消費を決定します。一般に、電流検出制限値が大きくなると精度が厳しくなりますが、消費する電力も大きくなります。多くのアプリケーションは50mV~100mVの電流制限スレッショルド(V_{LIMIT})を採用しているため、検出抵抗を次式によって決定することができます。

$$R_{CS} = \frac{V_{LIMIT}}{I_{LIMIT}} = \frac{V_{LIM}}{10 \times I_{LIMIT}}$$

最良の電流検出精度と過電流保護を得るために、図7Aに示すように、インダクタと出力の間に許容差が1%の電流検出抵抗を接続してください。この構成はインダクタ電流を常に監視するため、正確な電流制限保護が可能です。ただし、電流検出抵抗の寄生インダクタンスによって、特に低い値のインダクタと電流検出抵抗を使用したときは、電流制限が不正確になる可能性があります。この寄生インダクタンス(L_{ESL})は、下記の等価時定数を備えたRC回路を検出抵抗の両端に接続することによって打ち消すことができます。

$$C_{EQR1} = \frac{L_{ESL}}{R_{SENSE}}$$

一方、さほど高い精度の電流制限保護を必要としない高電力アプリケーションでは、下記の等価時定数を備えた直列RC回路をインダクタの両端に接続することによって、全電力消費を低減することができます(図7B)。

$$R_{CS} = \left(\frac{R_2}{R_1 + R_2} \right) R_{DCR}$$

および

$$R_{DCR} = \frac{L}{C_{EQ}} \left[\frac{1}{R_1} + \frac{1}{R_2} \right]$$

ここで、 R_{CS} は必要な電流検出抵抗で、 R_{DCR} はインダクタの直列DC抵抗です。インダクタメーカーが提供する標準インダクタンスと R_{DCR} の値を使用してください。

出力コンデンサの選択

出力フィルタコンデンサは、出力リップルと負荷過渡要件が満たされる程度に低く、安定性の要件が満たされる程度に大きい等価直列抵抗(ESR)を備えている必要があります。出力容量は、過電圧障害保護を動作させることなく、全負荷から無負荷に移行するときにインダクタエネルギーを吸収するのに必要な大きさにする必要があります。大容量で低ESRのコンデンサを使用するときは(安定性の要件に関する項を参照)、フィルタコンデンサのESRが出力電圧リップルの最大要因となります。したがって、出力コンデンサのサイズは、下記の出力量リップル($V_{RIPPLE(P-P)}$)仕様を満たすのに必要な最大ESRによって決まります。

$$V_{RIPPLE(P-P)} = R_{ESR} I_{LOAD(MAX)} LIR$$

アイドルモードではインダクタ電流が不連続となり、ピーク電流は、アイドルモード電流検出スレッショルド($V_{IDLE} = 0.2V_{LIMIT}$)によって設定された値になります。アイドルモードでは、無負荷出力リップルを次のように決定することができます。

$$V_{RIPPLE(P-P)} = \frac{V_{IDLE} R_{ESR}}{R_{SENSE}}$$

実際に必要な容量値は、コンデンサの種類だけでなく、低ESRの実現に必要な物理サイズにも関係します。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

このため、コンデンサは、容量値よりもむしろESRと電圧定格によって選択されるのが普通です(これは、タンタル、OS-CON、ポリマ、およびその他の電解コンデンサに該当します)。セラミックコンデンサなどの低容量フィルタコンデンサを使用するとき、サイズは、通常、負荷過渡の際に問題となる V_{SAG} や V_{SOAR} の防止に必要な容量によって決定されます。一般に、オーバシュートの要件を満たすのに十分な容量を接続してしまえば、負荷の立上りエッジにおけるアンダシュートは問題でなくなります(「過渡応答」の項の V_{SAG} と V_{SOAR} の式を参照)。しかし、低容量フィルタコンデンサは、安定性全体に影響する可能性のある高ESRゼロを持っているのが一般的です(「出力コンデンサの安定性について」の項を参照)。

出力コンデンサの安定性について

安定性は、スイッチング周波数に相対的なESRゼロの値によって決まります。不安定性の境界は次式によって表されます。

$$f_{ESR} \leq \frac{f_{OSC}}{\pi}$$

ここで、

$$f_{ESR} = \frac{1}{2\pi R_{ESR} C_{OUT}}$$

標準的な300kHzアプリケーションの場合、ESRゼロ周波数は95kHzよりも十分に低くする必要があり、できれば50kHz以下にします。現時点で多方面に使われているタンタルおよびOS-CONコンデンサは、標準的なESRゼロ周波数が25kHzです。インダクタの選択に使用した設計例では、25mV_{p-p}のリップルへの対応に必要なESRは25mV/1.5A = 16.7mΩです。1個の三洋の220μF/4Vポリマ(TPE)コンデンサは、ESRが15mΩ(max)です。この場合、ゼロは48kHzにあり、十分に安定な範囲にあります。

デューティサイクルが50% ($V_{OUT}/V_{IN} \geq 50\%$)を超える低入力電圧アプリケーションの場合、出力リップル電圧は内部スロープ補償電圧の2倍以下である必要があります。

$$V_{RIPPLE} \leq 0.02 \times V_{OUT}$$

ここで、 $V_{RIPPLE} = \Delta I_{INDUCTOR} \times R_{ESR}$ です。ワーストケースのESR限界は $V_{IN} = 2 \times V_{OUT}$ のときに生じ、したがって、上の式を簡単にして次の境界条件を得ることができます。

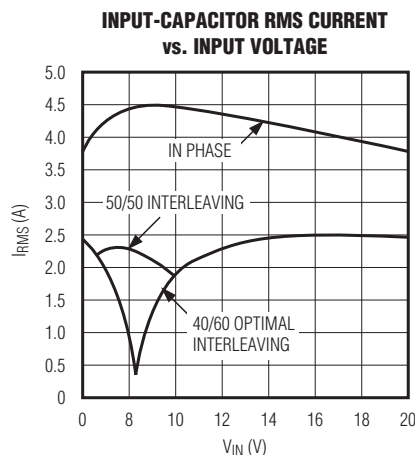
$$R_{ESR} \leq 0.04 \times L \times f_{SW}$$

値の大きいセラミックコンデンサをフィードバック検出ポイントにじかに接続する際は、安定性を確保するための対策を講じてください。値の大きいセラミックコンデンサはESRゼロ周波数が高く、不規則で不安定な動作を引き起こす可能性があります。しかし、フィードバック検出ポイントから数インチ下流にコンデンサをインダクタにできる限り近づけて配置することによって、十分な直列抵抗を容易に追加することができます。

不安定な動作は、短いパルスや長いパルス、およびスイッチング周波数の低下を招くサイクルスキッピングという、互いに関連性があっても明らかに異なる2つの形態で現れます。不安定性は、出力のノイズが原因で発生するか、ESRが小さいために出力電圧信号の電圧ランプが十分でないことが原因で発生します。この結果、エラーコンパレータが「誤って」早めにトリガされたり、1サイクルをスキップしたりします。サイクルスキッピングは有害というよりは厄介で、悪影響はせいぜい出力リップルの増大くらいです。しかし、ESRの不足に起因するループの不安定性が生じている可能性があります。ループの不安定性は、ラインまたは負荷ステップ後の出力に振動を起すことがあります。こうした変動は通常は減衰しますが、出力電圧が許容範囲を超えて上昇したり降下したりすることがあります。

安定性をチェックする最も簡単な方法は、負荷をゼロから最大まできわめて高速で変化させて、出力電圧リップルの包絡線にオーバシュートやリングングがないか注意深く観察することです。同時に、AC電流プローブでインダクタ電流を観察すること効果的です。最初のステップ応答のアンダシュート/オーバシュート後に、3サイクルを超えるリングングがあってはなりません。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ



INPUT RMS CURRENT FOR INTERLEAVED OPERATION:

$$I_{RMS} = \sqrt{(I_{OUT5} - I_{IN})^2 (D_{LX5} - D_{OL}) + (I_{OUT3} - I_{IN})^2 (D_{LX3} - D_{OL}) + (I_{OUT5} + I_{OUT3} - I_{IN})^2 D_{OL} + I_{IN}^2 (1 - D_{LX5} - D_{LX3} + D_{OL})}$$

$$D_{LX5} = \frac{V_{OUT5}}{V_{IN}} \quad D_{LX3} = \frac{V_{OUT3}}{V_{IN}} \quad D_{OL} = \text{DUTY-CYCLE OVERLAP FRACTION}$$

$$I_{IN} = \frac{V_{OUT5} I_{OUT5} + V_{OUT3} I_{OUT3}}{V_{IN}}$$

INPUT RMS CURRENT FOR SINGLE-PHASE OPERATION:

$$I_{RMS} = I_{LOAD} \left(\frac{\sqrt{V_{OUT}(V_{IN} - V_{OUT})}}{V_{IN}} \right)$$

図8. 入力RMS電流

入力コンデンサの選択

入力コンデンサは、スイッチング電流によって生じるリップル電流要件(I_{RMS})を満たさなければなりません。位相差レギュレータの場合、入力コンデンサの全RMS電流は、負荷電流、入力電流、デューティサイクル、および図8で定義するオーバーラップ量の関数になります。

MAX17003/MAX17004の最適な40/60インタリーブアーキテクチャによって、デューティサイクルがオーバーラップし始める前に、入力電圧を8.3V程度に下げることができます。これは、デューティサイクルが10V以下でオーバーラップし始める標準の180°位相差のアーキテクチャよりも効率が高くなります。図8は、5V/5Aおよび3.3V/5Aを必要とするアプリケーションにおける、入力コンデンサのRMS電流と入力電圧の関係を示します。これは、50/50インタリーブおよび同位相動作に対して最適な40/60インタリーブが改善されていることを示します。

入力に直列の機械的スイッチやコネクタを備えたシステムに特有の通電時サージ電流に対する耐性の面で、ほとんどのアプリケーションでは、タンタル以外のコンデンサ(セラミック、アルミ、またはOS-CON)が適しています。最適な信頼性と寿命が得られるように、RMS入力電流における温度上昇が10°C以下のコンデンサを選択してください。

パワーMOSFETの選択

以下のMOSFETガイドラインのほとんどは、高電圧(20Vを超える) ACアダプタを使用する際に大負荷電流能力を得ることに焦点を置いています。低電流アプリケーションでは、一般にさほど注意する必要がありません。

ハイサイドMOSFET (N_H)は、 $V_{IN(MIN)}$ と $V_{IN(MAX)}$ の両方において抵抗損失とスイッチング損失をともに消費することができる必要があります。理想的には、 $V_{IN(MIN)}$ における損失と $V_{IN(MAX)}$ における損失がほぼ等しく、両者の間ではそれより損失が少ないという状態になります。

ノートブックコンピュータ用、高効率、4出力、メイン電源コントローラ

$V_{IN(MIN)}$ における損失の方がかなり高い場合は、 N_H のサイズを大きくすることを検討してください。逆に、 $V_{IN(MAX)}$ における損失の方がかなり高い場合は、 N_H のサイズを小さくすることを検討してください。 V_{IN} が広範囲で変化しなければ、スイッチング損失に等しい伝導損失を持つハイサイドMOSFET(N_H)を選択することによって最大の効率が達成されます。

ローサイドMOSFET(N_L)には、可能な限りオン抵抗($R_{DS(ON)}$)が最小で、中サイズのパッケージ(すなわち、8ピンSOP、DPAK、またはD²PAK)で提供される妥当な価格のものを選択してください。MAX17003/MAX17004のDL₁ゲートドライバからは、ゲート電荷に対応する十分な電流、およびハイサイドMOSFETがターンオンすることによって生じる寄生ドレイン-ゲート間コンデンサに注入される電流が、確実に供給されるようにしてください。さもなければ、交差導通の問題が発生することがあります。ステップダウントポロジで使用するローサイドMOSFETは、ゼロ電圧スイッチデバイスであるため、そのスイッチング損失は問題になりません。

パワーMOSFETの電力損失

ワーストケースの伝導損失は、最小あるいは最大デューティ比で起ります。ハイサイドMOSFET(N_H)の場合、抵抗によるワーストケースの電力消費は最小入力電圧で起ります。

$$PD(N_H \text{ Resistive}) = \left(\frac{V_{OUT}}{V_{IN}} \right) (I_{LOAD})^2 R_{DS(ON)}$$

通常は、小型ハイサイドMOSFETを使用して高入力電圧でのスイッチング損失を抑制してください。ただし、パッケージの電力損失制限を守るために必要な $R_{DS(ON)}$ によって、通常はMOSFETの最小サイズが制限されます。スイッチング損失と伝導($R_{DS(ON)}$)損失が等しい場合が最適です。ハイサイドスイッチング損失は、入力が約15Vを超えるまでは問題になりません。

ターンオンおよびターンオフ時間に影響を与える要因は数値化が難しいため、スイッチング損失によるハイサイドMOSFET(N_H)の電力損失を計算することは困難です。これらの要因には、内部ゲート抵抗、ゲート電荷、スレッショルド電圧、ソースインダクタンス、およびPCBのレイアウト特性などがあります。以下のスイッチング損失の計算は概算で、 N_H に搭載の熱伝対を使った確認などが望ましいブレッドボード評価の代用にはなりません。

$$PD(N_H \text{ Resistive}) = \left(\frac{I_{LOAD} Q_{G(SW)}}{I_{GATE}} + \frac{C_{OSS} V_{IN(MAX)}}{2} \right) V_{IN(MAX)} f_{SW}$$

ここで、 C_{OSS} は N_H の出力容量、 $Q_{G(SW)}$ は N_H MOSFETをターンオンするのに必要な電荷、 I_{GATE} はピークゲート駆動のソース/シンク電流(1A、typ)です。

最大ACアダプタ電圧が印加されたとき、スイッチング損失の式($C \times V_{IN}^2 \times f_{SW}$)の2乗項によって、ハイサイドMOSFETのスイッチング損失が熱的に問題になる可能性があります。低バッテリー電圧に適した $R_{DS(ON)}$ であるように選択されたハイサイドMOSFETが、 $V_{IN(MAX)}$ を印加したときに極端に熱くなる場合、寄生容量の小さい別のMOSFETを選択することを検討してください。

ローサイドMOSFET(N_L)の場合、ワーストケースの電力損失は常に最大バッテリー電圧で発生します。

$$PD(N_L \text{ Resistive}) = \left[1 - \left(\frac{V_{OUT}}{V_{IN(MAX)}} \right) \right] (I_{LOAD})^2 R_{DS(ON)}$$

MOSFETの電力損失の絶対的なワーストケースは、 $I_{LOAD(MAX)}$ よりも大きいものの電流制限値を超えて障害ラッチをトリップさせるほど大きくない重過負荷状態で発生します。これを回避するためには、次の条件に耐える「余裕を持たせた」回路設計を行ってください。

$$I_{LOAD} = I_{LIMIT} - \left(\frac{\Delta I_{INDUCTOR}}{2} \right)$$

ここで、 I_{LIMIT} は、電流制限回路が許容するピーク電流で、スレッショルドの許容差と検出抵抗のばらつきを含みます。MOSFETは、過負荷時の電力損失に対応するために、比較的大きいヒートシンクを備えていなければなりません。

ローサイドMOSFETのボディダイオードが、テッドタイム中にターンオンしないよう、順方向電圧降下の低いショットキダイオード(D_L)を選択してください。目安としては、DC電流定格が負荷電流の1/3に等しいダイオードを選択してください。このダイオードはオープンで、効率が重要でない場合は省くことができます。

ブーストコンデンサ

ブーストコンデンサ(C_{BST})は、ハイサイドMOSFETのゲート充電要件に十分対応することができる大きさのものを選択する必要があります。通常、0.1 μ Fのセラミックコンデンサが、中サイズのMOSFETを駆動する低電力アプリケーションで正常に動作します。しかし、大型のハイサイドMOSFETを駆動する大電流アプリケーションには、0.1 μ Fよりも大きいブーストコンデンサが必要です。これらのアプリケーションでは、ハイサイドMOSFETのゲートを充電中にコンデンサが200mVを超えて放電することのないようなブーストコンデンサを選択してください。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

$$C_{BST} = \frac{Q_{GATE}}{200mV}$$

ここで、 Q_{GATE} は、ハイサイドMOSFETのデータシートで規定された全ゲート電荷です。たとえば、FDS6612A nチャンネルMOSFETをハイサイドで使用するものとします。メーカーのデータシートによると、1個のFDS6612Aの最大ゲート電荷は13nC ($V_{GS} = 5V$)です。上の式を使用すると、必要なブースト容量は次のようになります。

$$C_{BST} = \frac{13nC}{200mV} = 0.065\mu F$$

最も近い標準値を選択する場合、この例では0.1 μ Fのセラミックコンデンサが必要です。

LDOAの設計手順

出力電圧の選択

補助リニアレギュレータの出力電圧は、OUTAとアナロググラウンドの間に抵抗分圧器を接続し、センタタップをFBAに接続することによって調整します(図1)。R6を10k Ω ~30k Ω の範囲で選択し、次式を用いてR5を計算してください。

$$R5 = R6 \left(\frac{V_{OUTA}}{V_{FBA}} - 1 \right)$$

ここで、 $V_{FBA} = 1.0V$ です。

トランジスタの選択

パストラジスタは、電流利得(β)、入力容量、コレクタ-エミッタ間の飽和電圧、および電力消費の各仕様を満たす必要があります。トランジスタの電流利得によって、保証最大出力電流が次のように制限されます：

$$I_{LOAD(MAX)} = \left(I_{DRV} - \frac{V_{BE}}{R_{BE}} \right) \beta_{MIN}$$

ここで、 I_{DRV} は最小保証ベース駆動電流、 V_{BE} はトランジスタのベース-エミッタ間電圧、 R_{BE} はトランジスタのベースとエミッタ間に接続されたプルアップ抵抗

です。さらに、トランジスタの電流利得によってリニアレギュレータのDCループ利得([LDOAの安定性要件]の項を参照)が増大するため、過度の利得は出力を不安定にします。したがって、最大出力電流において100を超える電流利得を持つトランジスタは、安定化が困難になる可能性があるため、推奨することができません。また、トランジスタの入力容量と入力抵抗によって第2の極が生成され、これが低いと、重い負荷をかけたときに出力が不安定になる可能性があります。

最大出力電流におけるトランジスタの飽和電圧によって、リニアレギュレータがサポート可能な最小の入出力電圧差が決まります。一方、パッケージの消費電力によって、利用可能な最大の入出力電圧差が制限される場合があります。トランジスタのパッケージとその実装の最大電力消費性能は、デバイスの実際の電力消費を上回っている必要があります。電力消費は、最大負荷電流と最大入出力電圧差の積に等しくなります。

$$PWR = I_{LOAD(MAX)} (V_{INA} - V_{OUTA})$$

$$PWR = I_{LOAD(MAX)} V_{CE}$$

LDOAの安定性要件

リニアレギュレータコントローラのMAX17003/MAX17004は、内蔵のトランスコンダクタンスアンプを使用して外付けのpnpパストラジスタを駆動します。トランスコンダクタンスアンプ、パストラジスタ、ベース-エミッタ間抵抗、および出力コンデンサによって、ループの安定性が決まります。

トランスコンダクタンスアンプは、パストラジスタのベース電流を制御することによって、出力電圧を安定化します。DCループの総合利得は次式で近似されます。

$$A_V(LDO) = \left(\frac{5.5V}{V_T} \right) \left(1 + \frac{I_{BIAS} h_{FE}}{I_{LOAD}} \right)$$

ここで、 V_T は室温において26mV、 h_{FE} はパストラジスタのDC利得、 I_{BIAS} はベース-エミッタ間の抵抗(R_{BE})を流れる電流です。図1で使用している680 Ω のベース-エミッタ間の抵抗は、1mAのバイアス電流(I_{BIAS})を供給するように選択されています。

ノートブックコンピュータ用、高効率、4出力、メイン電源コントローラ

出力コンデンサと負荷抵抗によって、システム内に主極が生成されます。しかし、内蔵アンプの遅延、パストランジスタの入力容量、およびフィードバックノードの浮遊容量によって、もう1つの極がシステム内に生成され、出力コンデンサのESRがゼロを生成します。適正な動作のために、以下のステップにしたがってリニアレギュレータの安定性を確保してください。

- 1) 最初に、リニアレギュレータの出力コンデンサと負荷抵抗によって設定される主極を計算します。

$$f_{\text{POLE(LDO)}} = \frac{1}{2\pi C_{\text{OUTA}} R_{\text{LOAD}}}$$

ここで、 C_{OUTA} は補助LDOの出力容量で、 R_{LOAD} は最大負荷電流に対応する負荷抵抗です。リニアレギュレータのユニティゲインクロスオーバーは次のようになります。

$$f_{\text{CROSSOVER}} = A_V(\text{LDO}) f_{\text{POLE(LDO)}}$$

- 2) 内蔵アンプの遅延によって生じる極周波数は、約1MHzです。

$$f_{\text{POLE(AMP)}} \approx 1\text{MHz}$$

- 3) つぎに、トランジスタの入力容量、トランジスタの入力抵抗、およびベース-エミッタ間のプルアップ抵抗によって設定される極を計算します。トランジスタの入力抵抗(h_{FE}/g_m)は、一般的にベース-エミッタ間のプルアップ抵抗よりもはるかに大きいため、次に示す簡略化された式から極を求めることができます。

$$f_{\text{POLE(CIN)}} \approx \frac{1}{2\pi C_{\text{IN}} R_{\text{IN}}}$$
$$C_{\text{IN}} = \frac{g_m}{2\pi f_{\text{T}}}$$

ここで、 g_m はパストランジスタのトランスコンダクタンス、 f_{T} は遷移周波数です。いずれのパラメータも、トランジスタのデータシートに記載されています。したがって、上の式は、さらに次のように簡略化することができます。

$$f_{\text{POLE(CIN)}} \approx \frac{f_{\text{T}}}{h_{\text{FE}}}$$

- 4) つぎに、リニアレギュレータのフィードバック抵抗と、FBAとグランドの間の容量(浮遊容量を含めて約5pF)によって設定される極を計算します。

$$f_{\text{POLE(FBA)}} = \frac{1}{2\pi C_{\text{FBA}} (R_5 \parallel R_6)}$$

- 5) つぎに、出力コンデンサのESRによって生じるゼロを計算します。

$$f_{\text{ZERO(ESR)}} = \frac{1}{2\pi C_{\text{OUTA}} R_{\text{ESR}}}$$

ここで、 R_{ESR} は C_{OUTA} の等価直列抵抗です。

- 6) 安定性を確保するため、十分に大きい C_{OUTA} の値を選び、ステップ2~5で計算した極とゼロよりもはるかに前でクロスオーバーが生じるようにします。ステップ3と4の極は一般に数MHzの位置に生じますが、セラミック出力コンデンサを使うことで、ESRゼロも数MHzに生じることが保証されます。500kHzより下にクロスオーバー周波数を設定すれば、一般的にはアンプ遅延の極を避けるのに十分であり、変則的な部品選択や余計な容量によって他の極やゼロを1MHz以下に移動させない限り、通常は問題なく動作します。

リニアレギュレータの出力とフィードバックノードの間にコンデンサを接続することによって過渡応答を改善し、フィードバックループに結合されるノイズを低減することができます。

低ドロップアウトソリューションが必要な場合、外付けのpチャネルMOSFETパストランジスタを使う方法も考えられます。しかし、pMOSベースのリニアレギュレータは、ループを安定させるためにより大きな出力容量を必要とします。pチャネルMOSFETの大きいゲート容量によって $f_{\text{POLE(CIN)}}$ が低下し、不安定性の原因となる可能性があります。大きい出力容量を使ってユニティゲイン帯域幅を減少させ、極がユニティゲインクロスオーバー周波数よりもずっと上に位置することを保証する必要があります。

アプリケーション情報

デューティサイクル制限

最小入力電圧

最小入力動作電圧(ドロップアウト電圧)は、最大デューティサイクルの仕様によって制限されます([ELECTRICAL CHARACTERISTICS (電気的特性)]の表を参照)。ただし、ステップダウンレギュレータがドロップアウト電圧に近づくにつれて過渡性能が悪化するため、寸法の大きい出力容量を追加する必要があることに留意してください([SMPSの設計手順]の項の「過渡応答」の項の電圧サグおよびサージの式を参照)。ドロップアウトの絶対点は、オン時間(Δt_{UP})の間にランプアップしているときと同様に、オフ時間(Δt_{DOWN})の間にインダクタ電流がランプダウンするときに生じます。これは、次式で規定される最小動作電圧になります。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

$$V_{IN(MIN)} = V_{OUT} + V_{CHG} + h \left(\frac{1}{D_{MAX}} - 1 \right) (V_{OUT} + V_{DIS})$$

ここで、 V_{CHG} と V_{DIS} は、それぞれ充電および放電経路の寄生電圧降下です。hに対する妥当な最小値は1.5ですが、絶対最小入力電圧は $h = 1$ で計算します。

最大入力電圧

MAX17003/MAX17004コントローラには最小オン時間の仕様が含まれており、選択したスイッチング周波数が維持される最大入力動作電圧がそれによって決定されます(「ELECTRICAL CHARACTERISTICS (電気的特性)」の表を参照)。この最大入力電圧を超える動作は、SKIPによって選択された動作モードに関係なくパルススキッピング動作となります。各サイクルの最初に、出力電圧が依然としてフィードバックスレッショルド電圧を超えていると、コントローラはオン時間パルスをトリガせず、実質的に1サイクルをスキップします。これで、コントローラはレギュレーションを最大入力電圧以上で維持することができますが、コントローラは実質的に低いスイッチング周波数で動作するよう強制されます。こうして、コントローラがパルススキッピングを開始する入力スレッショルド電圧($V_{IN(SKIP)}$)が決まります。

$$V_{IN(SKIP)} = V_{OUT} \left(\frac{1}{f_{OSC} t_{ON(MIN)}} \right)$$

ここで、 f_{OSC} はFSELによって選択されるスイッチング周波数です。

PCBレイアウトのガイドライン

PCBを注意してレイアウトすることは、低スイッチング損失とクリーンで安定な動作を実現するためにきわめて重要です。スイッチングパワー段には特別な注意が必要です(図9)。可能であれば、電力部品の各グランド端子を互いに密接させ、すべての電力部品を基板の最上面に実装してください。適切なPCBレイアウトについては、下記のガイドラインにしたがってください。

- 特にグランド端子では、大電流経路を短くしてください。このことは、安定でジッタのない動作に不可欠です。
- 電源トレースと負荷接続部を短くしてください。このことは、高効率を得るために不可欠です。厚い銅のPCB (1オンスより2オンス)を使用すると、全負荷効率を1%以上改善することができます。PCBのトレースの経路を正しく配線することは、数分の1cm単位の

処理を必要とする骨の折れる作業で、トレースの抵抗が1mΩ増えるだけで明らかな効率の低下が起ります。

- CSH_とCSL_を電流検出抵抗(R_{SENSE})の両端にしかに接続することによって、電流検出誤差を最小限に抑えてください。
- トレース長に妥協が必要な場合、インダクタの充電経路が放電経路よりも長くなるようにします。たとえば、入力コンデンサとハイサイドMOSFETの距離を多少長くするほうが、インダクタとローサイドMOSFET間の距離またはインダクタと出力フィルタコンデンサ間の距離を長くするよりも、良い結果が得られます。
- 高速スイッチングノード(BST_、LX_、DH_、およびDL_)を敏感なアナログ領域(REF、FB_、CSH_、CSL_)から遠ざけてください。

レイアウトの手順

まず電力部品を配置して、各グランド端子(N_L ソース、 C_{IN} 、 C_{OUT} 、および D_L アノード)を隣接させてください。可能であれば、これらの接続はすべて最上層の銅で埋められた領域で行ってください。

コントローラICは、ローサイドMOSFETに隣接させて配置してください。この場合、裏面の N_L と N_H の反対側に配置して、LX_、GND、DH_およびDL_ゲート駆動の各ラインを短くて幅広くすることが望まれます。ドライバのインピーダンスを低く保つとともに、適正な適応型デッドタイム検出を行うために、DL_およびDH_のゲートトレースは、短くかつ幅広くする必要があります(MOSFETがコントローラICから1インチ離れている場合の幅は50mil~100mil)。

ゲート駆動部品(BST_コンデンサ、LDO5バイパスコンデンサ)をコントローラICの近くにひとまとめにしてください。

図1と図9に示すように、DC-DCコントローラのグランドを接続してください。この図には、2つの個別のグランドプレーンが存在します。すなわち、すべての大電力部品が集まる電源グランドプレーン、および敏感なアナログ部品用のアナロググランドプレーンです。アナロググランドプレーンと電源グランドプレーンは、ICの1点のみにおいてしかに接続する必要があります。

出力電源プレーンを、出力フィルタコンデンサの正および負端子に複数のピアでしかに接続してください。実用的な範囲で、DC-DCコンバータ回路全体をできる限り負荷の近くに配置してください。

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

MAX17003/MAX17004

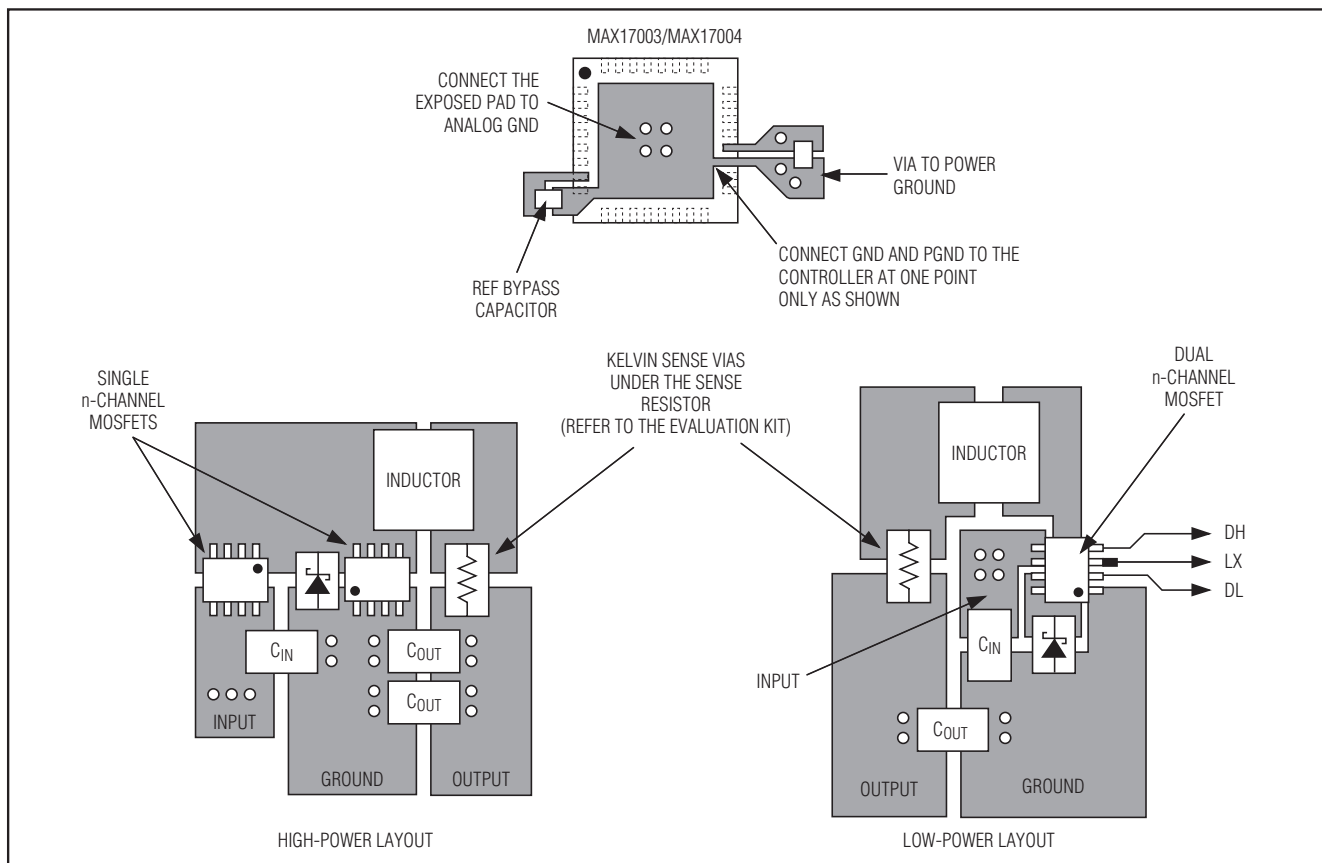


図9. PCBレイアウト

表6. MAX8744/MAX8745とMAX17003/MAX17004の機能上の相違点

FEATURE	MAX8744/MAX8745	MAX17003/MAX17004
Startup	Startup operating mode depends on the $\overline{\text{SKIP}}$ setting. (e.g., $\overline{\text{SKIP}}$ is low, then startup occurs in skip mode).	Startup is <i>always</i> in low-noise pulse-skipping mode (i.e., same as $\overline{\text{SKIP}} = \text{REF}$ setting). This allows for startup into prebiased outputs. The $\overline{\text{SKIP}}$ setting takes effect once the SMPS is in regulation.
Shutdown	Actively discharges the output down to zero.	Soft discharge of the output using the DSCHG3 and DSCHG5 pins.
DL3 and DL5 States	DL3 and DL5 are high in shutdown. DL3 and DL5 are latched high during an OV fault of the respective output (MAX8744 only).	DL3 and DL5 are low in shutdown. DL3 and DL5 are latched high during an OV fault of the respective output (MAX17003 only).
Power-Good	PGOOD3: Power-good indicator for SMPS3. PGOOD5: Power-good indicator for SMPS5. PGOODA: Power-good indicator for the auxiliary LDO.	PGDALL: Power-good indicator for SMPS3 and SMPS5. Auxiliary LDO does not have power-good indicator.

チップ情報

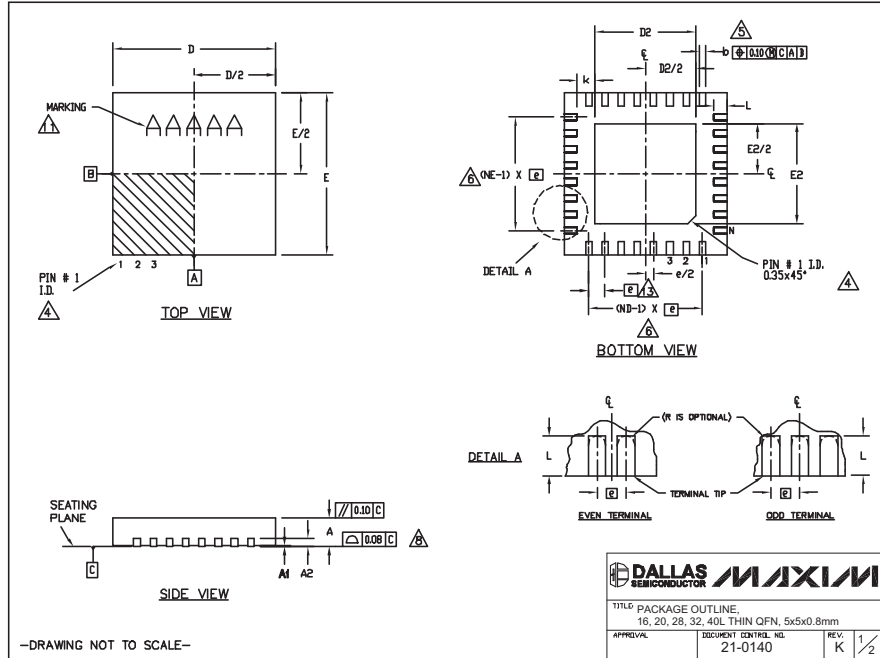
TRANSISTOR COUNT: 6897

PROCESS: BiCMOS

ノートブックコンピュータ用、高効率、4出力、 メイン電源コントローラ

パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照下さい。)



COMMON DIMENSIONS												
PKG. SYMBOL	16L	5x5	20L	5x5	28L	5x5	32L	5x5	40L	5x5	MIN.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
AI	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
AP	0.20 REF.		0.20 REF.		0.20 REF.		0.20 REF.		0.20 REF.		0.20 REF.	
b	0.25	0.30	0.35	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.35
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.		0.65 BSC.		0.50 BSC.		0.50 BSC.		0.40 BSC.			
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.50	0.40	0.50	0.30	0.40	0.50
N	16		20		28		32		40			
ND	4		5		7		8		10			
NE	4		5		7		8		10			
JEDEC	VHFB		VHHC		VHHD-1		VHHD-2		-----			

EXPOSED PAD VARIATIONS						
PKG. CODES	DE			EP		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
T1635-2	3.00	3.10	3.20	3.00	3.10	3.20
T1635-3	3.00	3.10	3.20	3.00	3.10	3.20
T1635N-1	3.00	3.10	3.20	3.00	3.10	3.20
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35
T2055M-5	3.15	3.25	3.35	3.15	3.25	3.35
T2855-3	3.35	3.25	3.35	3.15	3.25	3.35
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80
T2855-6	3.35	3.25	3.35	3.15	3.25	3.35
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255N-4	3.00	3.10	3.20	3.00	3.10	3.20
T3255-5	3.00	3.10	3.20	3.00	3.10	3.20
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20
T4055-1	3.40	3.50	3.60	3.40	3.50	3.60
T4055-2	3.40	3.50	3.60	3.40	3.50	3.60

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS; ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SFP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC M0220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-3, T2855-6, T4055-1 AND T4055-2.
- VARIANCE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION 'e', ±0.05.

DALLAS SEMICONDUCTOR		MAXIM	
TITLE PACKAGE OUTLINE: 16, 20, 28, 32, 40L THIN QFN, 5x5x0.8mm			
APPROVAL	DOCUMENT CONTROL NO.	REV.	
	21-0140	K 2/2	

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(Horizon 1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。