

完全DDR2およびDDR3メモリの パワーマネジメントソリューション

概要

MAX17000パルス幅変調(PWM)コントローラは、ノートPC用のDDR、DDR2、およびDDR3メモリの完全な電源ソリューションを提供します。このデバイスはステップダウンコントローラ、ソース/シンクLDOレギュレータ、およびリファレンスバッファで構成され、必要なVDDQ、VTT、およびVTTRレールを生成します。

VDDQレールは、マキシム独自のQuick-PWM™コントローラを使用したステップダウンコンバータによって供給されます。高効率で定オンタイムのPWMコントローラは、容易に広い入出力電圧比(低デューティサイクルアプリケーション)を処理し、ほぼ一定のスイッチング周波数を維持しながら、負荷の瞬時変動に対して100nsの応答を提供します。Quick-PWM技術は、固定周波数電流モードPWMの低性能の負荷過渡タイミング問題を回避するとともに、従来の定オンタイムおよび定オフタイムPWM方式の大きく変動するスイッチング周波数に起因する問題も防ぎます。コントローラは電流を検出して精密な谷電流制限保護を行います。また、過電圧、低電圧、および熱保護も組み込まれています。MAX17000は、電力効率の良いSKIPモード、低ノイズ強制PWMモード、およびノートパソコンのスタンバイ動作でメモリをサポートするスタンバイモードの3つの異なるモードで動作するように設定することができます。スイッチング周波数は200kHz~600kHzに設定が可能で、小型部品の使用と高効率化が可能です。VDDQ出力電圧は、プリセットされた1.8Vまたは1.5Vに設定するか、外部の抵抗分圧器によって1.0V~2.5Vに調整することができます。この出力は、電源および負荷の全動作範囲で1%の精度を持っています。

MAX17000は、メモリ終端VTTレール用の±2Aソース/シンクLDOレギュレータを持っています。このVTTレギュレータは、ソースあるいはシンクする±5mVの不感帯を持っており、メモリ終端アプリケーションで存在する高速変動の負荷バーストに最適です。また、この機能により必要な出力容量値が小さくなります。

VTTRリファレンスバッファは±3mAをソースあるいはシンクし、メモリバス上のメモリコントローラおよびデバイスに必要なリファレンス電圧を提供します。

MAX17000は、4mm x 4mmの24ピンTQFNパッケージで供給されます。

アプリケーション

ノートパソコン
DDR、DDR2、およびDDR3メモリ電源
SSTLメモリ電源

Quick-PWMはMaxim Integrated Products Inc.の商標です。

特長

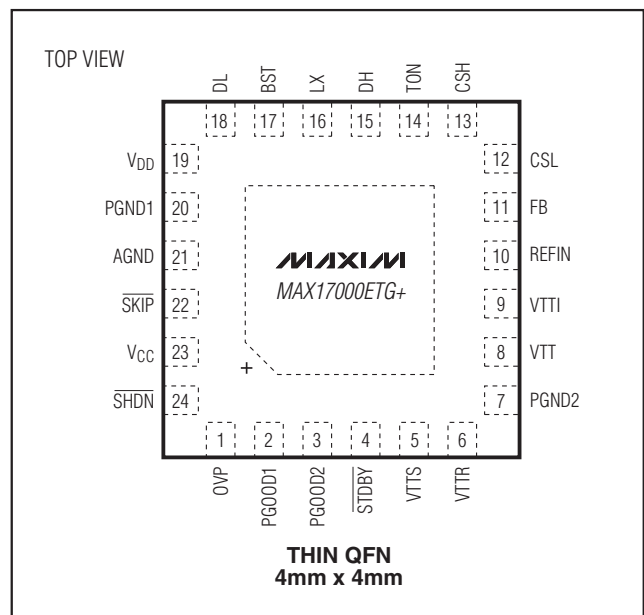
- ◆ SMPSレギュレータ(VDDQ)
 - 100nsの負荷ステップ応答を持ったQuick-PWM
 - 出力電圧：1.8V、1.5Vのプリセット、
あるいは1.0V~2.5Vの変可
 - V_{OUT}精度：電源と負荷の全範囲で1%
 - 最大定格入力電圧：26V
 - 正確な谷電流制限保護
 - スイッチング周波数：200kHz~600kHz
- ◆ ソース/シンクのリアレギュレータ(VTT)
 - ±2Aの最大ソース/シンク
 - 小さい出力容量値を使用可能
 - 出力電圧：VDDQ/2またはREFINにプリセット
0.5V~1.5Vに変可
- ◆ 低自己消費電流のスタンバイ状態
- ◆ ソフトスタート/ソフトシャットダウン
- ◆ SMPSパワーグッドウインドウコンパレータ
- ◆ VTTパワーグッドウインドウコンパレータ
- ◆ 選択可能な過電圧保護
- ◆ 低電圧保護/熱保護
- ◆ ±3mAのリファレンスバッファ(VTTR)

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX17000ETG+	-40°C to +85°C	24 Thin QFN

+は鉛フリーのパッケージを示します。

ピン配置



完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

ABSOLUTE MAXIMUM RATINGS

TON to PGND1	-0.3V to +28V
V _{DD} to PGND1	-0.3V to +6V
V _{CC} to V _{DD}	-0.3V to +0.3V
OVP to AGND	-0.3V to +6V
SHDN, STDBY, SKIP to AGND	-0.3V to +6V
REFIN, FB, PGOOD1, PGOOD2 to AGND	-0.3V to (V _{CC} + 0.3V)
CSH, CSL to AGND	-0.3V to (V _{CC} + 0.3V)
DL to PGND1	-0.3V to (V _{DD} + 0.3V)
BST to PGND1	-1V to +34V
BST to LX	-0.3V to +6V
DH to LX	-0.3V to (V _{BST} + 0.3V)
BST to V _{DD}	-0.3V to +26V

VTTI to PGND2	-0.3V to +6V
VTT to PGND2	-0.3V to (V _{TTI} + 0.3V)
VTTs to AGND	-0.3V to (V _{CC} + 0.3V)
VTRR to AGND	-0.3V to (V _{CSL} + 0.3V)
PGND1, PGND2 to AGND	-0.3V to +0.3V
Continuous Power Dissipation (T _A = +70°C) 24-Pin, 4mm x 4mm Thin QFN (derated 27.8mW/°C above +70°C)	2222mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN} = 12V, V_{CC} = V_{DD} = V_{SHDN} = V_{REFIN} = 5V, V_{CSL} = 1.8V, STDBY = SKIP = AGND, T_A = 0°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
PWM CONTROLLER							
Input Voltage Range	V _{IN}		3		26	V	
	V _{CC} , V _{DD}		4.5		5.5		
Output Voltage Accuracy	V _{CSL}	V _{IN} = 4.5V to 26V, SKIP = V _{CC}	FB = AGND	1.485	1.500	1.515	V
			FB = V _{CC}	1.782	1.800	1.818	
			FB = Adj	0.99	1.000	1.01	
Output Voltage Range	V _{CSL}		1		2.7	V	
Load Regulation Error		V _{CSH} - V _{CSL} = 0mV to 18mV, SKIP = V _{CC}		0.1		%	
Line Regulation Error		V _{DD} = 4.5V to 5.5V, V _{IN} = 4.5V to 26V		0.25		%	
Soft-Start Ramp Time	t _{SSTART}	Rising edge of SHDN		1.4	2.1	ms	
Soft-Stop Ramp Time	t _{SSTOP}	Falling edge of SHDN		2.8		ms	
Soft-Stop Threshold				25		mV	
On-Time Accuracy (Note 2)	t _{ON}	V _{IN} = 12V, V _{CSL} = 1.2V	R _{TON} = 96.75kΩ (600kHz), 167ns nominal	-15		+15	%
			R _{TON} = 200kΩ (300kHz), 333ns nominal	-10		+10	
			R _{TON} = 303.25kΩ (200kHz), 500ns nominal	-15		+15	

完全DDR2およびDDR3メモリの パワーマネジメントソリューション

MAX17000

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $V_{CC} = V_{DD} = V_{\overline{SHDN}} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Minimum Off-Time	$t_{OFF(MIN)}$	(Note 2)		250	350	ns
Quiescent Supply Current (V_{DD})	I_{DD}	FB forced above 1.0V, $\overline{STDBY} = AGND$ or V_{CC} , $T_A = +25^{\circ}C$		0.01	1.00	μA
Quiescent Supply Current (V_{CC})	I_{CC}	FB forced above 1.0V (SMPS, VTT, and VTTR blocks); $\overline{STDBY} = V_{CC}$		2	4	mA
		FB forced above 1.0V (ultra-skip and VTTR blocks); $\overline{STDBY} = AGND$		275	475	μA
Shutdown Supply Current ($V_{DD} + V_{CC}$)	$I_{CC} + I_{DD}$	$\overline{SHDN} = AGND$, $T_A = +25^{\circ}C$		0.01	5	μA
TON Pin Shutdown Current	I_{TON}	$\overline{SHDN} = AGND$, $V_{IN} = 26V$, $V_{DD} = 0$ or $5V$, $T_A = +25^{\circ}C$		0.01	1.00	μA
LINEAR REGULATOR (VTT)						
VTTI Input Voltage Range	V_{TTI}		1.0		2.8	V
VTTI Supply Current	I_{VTTI}	$V_{VTTI} = 2.5V$, $REFIN = 1.4V$		10	50	μA
VTTI Shutdown Current		$\overline{SHDN} = AGND$, $T_A = +25^{\circ}C$			10	μA
REFIN Input Bias Current		$V_{TTI} = 2.5V$, $V_{REFIN} = 1.4V$	-50		+50	nA
REFIN Range	V_{REFIN}		0.5		1.5	V
REFIN Disable Threshold			$V_{CC} - 0.3$			V
VTT Internal MOSFET		High-side on-resistance (source, $I_{VTT} = 0.1A$)		0.12	0.25	Ω
		Low-side on-resistance (sink, $I_{VTT} = 0.1A$)		0.18	0.36	
VTT Output-Accuracy Source Load		($V_{REFIN} - 5mV$) or ($V_{CSL}/2 - 5mV$) to V_{TTS} , $V_{TT} = V_{TTS}$	$V_{REFIN} = 1V$, $I_{VTT} = +50\mu A$	-5	+5	mV
			$V_{REFIN} = 0.5V$ to $1.5V$, $I_{VTT} = +300mA$		-5	
VTT Output-Accuracy Sink Load		($V_{REFIN} + 5mV$) or ($V_{CSL}/2 + 5mV$) to V_{TTS} , $V_{TT} = V_{TTS}$	$V_{REFIN} = 1V$, $I_{VTT} = -50\mu A$	-5	+5	mV
			$V_{REFIN} = 0.5V$ to $1.5V$, $I_{VTT} = -300mA$		+5	
VTT Load Regulation		$-50\mu A$ to $-1A \leq I_{VTT} \leq +50\mu A$ to $+1A$		13	17	mV/A
VTT Line Regulation		$1.0V \leq V_{TTI} \leq 2.8V$, $I_{VTT} = \pm 100mA$		1		mV
VTT Current Limit		Source	2		4	A
		Sink	-4		-2	
VTT Current-Limit Soft-Start Time		With respect to internal V_{TT_EN} signal		160		μs
VTT Discharge MOSFET		$OVP = V_{CC}$		16		Ω
VTTs Input Current		$T_A = +25^{\circ}C$		0.1	1.0	μA

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $V_{CC} = V_{DD} = V_{SHDN} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = \overline{AGND}$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE BUFFER (VTTR)						
VTTR Output Accuracy (Adj)		REFIN to VTTR	$I_{VT} = \pm 1mA$	-10	+10	mV
			$I_{VT} = \pm 3mA$	-20	+20	
VTTR Output Accuracy (Preset)		$V_{CSL}/2$ to VTTR	$I_{VT} = \pm 1mA$	-10	+10	
			$I_{VT} = \pm 3mA$	-20	+20	
VTTR Maximum Recommended Current		Source/sink		5		mA
FAULT DETECTION (SMPS)						
SMPS OVP and PGOOD1 Upper Trip Threshold			12	15	18	%
SMPS OVP and PGOOD1 Upper Trip Threshold Fault-Propagation Delay	t_{OVP}	FB forced 25mV above trip threshold		10		μs
SMPS Output Undervoltage Fault-Propagation Delay	t_{UV}			200		μs
SMPS PGOOD1 Lower Trip Threshold		Measured at FB, hysteresis = 25mV	-12	-15	-18	%
PGOOD1 Lower Trip Threshold Propagation Delay	t_{PGOOD1}	FB forced 50mV below PGOOD1 trip threshold		10		μs
PGOOD1 Output Low Voltage		$I_{SINK} = 3mA$			0.4	V
PGOOD1 Leakage Current	I_{PGOOD1}	FB = 1V (PGOOD1 high impedance), PGOOD1 forced to 5V, $T_A = +25^{\circ}C$			1	μA
TON POR Threshold	$V_{POR(IN)}$	Rising edge, PWM disabled below this level; hysteresis = 200mV		3.0		V
FAULT DETECTION (VTT)						
PGOOD2 Upper Trip Threshold		Hysteresis = 25mV	8	10	13	%
PGOOD2 Lower Trip Threshold		Hysteresis = 25mV	-13	-10	-8	%
PGOOD2 Propagation Delay	t_{PGOOD2}	VTTs forced 50mV beyond PGOOD2 trip threshold		10		μs
PGOOD2 Fault Latch Delay		VTTs forced 50mV beyond PGOOD2 trip threshold		5		ms
PGOOD2 Output Low Voltage		$I_{SINK} = 3mA$			0.4	V
PGOOD2 Leakage Current	I_{PGOOD2}	VTTs = V_{REFIN} (PGOOD2 high impedance), PGOOD2 forced to 5V, $T_A = +25^{\circ}C$			1	μA
FAULT DETECTION						
Thermal-Shutdown Threshold	T_{SHDN}	Hysteresis = 15 $^{\circ}C$		160		$^{\circ}C$
V_{CC} Undervoltage Lockout Threshold	$V_{UVLO(VCC)}$	Rising edge, IC disabled below this level; hysteresis = 200mV	3.8	4.1	4.4	V
CSL Discharge MOSFET		OVP = V_{CC}		16		Ω

完全DDR2およびDDR3メモリの パワーマネジメントソリューション

MAX17000

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $V_{CC} = V_{DD} = V_{\overline{SHDN}} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = 0^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CURRENT LIMIT						
Valley Current-Limit Threshold	V_{LIMIT}	$V_{CSH} - V_{CSL}$	17	20	25	mV
Current-Limit Threshold (Negative)	V_{NEG}	$V_{CSH} - V_{CSL}$, $\overline{SKIP} = V_{CC}$		-23		mV
Current-Limit Threshold (Zero Crossing)	V_{ZX}	$V_{CSH} - V_{CSL}$		1		mV
SMPS GATE DRIVERS						
DH Gate Driver On-Resistance	R_{DH}	BST - LX forced to 5V		1.5	5.0	Ω
DL Gate Driver On-Resistance	R_{DL}	DL high		1.5	5.0	Ω
		DL low		0.6	3.0	
DH Gate Driver Source/Sink Current	I_{DH}	DH forced to 2.5V, BST - LX forced to 5V		1		A
DL Gate Driver Source/Sink Current	$I_{DL(SRC)}$	DL forced to 2.5V		1		A
	$I_{DL(SNK)}$	DL forced to 2.5V		3		
Dead Time	t_{DEAD}	DL rising, $T_A = +25^{\circ}C$	10	25		ns
		DL falling, $T_A = +25^{\circ}C$	15	35		
Internal BST Switch On-Resistance	R_{BST}	$I_{BST} = 10mA$, $V_{DD} = 5V$ internal design target		4.5		Ω
LX, BST Leakage Current		$V_{BST} = V_{LX} = 26V$, $\overline{SHDN} = AGND$, $T_A = +25^{\circ}C$		0.001	20	μA
INPUTS AND OUTPUTS						
Logic Input Threshold		\overline{SHDN} , \overline{STDBY} , \overline{SKIP} , OVP, rising edge hysteresis = 300mV/600mV (min/max)	1.30	1.65	2.00	V
Logic Input Current		\overline{SHDN} , \overline{STDBY} , $\overline{SKIP} = 0$ or V_{CC} , $T_A = +25^{\circ}C$	-1		+1	μA
Input Leakage Current		$CSH = 0$ or V_{CC} , $T_A = +25^{\circ}C$	-1		+1	μA
Input Bias Current		$CSL = 0$ or V_{CC}		55	100	μA

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

ELECTRICAL CHARACTERISTICS

($V_{IN} = 12V$, $V_{CC} = V_{DD} = V_{SHDN} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS	
PWM CONTROLLER						
Input Voltage Range	V_{IN}		3	26	V	
	V_{CC}, V_{DD}		4.5	5.5		
Output Voltage Accuracy	V_{CSL}	$V_{IN} = 4.5V$ to $26V$, $\overline{SKIP} = V_{CC}$	FB = AGND	1.485	1.520	V
			FB = V_{CC}	1.782	1.820	
			FB = Adj	0.990	1.020	
On-Time Accuracy (Note 2)	t_{ON}	$V_{IN} = 12V$, $V_{CSL} = 1.2V$	$R_{TON} = 96.75k\Omega$ (600kHz), 167ns nominal	-15	+15	%
			$R_{TON} = 200k\Omega$ (300kHz), 333ns nominal	-10	+10	
			$R_{TON} = 303.25k\Omega$ (200kHz), 500ns nominal	-15	+15	
Minimum Off-Time	$t_{OFF(MIN)}$	(Note 2)		350	ns	
Quiescent Supply Current (V_{CC})	I_{CC}	FB forced above 1.0V (PWM, VTT, and VTTR blocks); $\overline{STDBY} = V_{CC}$		4	mA	
		FB forced above 1.0V (ultra-skip and VTTR blocks); $\overline{STDBY} = AGND$		475	μA	
LINEAR REGULATOR (VTT)						
VTTI Input Voltage Range	V_{VTTI}		1.0	2.8	V	
VTTI Supply Current	I_{VTTI}	$V_{VTTI} = 2.5V$, $V_{REFIN} = 1.4V$		50	μA	
REFIN Range	V_{REFIN}		0.5	1.5	V	
REFIN Disable Threshold			$V_{CC} - 0.3$		V	
VTT Internal MOSFET		High-side on-resistance (source, $I_{VTT} = 0.1A$)		0.25	Ω	
		Low-side on-resistance (sink, $I_{VTT} = 0.1A$)		0.36		
VTT Load Regulation		$-50\mu A$ to $-1A \leq I_{VTT} \leq +50\mu A$ to $+1A$		17	mV/A	

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = 12V$, $V_{CC} = V_{DD} = V_{SHDN} = V_{REFIN} = 5V$, $V_{CSL} = 1.8V$, $\overline{STDBY} = \overline{SKIP} = AGND$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.)
(Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	MAX	UNITS	
REFERENCE BUFFER (VTTR)						
VTTR Output Accuracy (Adj)		REFIN to VTTR	$I_{VTT} = \pm 1mA$	-10	+10	mV
			$I_{VTT} = \pm 3mA$	-20	+20	
VTTR Output Accuracy (Preset)		$V_{CSL}/2$ to VTTR	$I_{VTT} = \pm 1mA$	-10	+10	mV
			$I_{VTT} = \pm 3mA$	-20	+20	
FAULT DETECTION (SMPS)						
PGOOD1 Output Low Voltage		$I_{SINK} = 3mA$		0.4	V	
FAULT DETECTION (VTT)						
PGOOD2 Output Low Voltage		$I_{SINK} = 3mA$		0.4	V	
FAULT DETECTION						
V_{CC} Undervoltage-Lockout Threshold	$V_{UVLO}(V_{CC})$	Rising edge, IC disabled below this level; hysteresis = 200mV	4.0	4.4	V	
CURRENT LIMIT						
Valley Current-Limit Threshold	V_{LIMIT}	$V_{CSH} - V_{CSL}$	15	25	mV	
SMPS GATE DRIVERS						
DH Gate Driver On-Resistance	R_{DH}	BST - LX forced to 5V		5	Ω	
DL Gate Driver On-Resistance	R_{DL}	DL high		5	Ω	
		DL low		3		
Dead Time	t_{DEAD}	DL rising	10		ns	
		DL falling	15			
INPUTS AND OUTPUTS						
Logic Input Threshold		\overline{SHDN} , \overline{STDBY} , \overline{SKIP} , OVP, rising edge hysteresis = 300mV/600mV (min/max)	1.3	2	V	

Note 1: Limits are 100% production tested at $T_A = +25^{\circ}C$. Maximum and minimum limits over temperature are guaranteed by design and characterization.

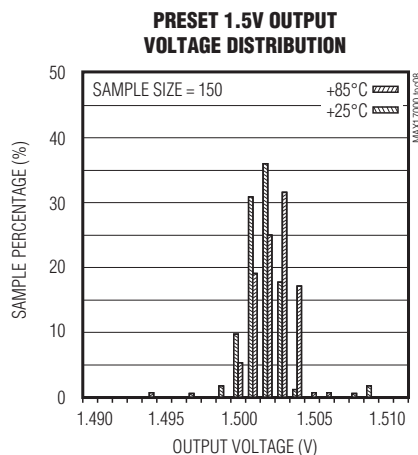
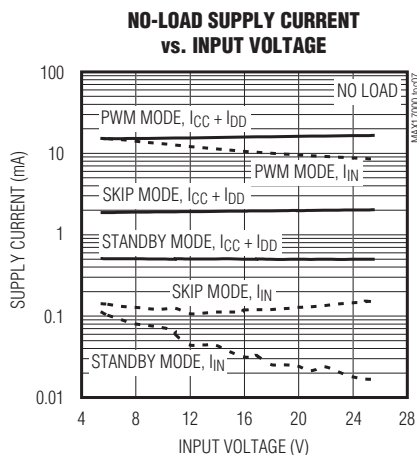
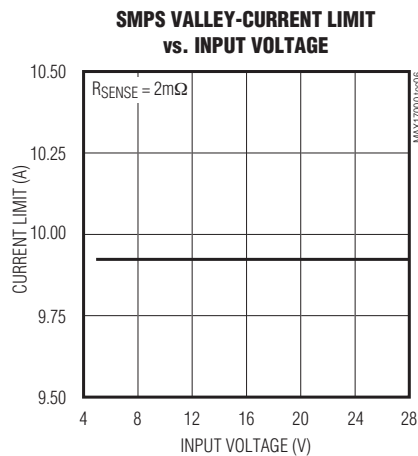
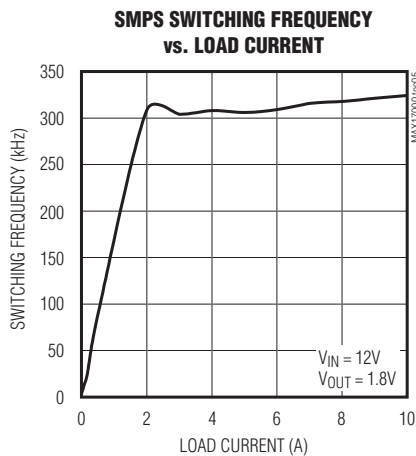
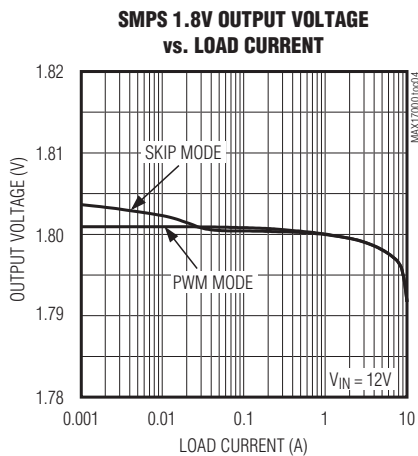
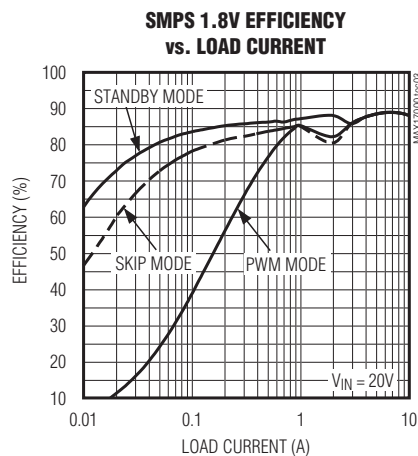
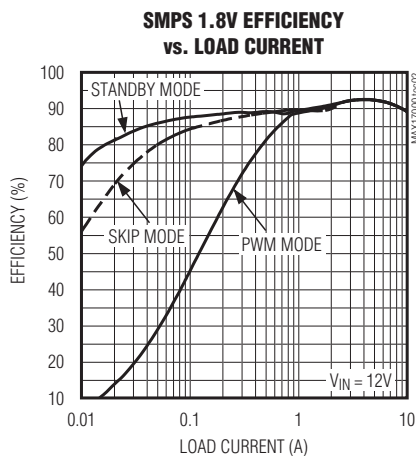
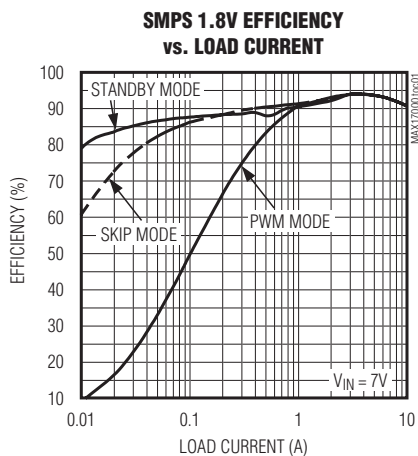
Note 2: On-time and off-time specifications are measured from 50% point at the DH pin with LX = GND, $V_{BST} = 5V$, and a 250pF capacitor connected from DH to LX. Actual in-circuit times might differ due to MOSFET switching speeds.

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

標準動作特性

(MAX17000 Circuit of Figure 1, $V_{IN} = 12V$, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = GND$, $T_A = +25^\circ C$, unless otherwise noted.)



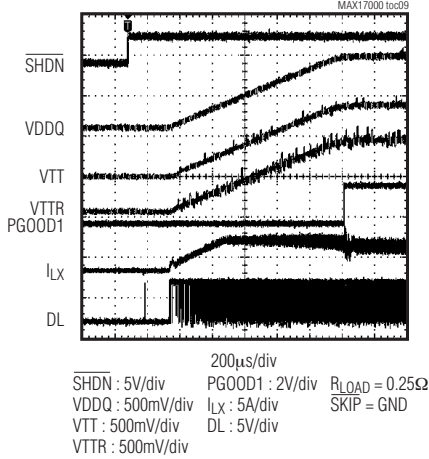
完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

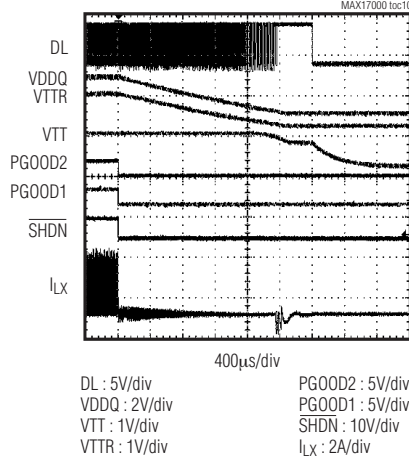
標準動作特性(続き)

(MAX17000 Circuit of Figure 1, $V_{IN} = 12V$, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = GND$, $T_A = +25^\circ C$, unless otherwise noted.)

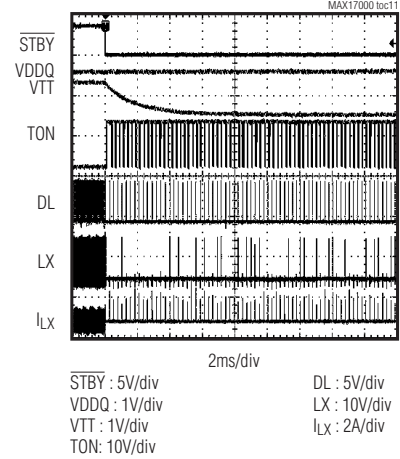
**STARTUP WAVEFORM
(HEAVY LOAD)**



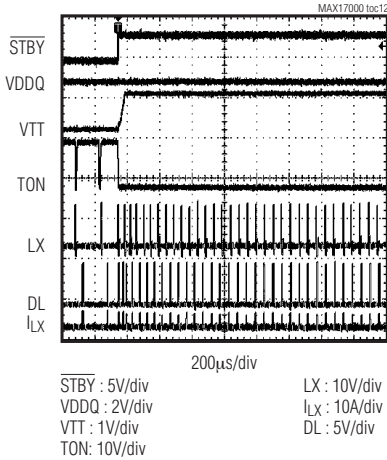
**SHUTDOWN WAVEFORM
(DISCHARGE MODE ENABLED)**



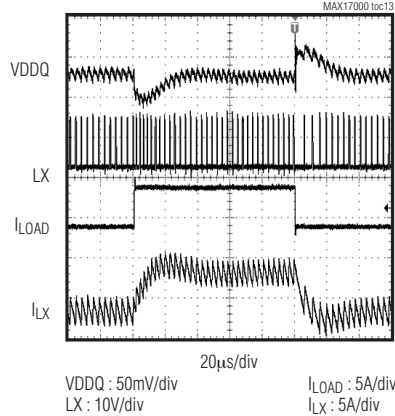
STANDBY TRANSITION WAVEFORM



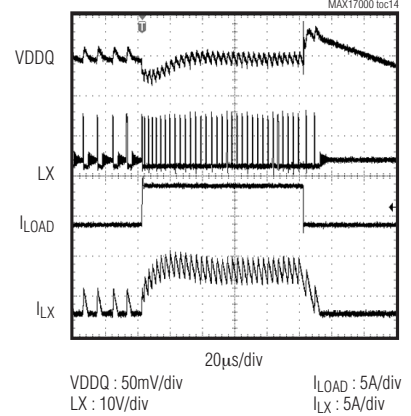
STANDBY TRANSITION WAVEFORM



**SMPS LOAD-TRANSIENT RESPONSE
(SKIP MODE)**



**SMPS LOAD-TRANSIENT RESPONSE
(SKIP MODE)**

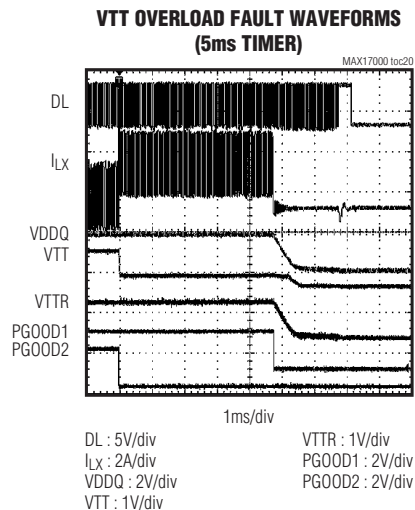
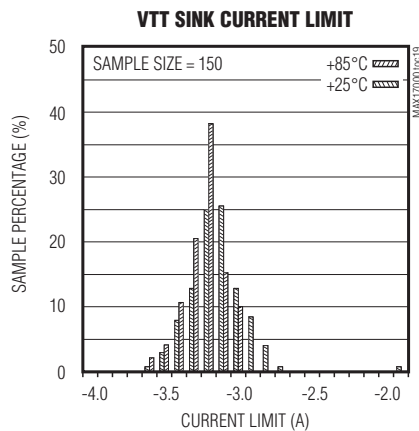
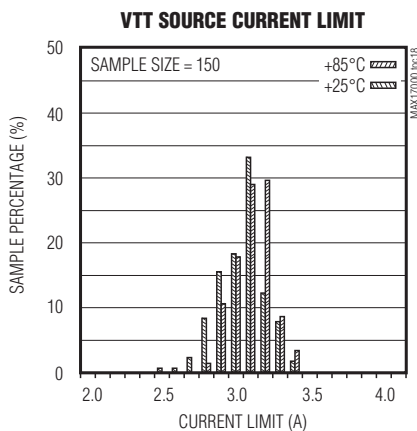
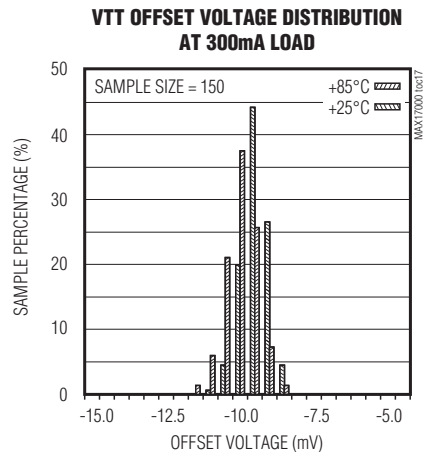
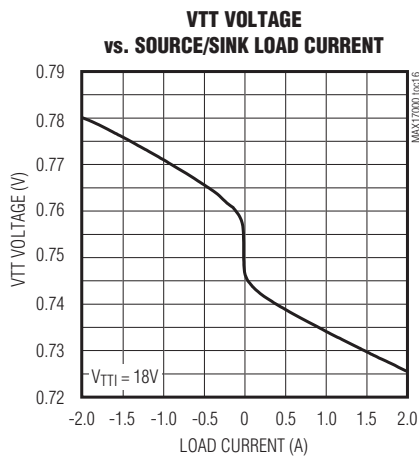
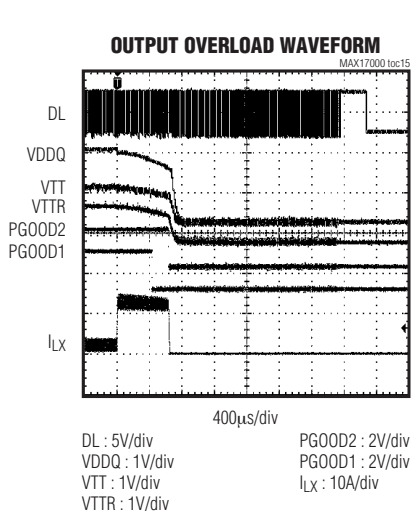


完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

標準動作特性(続き)

(MAX17000 Circuit of Figure 1, $V_{IN} = 12V$, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = GND$, $T_A = +25^\circ C$, unless otherwise noted.)



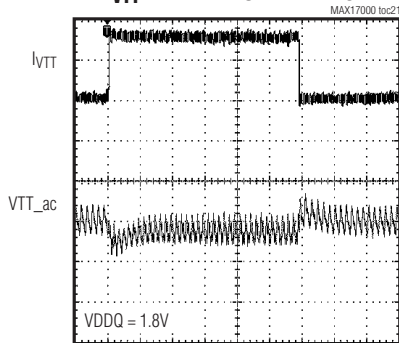
完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

標準動作特性(続き)

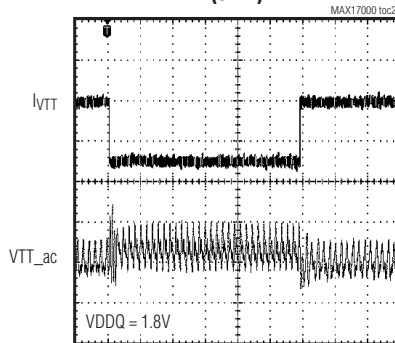
(MAX17000 Circuit of Figure 1, $V_{IN} = 12V$, $V_{DD} = V_{CC} = 5V$, $\overline{SKIP} = GND$, $T_A = +25^\circ C$, unless otherwise noted.)

VTT LOAD-TRANSIENT RESPONSE (SOURCE)
 I_{VTT} BETWEEN 10mA AND 1.5A



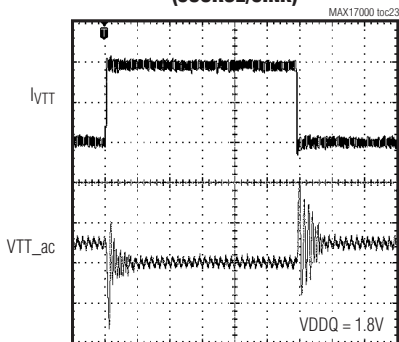
I_{VTT} : 1A/div
VTT: 20mV/div

VTT LOAD-TRANSIENT RESPONSE (SINK)



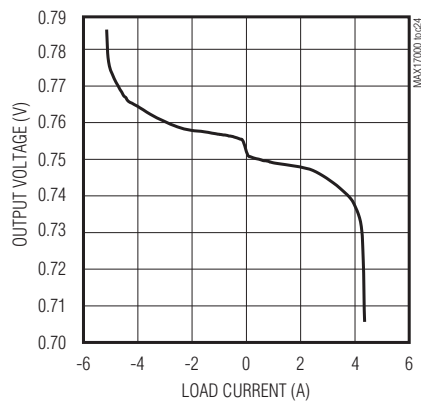
I_{VTT} : 1A/div
VTT: 20mV/div

VTT LOAD-TRANSIENT RESPONSE (SOURCE/SINK)



I_{VTT} : 1A/div
VTT: 20mV/div

VTRR OUTPUT VOLTAGE vs. LOAD CURRENT



完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

端子説明

端子	名称	機能
1	OVP	OVPモード制御。この入力で、SMPSの過電圧(OV)保護機能と出力の放電モードをイネーブルするかディセーブルするかを選びます。イネーブルされると、SMPSの過電圧保護機能が使用可能になります。次の所望の機能に対しては、OVPを下記の電圧レベルに接続してください。 ハイ(> 2.4V) = SMPSの過電圧保護およびSMPSとVTTの放電FETをイネーブル。 ロー(AGND) = SMPSの過電圧保護およびSMPSとVTTの放電FETをディセーブル。
2	PGOOD1	オープンドレインのパワーグッド出力。ソフトスタートとシャットダウンの期間にSMPSの出力電圧が正常なレギュレーション点を15% (typ)以上超えた場合、PGOOD1はローになります。ソフトスタート回路が終了したあとSMPS出力がレギュレーションされていると、PGOOD1はハイインピーダンスになります。
3	PGOOD2	オープンドレインのパワーグッド出力。スタンバイ、シャットダウン、およびソフトスタートの期間にVTTの出力電圧が正常なレギュレーション点を10% (typ)以上超えた場合、PGOOD2はローになります。SMPSのソフトスタート回路が終了したあとVTT出力がレギュレーションされていると、PGOOD2はハイインピーダンスになります。
4	STDBY	スタンバイ制御入力。SHDNがハイでSTDBYがローの場合、MAX17000は低自己消費電流モードに入り、SMPSをスキップ動作にしてVTT出力をオフ(ハイインピーダンス)にします。このモードは、コンピュータのスタンバイ動作中のコンバータの節電に役立ちます。STDBYがハイの場合は通常のSMPS動作が再開し、VTT出力がイネーブルされます。
5	VTS	終端電源出力用の検出端子。通常はVTT端子に接続し、 $V_{CSL}/2$ またはREFIN電圧が正確にレギュレーションされるようにします。
6	VTR	終端リファレンスバッファ出力。REFINが V_{CC} に接続されると、VTRは $V_{CSL}/2$ になります。0.5V~1.5Vの電圧がREFINに設定されると、VTRは V_{REFIN} になります。0.33 μ FのセラミックコンデンサでVTRをAGNDにデカップリングしてください。
7	PGND2	VTT用の電源グランド。外部でPGND2をエクスポーズドパッドの裏側に接続してください。
8	VTT	終端電源出力。VTTをVTSに接続すると、VTT電圧がVTSのレギュレーションの設定値にレギュレーションされます。
9	VTTI	終端電源入力。VTTIはVTTリニアレギュレータの入力電源です。通常、DDRアプリケーション用にはSMPSレギュレータの出力に接続します。
10	REFIN	外部リファレンス入力。REFINは、MAX17000のフィードバックレギュレーション電圧($V_{TR} = V_{TS} = V_{REFIN}$)を設定します。内部の $V_{CSL}/2$ の分圧器を使用するには、REFINを V_{CC} に接続してください。VTT、VTS、およびVTRを可変出力に設定する場合は、0.5V~1.5Vの電圧入力を接続してください。
11	FB	SMPS出力用のフィードバック入力。固定の+1.8V出力にするには V_{CC} に接続し、固定の+1.5Vの出力にするにはAGNDに接続してください。可変出力(1.0V~2.7V)の場合は、FBを出力電圧に接続した抵抗分圧器に接続してください。FBは+1.0Vにレギュレーションします。
12	CSL	PWM出力電流検出の負極性入力およびVTR用の電源入力。CSLを出力電流検出抵抗の負側、または出力インダクタのDC抵抗を電流検出に利用する場合は、フィルタコンデンサの負側に接続してください。OVPがイネーブル状態で V_{CC} のUVLOが発生した場合、CSLは内部の16 Ω の放電MOSFET用の経路にもなります。
13	CSH	出力電流検出用のPWMの正極性入力。CSHを出力電流検出抵抗の正側、または出力インダクタのDC抵抗を電流検出に利用する場合はフィルタコンデンサの正側に接続してください。

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

端子説明(続き)

端子	名称	機能
14	TON	スイッチング周波数の設定入力。入力電源とこの端子間の外部抵抗によって、次式に従って位相あたりのスイッチング周波数を設定します。 $T_{SW} = C_{TON} \times (R_{TON} + 6.5k\Omega)$ ここで、 $C_{TON} = 16.26pF$ です。 TONは、シャットダウン時はハイインピーダンスです。
15	DH	ハイサイドのゲートドライバ出力。LXとBST間で切り替わります。シャットダウンまたはUVLOの場合、DHはローです。
16	LX	インダクタ接続。図1に示すように、LXをインダクタのスイッチング側に接続してください。
17	BST	ブーストフライングコンデンサ接続。図1に示すように、外部から0.1 μF /6Vのコンデンサを接続してください。MAX17000はブーストスイッチを内蔵しています。
18	DL	同期整流器のゲートドライバ出力。DLは V_{DD} からPGND1まで変化します。
19	V_{DD}	DLゲートドライバ用の電源電圧入力および3.3Vリファレンス/アナログ電源。システム電源電圧(+4.5V~+5.5V)に接続してください。1 μF 以上のセラミックコンデンサで V_{DD} を電源グラウンドにバイパスしてください。
20	PGND1	電源グラウンド。ローサイドMOSFETのゲートドライバ用のグラウンド接続。
21	AGND	アナロググラウンド。エクスポートパッドの裏側をAGNDに接続してください。
22	\overline{SKIP}	パルススキップ制御入力。この入力、通常の定常状態とダイナミックな出力電圧の遷移中の動作モードを決定します。 ハイ(> 2.4V) = 強制PWM動作 ロー(AGND) = パルススキップモード
23	V_{CC}	コントローラの電源電圧。4.5V~5.5Vの電源に接続してください。1 μF 以上のセラミックコンデンサで V_{CC} をAGNDにバイパスしてください。
24	\overline{SHDN}	シャットダウン制御入力。通常の動作には V_{CC} に接続してください。 \overline{SHDN} がローに強制されると、MAX17000は出力電圧を緩やかにグラウンドに低下させます。内部の目標電圧が25mVに達すると、コントローラはDLをローに強制して、低電流(1 μA)のシャットダウン状態に入ります。 OVPによって放電モードがイネーブルされると(OVP = ハイ)、シャットダウンでCSLおよびVTTに内蔵の16 Ω の放電MOSFETがイネーブルされます。放電モードがOVPによってディセーブルされると(OVP = ロー)、シャットダウンでLX、VTT、およびVTTRはハイインピーダンスになります。 \overline{SHDN} の立上がりエッジによって、フォルト過電圧(OV)保護ラッチがクリアされます。
—	EP	エクスポートパッド。エクスポートパッドの裏面をAGNDに接続してください。

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

標準アプリケーション回路

MAX17000の標準アプリケーション回路(図1)は、ノートパソコンでDDR、DDR2、またはDDR3用のVDDQ、

VTT、およびVTTRレイルを生成します。部品選択には表1を参照してください。表2は部品メーカーのリストです。表3は動作モードの真理値表です。

表1. 標準アプリケーション用の部品選択

COMPONENT	V _{OUT} = 1.5V TO 1.8V AT 10A V _{IN} = 7V TO 20V (300kHz)	V _{OUT} = 1.5V TO 1.8V AT 6A V _{IN} = 7V TO 16V (500kHz)
	Input Capacitor	(2x) 10μF, 25V Taiyo Yuden TMK432BJ106KM
Output Capacitor	(2x) 330μF, 2.5V, 12mΩ (C2 case) SANYO 2R5TPE330MCC2	(2x) 220μF, 2.5V, 21mΩ (B2 case) SANYO 2R5TPE220MLB
Inductor	1.4μH, 12A, 3.4mΩ (typ) Sumida CDEP105(L)NP-1R4	1.4μH, 12A, 3.4mΩ (typ) Sumida CDEP105(L)NP-1R4
Current-Sensing Resistor	2mΩ, 0.5W (2010) Vishay WSL20102L000FEA	3mΩ, 0.5W (2010) Vishay WSL20103L000FEA
MOSFETs	30V, 20A n-channel MOSFET (high side) Fairchild FDMS8690; 30V, 40A n-channel MOSFET (low side) Fairchild FDMS8660S	30V 20A n-channel MOSFET (high side) Fairchild FDMS8690; 30V 40A n-channel MOSFET (low side) Fairchild FDMS8660S

表2. 部品メーカー

SUPPLIER	PHONE	WEBSITE
INDUCTORS		
Dale (Vishay)	402-563-6866 (USA)	www.vishay.com
NEC/TOKIN America, Inc.	510-324-4110 (USA)	www.nec-tokinamerica.com
Panasonic Corp.	65-231-3226 (Singapore), 408-749-9714 (USA)	www.panasonic.com
Sumida Corp.	408-982-9660 (USA)	www.sumida.com
TOKO America, Inc.	858-675-8013 (USA)	www.tokoam.com
CAPACITORS		
AVX Corp.	843-448-9411 (USA)	www.avxcorp.com
KEMET Corp.	408-986-0424 (USA)	www.kemet.com
Panasonic Corp.	65-231-3226 (Singapore), 408-749-9714 (USA)	www.panasonic.com
SANYO Electric Co., Ltd.	81-72-870-6310 (Japan), 619-661-6835 (USA)	www.sanyodevice.com
Taiyo Yuden	03-3667-3408 (Japan), 408-573-4150 (USA)	www.t-yuden.com
TDK Corp.	847-803-6100 (USA), 81-3-5201-7241 (Japan)	www.component.tdk.com
SENSING RESISTORS		
Vishay	402-563-6866 (USA)	www.vishay.com
MOSFET		
Fairchild Semiconductor	800-341-0392 (USA)	www.fairchildsemi.com
DIODES		
Central Semiconductor Corp.	631-435-1110	www.centalsemi.com
Nihon Inter Electronics Corp.	81-3-3343-84-3411 (Japan)	www.niec.co.jp

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

表3. 動作モードの真理値表

	SHDN	STDBY	SKIP	OPERATION
1	L → H	L → H	X	SMPS output ramps up in skip mode with a 1.4ms (typ) ramp time. PGOOD1 is held low until the SMPS output is in regulation. VTT and VTTR ramp up to the final voltage based on $V_{CSL}/2$ or V_{REFIN} . PGOOD2 is held low until VTT is in regulation.
2	L → H	L	X	SMPS output ramps up in skip mode with a 1.4ms ramp time. PGOOD1 is held low until the SMPS output is in regulation. Once CSL or FB is in regulation, the PWM block turns off and enters standby mode. VTT remains off throughout since STDBY is low. PGOOD2 stays low throughout. The VTT discharge FET is enabled if OVP is high, but disabled if OVP is low. VTTR ramps up to the final voltage based on $V_{CSL}/2$ or V_{REFIN} .
3	H	L → H	X	Ultra-skip and standby modes are exited and the full current capability of the MAX17000 is available. VTT ramps up after the internal SMPS block is ready. VTT ramps to the final voltage based on $V_{CSL}/2$ or V_{REFIN} . PGOOD2 goes high when VTT is in regulation.
4	H	H	H	SMPS output is in forced-PWM mode. VTT and VTTR are enabled. PGOOD1 is high when the SMPS output is in regulation. PGOOD2 is high when VTT is in regulation.
5	H	H	L	SMPS output is in normal skip mode. VTT and VTTR are enabled. PGOOD1 is high when the SMPS output is in regulation. PGOOD2 is high when VTT is in regulation.
6	H	L	X	SMPS output is in ultra-skip mode. VTT is off and is high impedance. PGOOD2 is forced low. VTTR is active and regulates to $V_{CSL}/2$ or V_{REFIN} .
7	H → L	H	X	Ultra-skip or skip mode is exited as the MAX17000 ramps the output down to zero. VTTR tracks $V_{CSL}/2$ or V_{REFIN} during shutdown. After the SMPS output reaches 25mV, DL goes low.
8	H → L	L	X	Ultra-skip or skip mode is exited as the MAX17000 ramps the output down to zero. VTTR tracks $V_{CSL}/2$ or V_{REFIN} during shutdown. After the SMPS output reaches 25mV, DL goes low. VTT is not enabled throughout soft-shutdown.
9	L	X	X	DL low. Internal 16Ω discharge MOSFETs on CSL and VTT enabled if OVP is high, but disabled if OVP is low.

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

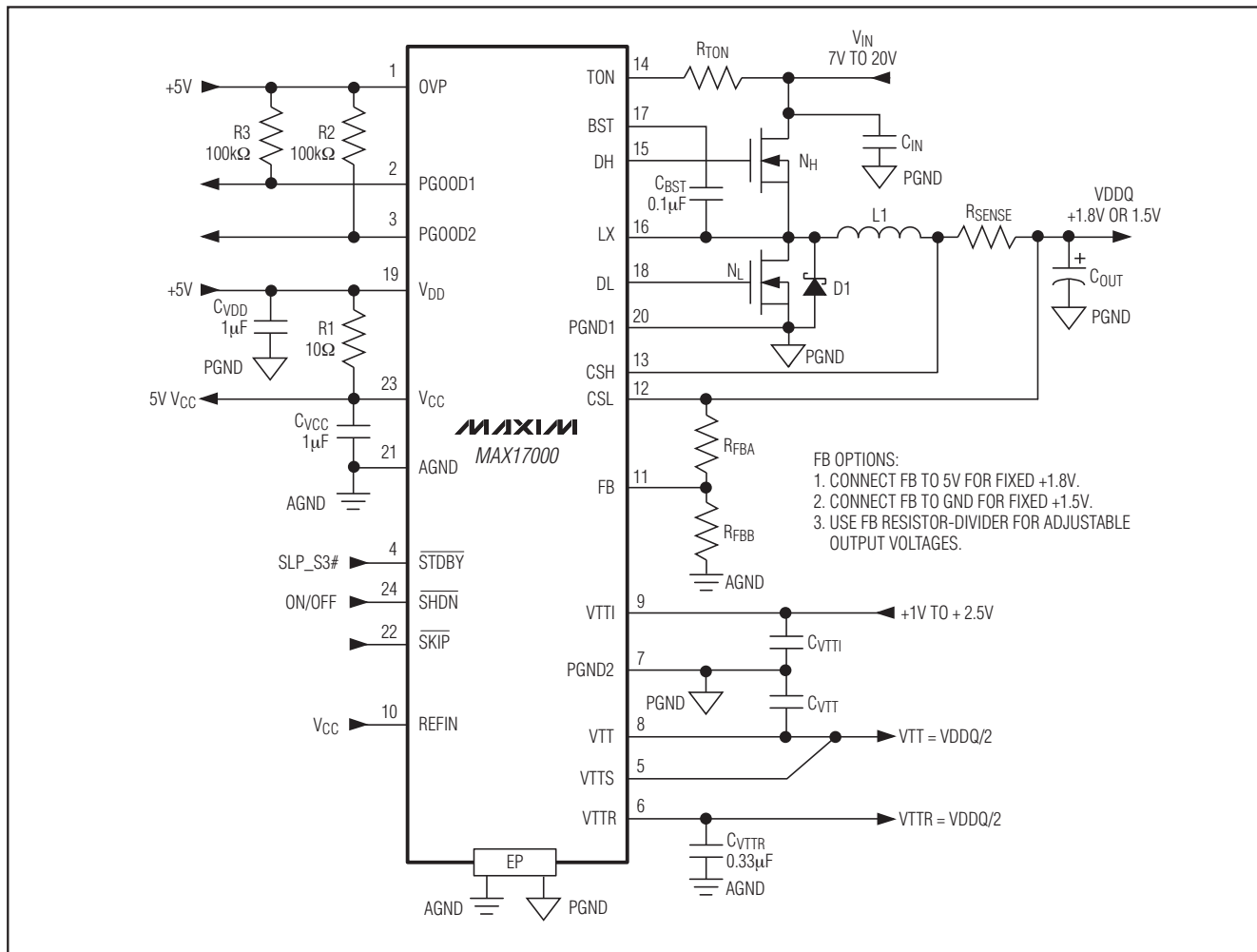


図1. MAX17000の標準アプリケーション回路

詳細

MAX17000の完全なDDRソリューションは、ステップダウンコントローラ、ソース/シンクLDOレギュレータおよびリファレンスバッファで構成されます。MAX17000のマキシム独自のQuick-PWMパルス幅モジュレータは、広い入力電圧範囲でほぼ一定の動作周波数およびインダクタの動作点を維持しながら、高速の負荷ステップを取り扱うように特に設計されています。Quick-PWM技術は、固定周波数電流モードPWMの低性能の負荷過渡タイミング問題を回避するとともに、従来の定オンタイムおよび定オフタイムPWM方式において大きく変動するスイッチング周波数に起因する問題も防止します。図1はMAX17000の標準アプリケーション回路で、図2はMAX17000のファンクション図です。

MAX17000は、メモリ終端レール用に±2Aのソース/シンクLDOレギュレータを持っています。このソース/シンクレギュレータは、ソースあるいはシンクする不感帯を持っており、メモリ終端アプリケーションで存在する高速充電する短期間の負荷バーストに最適です。負荷過渡応答では10μF~20μFのより大きな静電容量値を必要としますが、この機能は、また、所要のVTT出力容量を1μFまで減少させます。

リファレンスバッファは±3mAをソースあるいはシンクし、メモリコントローラとメモリデバイス用のリファレンスレールを生成します。

完全DDR2およびDDR3メモリの パワーマネジメントソリューション

MAX17000

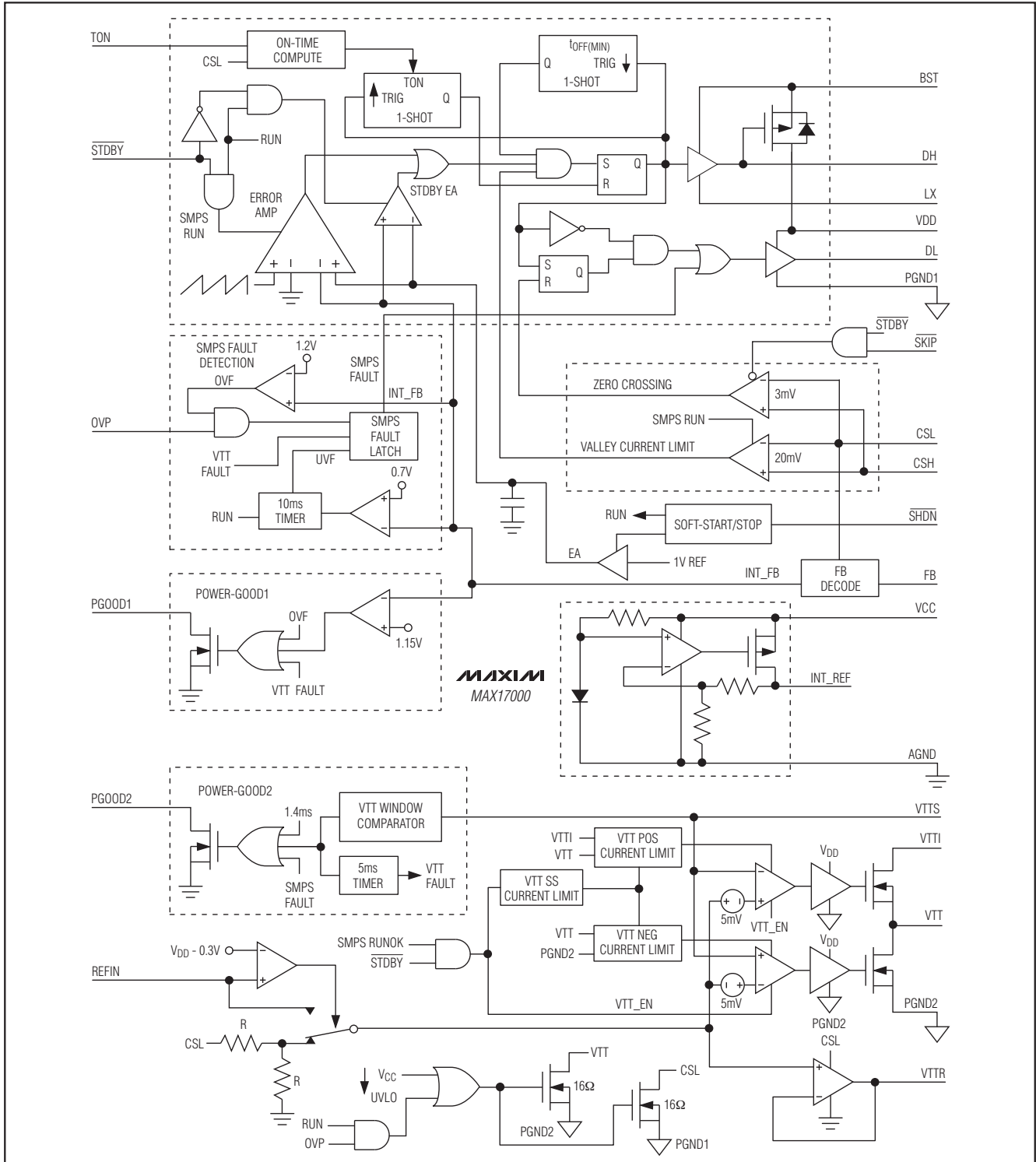


図2. MAX17000のファンクションダイアグラム

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

+5Vバイアス電源(V_{DD} 、 V_{CC})

MAX17000は、バッテリー以外に外部の5Vバイアス電源を必要とします。通常、この5Vのバイアス電源には、ノートPCの95%効率の5Vのシステム電源を使用可能です。このバイアス電源をIC外部にしておくことで効率を改善し、PWM回路とゲートドライバに供給するために必要な5Vのリニアレギュレータに関わるコストが削減されます。スタンドアロン機能が必要な場合は、この5Vの電源は、MAX1615などの外部リニアレギュレータで生成することができます。

5Vのバイアス電源は、PWMコントローラおよび内部のゲートドライブ電源に給電するため、最大供給電流は、次のようになります。

$$I_{BIAS} = I_Q + f_{SW} Q_G(\text{MOSFET}) = 2\text{mA} \sim 20\text{mA} (\text{typ})$$

ここで、 I_Q はPWM制御回路用の電流で、 f_{SW} はスイッチング周波数、そして、 $Q_G(\text{MOSFET})$ は、内部のMOSFETの $V_{GS} = 5\text{V}$ における総ゲート電荷仕様限度です。

入力フィードフォワードを備えた 自走定オンタイムのPWMコントローラ

Quick-PWM制御方式は、擬似固定周波数、定オンタイム、および電圧フィードフォワードを備えた電流モードレギュレータです。この方式は、電流検出抵抗の働きをする出力フィルタコンデンサのESRを利用するため、出力リップル電圧は、PWMランプ信号として提供することができます。通常のQuick-PWMに加えて、MAX17000はDCR方式あるいは検出抵抗によってインダクタ電流の検出も行います。したがって、安定性に対しては出力コンデンサのESRにほとんど依存しません。制御アルゴリズムは単純で、ハイサイドスイッチのオンタイムは、単にパルス幅が入力電圧に逆比例し出力電圧に正比例するワンショットによって決定されます。もう1つのワンショットによって、最小のオフタイム(250ns typ)が設定されます。エラーコンパレータがロー、ローサイドスイッチ電流が谷電流制限スレッショルド以下になり、かつ最小オフタイムのワンショットがタイムアウトした場合に、オンタイムのワンショットがトリガされます。

オンタイムワンショット

PWMコアの最重要部は、ハイサイドスイッチのオンタイムを設定するワンショットです。この高速、低ジッタ、および可変ワンショットは、バッテリーと出力電圧に応じてオンタイムを変化させる回路を含んでいます。ハイサイドスイッチのオンタイムは V_{IN} 入力力で測定されるバッテリー電圧に逆比例し、かつ出力電圧に比例します。

入力電源とTON端子間の外部抵抗によって、位相あたりのスイッチング周波数が次式に従って設定されます。

$$t_{ON} = \frac{C_{TON} \times (R_{TON} + 6.5\text{k}\Omega) \times (V_{CSL} + 0.075\text{V})}{V_{IN}}$$

$$f_{SW} = \frac{1}{C_{TON} \times (R_{TON} + 6.5\text{k}\Omega)}$$

ここで、 $C_{TON} = 16.26\text{pF}$ で、 0.075V は、ローサイドMOSFETスイッチ両端間に予測される電圧降下に対応する近似値です。このアルゴリズムでは、固定周波数のクロックジェネレータが存在しないにもかかわらず、ほぼ一定のスイッチング周波数になります。

デッドタイム効果がもはや関係しない、臨界導通点より大きい負荷に対しては、実際のスイッチング周波数は次式のようにになります。

$$f_{SW} = \frac{V_{OUT} + V_{DIS}}{t_{ON} \times (V_{IN} - V_{CHG} + V_{DIS})}$$

ここで、 V_{DIS} は、同期整流器、インダクタ、およびPCBの抵抗成分などのインダクタの放電経路の寄生電圧降下の合計です。 V_{CHG} は、ハイサイドスイッチ、インダクタ、およびPCBの抵抗成分などの充電経路の寄生電圧降下の合計、また、 t_{ON} はMAX17000が計算するオンタイムです。

自動パルススキップモード (SKIP = AGND)

スキップモード(SKIP = AGND)では、PFMへの固有の自動切り替えが軽負荷で起こります。この切り替えは、インダクタ電流のゼロクロスでのローサイドスイッチのオンタイムを打ち切るコンパレータに影響されます。

DC出力精度の仕様は、エラーコンパレータのスレッショルドを基準にします。インダクタが連続して導通している場合、MAX17000は出力リップルの谷をレギュレーションするため、実際のDC出力電圧は、出力リップル電圧の50%だけこのトリップレベルよりも高くなります。不連続導通(SKIP = AGNDおよび $I_{OUT} < I_{LOAD}(\text{SKIP})$)では、出力電圧は、スロー補償によりおよそ1.5%だけエラーコンパレータスレッショルドより高いDCレギュレーションレベルになります。しかし、内蔵の積分器がその大部分を補正するため、ごくわずかな負荷レギュレーションにしかありません。

STDBY = AGNDはSKIP端子の設定に優先し、MAX17000を強制的にスタンバイにします。

完全DDR2およびDDR3メモリの パワーマネジメントソリューション

MAX17000はSKIPとSTDBYの設定に関係なく、起動の間常にスキップモードを使用します。SKIPとSTDBYによる制御は、ソフトスタートが終了したあとに行われます。図3を参照してください。

強制PWMモード($\overline{\text{SKIP}} = V_{CC}$)

低ノイズの強制PWMモード($\overline{\text{SKIP}} = V_{CC}$)ではゼロクロスコンパレータをディセーブルにして、ローサイドスイッチのオン時間を制御します。このモードでは、ローサイドゲートドライブの波形が常にハイサイドゲートドライブ波形の相補形となるように強制されるため、インダクタ電流が軽負荷で反転すると共に、DHが V_{OUT}/V_{IN} のデューティファクタを維持します。強制PWMモードの利点は、ほぼ一定のスイッチング周波数を保つことです。しかし、強制PWM動作は、スイッチング周波数に従って無負荷時の5Vバイアス電流が2mA~20mAになってしまうという弱点があります。

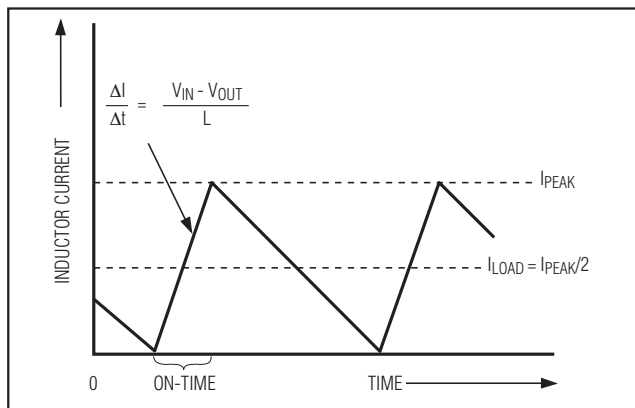


図3. パルススキップ/不連続のクロスオーバーポイント

STDBY = AGNDはSKIP端子の設定に優先し、MAX17000を強制的にスタンバイにします。

SKIPとSTDBYのレベル状態に関係なく、MAX17000は、シャットダウンの間は強制PWMモードに切り替わります。

スタンバイモード($\overline{\text{STDBY}}$)

MAX17000のスタンバイモードはコンピュータシステムのスタンバイ動作に対応しており、MAX17000のシャットダウン状態のことではない点に留意する必要があります。

スタンバイモードがイネーブルされると($\overline{\text{STDBY}} = \text{AGND}$)、MAX17000は、低電力の谷コンパレータがオンタイムパルスが発生することを利用して、内部の高速PWMブロックから低自己消費電流モードに切り替えます。MAX17000が不連続モードのみで動作するようにゼロクロスコンパレータがイネーブルされ、最大の利用可能な出力電流を1/6に減らします。このシステムは、そのような状態ではどのような高速負荷変動も「起こらない」ことを前提にしています。スタンバイの間、VTTはディセーブル(ハイインピーダンス)されますが、VTRRは動作状態のままになります。スタンバイモードがイネーブルされると、SKIPは無視されます。

スタンバイモードがディセーブルされると($\overline{\text{STDBY}} = V_{CC}$)、MAX17000は再度高速の内蔵PWMブロックをイネーブルします。内部のSMPSブロックが稼働可能になるとVTTブロックはイネーブルされ、VTT出力コンデンサが充電されます。VTTのソフトスタート電流制限は、160 μs (typ)でゼロからその最大電流制限まで直線的に増加し、入力VTTIの突入電流を抑えます。図4を参照してください。

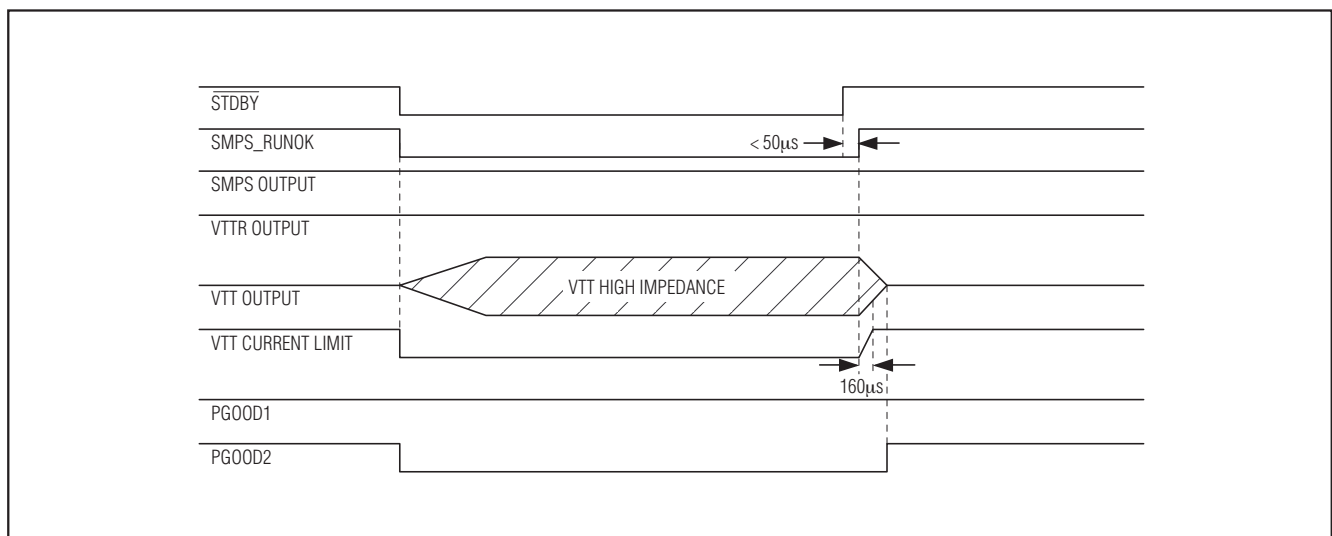


図4. MAX17000のスタンバイモードのタイミング

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

谷電流制限保護

MAX17000は、すべてのマキシムのQuick-PWMコントローラで使用されるのと同じ谷電流制限保護を採用しています。電流が谷電流制限スレッショルドを超えると、PWMコントローラは新しいサイクルの開始を許可されません。実際のピークの電流は、インダクタのリプル電流に等しい量だけ谷電流制限スレッショルドよりも大きくなります。したがって、正確な電流制限特性および最大負荷能力は、インダクタ値とバッテリー電圧の関数となります。低電圧保護回路と組み合わせると、この電流制限方法はほとんどすべての条件下で有効になります。

強制PWMモードでは、MAX17000は、 V_{OUT} が電流をシンクしているときの過剰なインダクタの逆電流を防止する負電流制限も実現します。負の電流制限スレッショルドは、正の電流制限値のおよそ115%に設定されます。図5を参照してください。

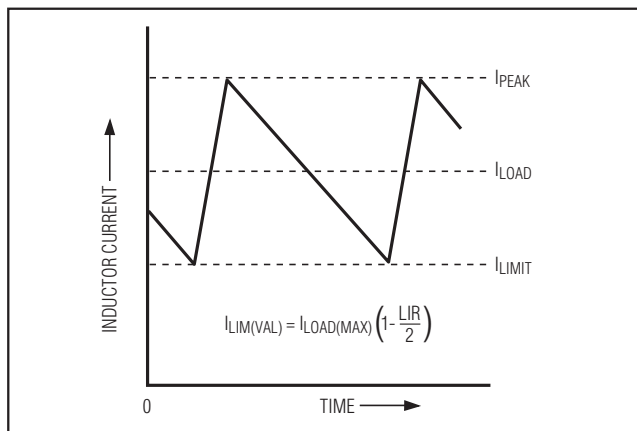


図5. 谷間電流制限のスレッショルド点

パワーグッド出力 (PGOOD1とPGOOD2)

MAX17000は2つのパワーグッド出力を備えています。PGOOD1は、連続的にSMPS出力を監視するウインドウコンパレータ用のオープンドレイン出力です。PGOOD1は、シャットダウン時、ソフトスタート期間、およびソフトシャットダウン時にアクティブローに保持されます。ソフトスタートが終了したあと、SMPS出力電圧がレギュレーション電圧の115% (typ)~85% (typ)にある限り、PGOOD1はハイインピーダンスになります。SMPS出力電圧が115%/85%のレギュレーションウインドウ外になると、MAX17000はPGOOD1をローに強制します。 \overline{SHDN} をオン/オフするか、または V_{CC} 電源を1V以下にサイクルしてフォルトラッチがクリアされるまで、SMPS出力上のすべてのフォルト条件は、PGOOD1とPGOOD2をローに強制してラッチオフします。OVPの状態(OVPがイネーブルまたはディセーブルされている)とは無関係に、OVP事象の検出は即座にPGOOD1をローに強制します。

PGOOD2は、連続的にVTT出力を監視するウインドウコンパレータに対するオープンドレイン出力です。PGOOD2は、スタンバイ、シャットダウン、およびソフトスタートの間、強制的にローに保持されます。VTTの出力電圧がレギュレーション電圧の±10%以内にある限り、PGOOD2はハイインピーダンスになります。VTT出力が±10%のスレッショルドを超えると、MAX17000はPGOOD2をローに強制します。PGOOD2が5ms (typ)の間、ローのままであれば、MAX17000はソフトシャットダウンシーケンスでラッチオフします。

ロジックレベル出力電圧の場合は、PGOOD1およびPGOOD2と V_{DD} 間に外付けの100kΩのプルアップ抵抗を接続してください。

PORとUVLO

V_{CC} がおよそ2Vを超えて上昇するとパワーオンリセット(POR)が発生し、フォルトラッチとソフトスタート回路をリセットして、パワーアップのためにコントローラの準備をします。OVPがイネーブルされていると、PORの立ち上がりエッジがCSLとVTT上の16Ωの放電MOSFETをオンにします。OVPがディセーブルされていると、CSLとVTT上の内部の16Ω放電MOSFETもオフのままです。

V_{CC} が4.1V (typ)に達するまで、 V_{CC} の低電圧ロックアウト(UVLO)回路はスイッチングを禁止します。 V_{CC} が4.1V以上に上昇すると、コントローラはPWMコントローラをアクティブにして、ソフトスタートを初期化します。 V_{CC} がUVLOスレッショルド(立下がりエッジ)以下に低下すると、コントローラは停止してDLはローに強制され、OVPがイネーブルされると、CSLとVTT出力上の内部の16Ω放電MOSFETがイネーブルされます。

ソフトスタートとソフトシャットダウン

MAX17000のPWMブロック用のソフトスタートおよびソフトシャットダウンは、電圧をベースとしています。 \overline{SHDN} をハイにするとソフトスタートが開始されます。ソフトスタートの期間、PWM出力は1.4msで0Vから最終設定電圧まで緩やかに上昇します。このことにより突入電流を減らして、予測できる傾斜上昇時間を電源のシーケンシング用に提供します。 \overline{SKIP} と \overline{STDBY} の設定に関係なく、MAX17000は起動の間にも常にスキップモードを使用します。 \overline{SKIP} と \overline{STDBY} の制御は、ソフトスタートが完了したあとに有効になります。

MAX17000のVTT LDOレギュレータは、電流制限されたソフトスタート機能を使用します。VTTブロックがイネーブルされると、内部のソースとシンク電流制限は、160μsでゼロからフルスケールの制限値まで直線的に増加します。VTT出力がレギュレーションされるかまたは160μs後のいずれか早い時点で、最大幅の電流制限が利用できるようになります。VTTリファレンスバッファには、どのようなソフトスタート制御もありません。

完全DDR2およびDDR3メモリの パワーマネジメントソリューション

MAX17000

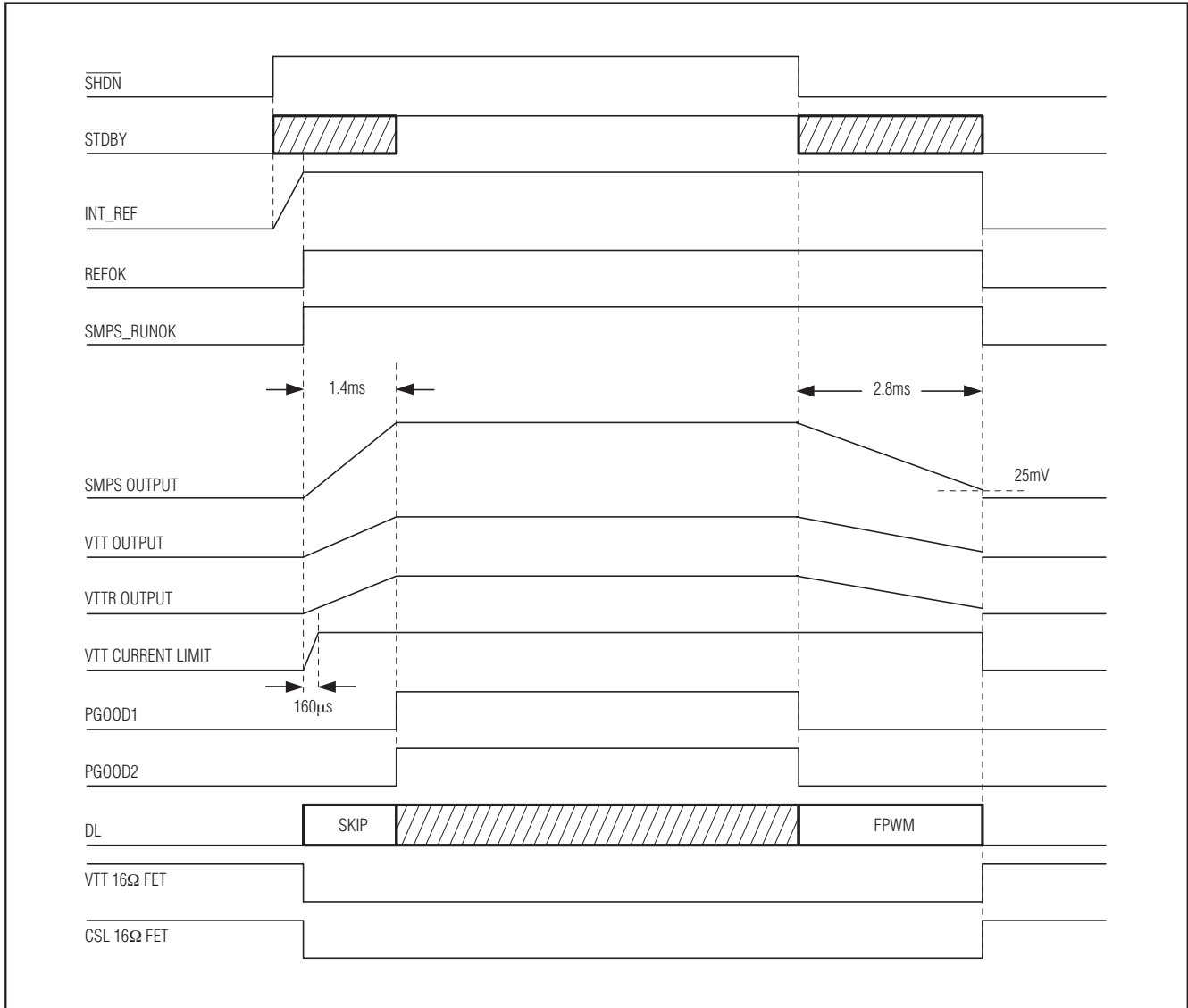


図6. OVPがイネーブルの時のMAX17000のスタートアップ/シャットダウンタイミング

シャットダウンはSHDNがローになったあと、出力低電圧フォルトが発生するか、あるいは熱フォルトが発生した場合に開始されます。SMPSのフォルト(低電圧(UV)フォルトが200 μ s (typ)を超える)、または5ms (typ)以上持続するVTT上の出力フォルトは、IC全体のシャットダウンを起動します。ソフトシャットダウンの間、出力は2.8msで0Vまで漸減し、出力に負電圧を引き起こすことがある負のインダクタ電流を減らします。ソフトシャットダウン終了後、DLはローに強制されます。

OVPがイネーブルされると(OVP = V_{CC})、起動がSHDNの立上がりエッジでトリガされるまで、CSLとVTT上の内蔵

の16 Ω 放電MOSFETがイネーブルされます。OVPがディセーブルされると(OVP = AGND)、CSLとVTTの内蔵の16 Ω 放電MOSFETはシャットダウン中にイネーブルされません。

出力フォルト保護

MAX17000は、PWM出力に過電圧/低電圧フォルト保護を備えています。表4で示すように、OVPを強制してフォルト保護をイネーブルしてください。

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

表4. フォルト保護およびシャットダウン設定の真理値表

OVP	MODE	REACTION/DRIVER STATE	COMMENT
OVP Disabled Discharge Disabled (OVP = Low)	Shutdown ($\overline{\text{SHDN}} = \text{low}$)	DL immediately pulled low. VTTR tracks the SMPS output during soft-shutdown. CSL and VTT are high impedance at the end of soft-shutdown (16 discharge MOSFETs disabled).	Outputs high-impedance in shutdown.
	SMPS UVP	DL immediately pulled low. VTTR tracks the SMPS output during soft-shutdown. CSL and VTT are high impedance at the end of soft-shutdown (16 discharge MOSFETs disabled).	SMPS latched fault condition.
	SMPS OVP (disabled)	Controller remains active (normal operation). Note: An OVP detection still pulls PGOOD1 low.	Only PGOOD1 pulled low; fault not latched.
	VTT < -90% or VTT > +110%	PGOOD2 immediately pulled low. Soft-shutdown initiated if fault persists for more than 5ms (typ). DH not used in soft-shutdown. DL low after soft-shutdown completed. VTTR tracks the SMPS output soft-shutdown.	VTT latched fault condition if fault persists for more than 5ms (typ).
	V _{CC} UVLO falling edge	DL and DH immediately pulled low. PGOOD1 and PGOOD2 immediately forced low. VTT and VTTR blocks immediately disabled (high impedance, no 16 discharge on outputs).	—
OVP Enabled Discharge Enabled (OVP = High)	Shutdown ($\overline{\text{SHDN}} = \text{low}$)	Soft-shutdown initiated. DL high after soft-shutdown completed. VTTR tracks the SMPS output during soft-shutdown. Internal 16Ω discharge MOSFETs on CSL and VTT enabled after soft-shutdown.	16Ω discharge MOSFETs on CSL and VTT enabled in shutdown.
	SMPS UVP	Soft-shutdown initiated. DH not used in soft-shutdown. DL low after soft-shutdown completed. VTTR tracks the SMPS output during soft-shutdown. Internal 16Ω discharge MOSFETs on CSL and VTT enabled after soft-shutdown.	SMPS latched fault condition.
	SMPS OVP (enabled)	DL immediately latched high, DH forced low. PGOOD1 and PGOOD2 immediately forced low. VTT and VTTR blocks immediately shut down. Internal 16Ω discharge MOSFETs on CSL and VTT enabled.	SMPS latched fault condition.
	VTT < 90% or VTT > 110%	PGOOD2 immediately pulled low. Soft-shutdown initiated if fault persists for more than 5ms (typ). DH not used in soft-shutdown. DL low after soft-shutdown completed. VTTR tracks the SMPS output during soft-shutdown. Internal 16Ω discharge MOSFETs on CSL and VTT enabled after soft-shutdown.	VTT latched fault condition if fault persists for more than 5ms (typ).
OVP Enabled Discharge Enabled (OVP = High)	V _{CC} UVLO falling edge	DL and DH immediately pulled low. PGOOD1 and PGOOD2 immediately forced low. VTT and VTTR blocks immediately disabled. Internal 16Ω discharge MOSFETs on CSL and VTT enabled immediately.	—

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

表4. フォルト保護およびシャットダウン設定の真理値表(続き)

OVP	MODE	REACTION/DRIVER STATE	COMMENT
General Shutdown and Fault Conditions	Thermal fault	DL and DH immediately pulled low. PGOOD1 and PGOOD2 immediately forced low. VTT and VTTR blocks immediately disabled (high impedance, no 16Ω discharge on outputs).	Active-fault condition.
	V _{CC} UVLO rising edge	Activate INT_REF once V _{CC} rises above UVLO, and SHDN = high. Once REFOK is valid (high), initiate the soft-start sequence. DL remains low until switching/soft-start begins.	—
	V _{CC} POR rising edge	DL forced low.	—
	V _{CC} POR falling edge	DL = Don't care. V _{CC} less than 2VT is not sufficient to turn on the MOSFETs.	—

SMPSの過電圧保護(OVP)

OVPがイネーブルされており(OVP = V_{CC})、SMPSの出力電圧がその公称レギュレーション電圧より115%を超えて上昇すると、コントローラは過電圧フォルトラッチを設定し、PGOOD1とPGOOD2をローに強制してDLをハイに強制します。VTTとVTTRブロックは直ちにシャットダウンし、CSLとVTT上の内蔵の16Ω放電MOSFETがオンします。過電圧を引き起こした条件が持続する場合は(例えばハイサイドMOSFETの短絡)、バッテリーのヒューズが溶断します。V_{CC}を1V以下にサイクルするか、またはSHDNをトグルすると、過電圧フォルトラッチがクリアされコントローラが再起動します。

OVPをAGNDに接続すると、OVPはディセーブルされます(表4)。OVPがディセーブルされている場合でも、PGOOD1の上側スレッショルドは公称レギュレーション電圧の115%でアクティブのまま、CSLとVTT上の16Ω放電MOSFETはシャットダウンでイネーブルされません。

SMPSの低電圧保護(UVP)

SMPSの出力電圧が200μs (typ)以上の間レギュレーション電圧の85%を下回ると、コントローラは低電圧フォルトラッチを設定し、PGOOD1とPGOOD2をローに強制し、DLのソフトシャットダウンパルシングを開始します。低電圧フォルトによって開始するソフトシャットダウンシーケンスの間、DHはオフのままです。ソフトシャットダウンが終了したあと、MAX17000はDLとDHをローに強制して、CSLとVTT上の内部16Ω放電MOSFETをイネーブルします。V_{CC}を1V以下にサイクルするかまたはSHDNをトグルすると、低電圧フォルトラッチがクリアされ、コントローラが再起動します。

VTTの過電圧および低電圧保護

VTTレギュレータの出力電圧が5ms (typ)以上の間そのレギュレーション電圧の±10%以上になる場合、コントローラはフォルトラッチを設定し、PGOOD1とPGOOD2をローに強制し、DLのソフトシャットダウンパルシング

を開始します。DHは、低電圧フォルトによって開始するソフトシャットダウンシーケンスの間はオフのままです。ソフトシャットダウンが終了したあと、MAX17000はDLとDHをローに強制して、CSLとVTT上の内部16Ω放電MOSFETをイネーブルします。V_{CC}を1V以下にサイクルするか、またはSHDNをトグルすると、低電圧フォルトラッチがクリアされ、コントローラを再始動します。

熱フォルト保護

MAX17000は熱フォルト保護回路を備えています。ジャンクション温度が+160℃を超えて上昇すると、熱センサがフォルトラッチを動作させ、PGOOD1とPGOOD2をローに強制して、シャットダウンシーケンスを使用してシャットダウンします。SHDNをトグルするか、またはV_{CC}電源をV_{CC} POR以下にサイクルすると、ジャンクション温度が15℃冷却されたあと、コントローラを再始動させます。

設計手順

スイッチング周波数とインダクタの動作点(リップル電流比)を決定する前に、入力電圧範囲と最大負荷電流を確定してください。最初の設計のトレードオフは、良好なスイッチング周波数とインダクタの動作点の選定であり、次に示す4つの要素が設計を決定します。

- **入力電圧範囲**：最大値(V_{IN(MAX)})は、ノートPCのACアダプタ電圧に許容されるワーストケースの入力電源電圧に対応する必要があります。最小値(V_{IN(MIN)})は、コネクタ、ヒューズ、およびバッテリーの選択スイッチによる降下分を差し引いた最低の入力電圧を考慮する必要があります。選択の余地があれば、低い入力電圧ほど効率が良くなります。
- **最大負荷電流**：2つの値を考慮する必要があります。ピーク負荷電流(I_{LOAD(MAX)})は、瞬間的な部品ストレスとフィルタ要件を決定するため、出力コンデンサの選択、インダクタの飽和定格、および電流制限回路の設計が問題となります。連続負荷電流(I_{LOAD})は熱スト

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

レスを決定し、したがって入力コンデンサ、MOSFET、およびその他の熱に関連する部品の選択が問題になります。大抵のノートPCは、一般的に $I_{LOAD} = I_{LOAD(MAX)} \times 80\%$ となります。

- **スイッチング周波数**：この選択によって大きさと効率の基本的なトレードオフが決まります。MOSFETのスイッチング損失が、周波数と V_{IN}^2 にほとんど比例するため、最適周波数は最大入力電圧の関数となります。より高い周波数を可能にしつつあるMOSFET技術の急速な進歩によって、最適周波数は移動目標にもなっています。
- **インダクタの動作点**：この選択は大きさ対効率、および過渡応答対出力ノイズの間のトレードオフとなります。インダクタが小さいと過渡応答が良好で物理的なサイズが小さくなりますが、リップル電流が増加するために効率が低下し、出力ノイズが大きくなります。最小の実用的なインダクタ値は、回路が臨界導通(最大負荷の場合に各サイクルでインダクタ電流がちょうどゼロに接する)の端で動作する値です。これより小さいインダクタ値としても、サイズを小さくする利点は何もありません。最適な動作点は、通常、20%~50%のリップル電流範囲にあります。

インダクタの選択

スイッチング周波数と動作点(%リップル電流またはLIR)は、次式のようにインダクタ値を決定します。

$$L = \left(\frac{V_{IN} - V_{OUT}}{f_{SW} \times I_{LOAD(MAX)} \times LIR} \right) \times \left(\frac{V_{OUT}}{V_{IN}} \right)$$

割り当てられた寸法に収まり、可能な限り小さなDC抵抗の低損失インダクタを選択してください。粉末鉄は安価で200kHzでは良好に動作しますが、多くの場合、フェライトコアが最良の選択です。コアは、ピーク

インダクタ電流(I_{PEAK})で飽和しないように、十分に大きくなければなりません。

$$I_{PEAK} = I_{LOAD(MAX)} \times \left(1 + \frac{LIR}{2} \right)$$

谷電流制限値の設定

最小電流制限値のスレッショルドは、電流制限値が最小の許容値の場合に最大の負荷電流をサポートするために、十分に大きくなければなりません。インダクタ電流の谷は、 $I_{LOAD(MAX)}$ からリップル電流を差し引いた値で起こり、次式で表されます。

$$I_{LIMIT(LOW)} > I_{LOAD(MAX)} \times \left(1 - \frac{LIR}{2} \right)$$

ここで、 $I_{LIMIT(LOW)}$ は、出力検出素子(インダクタのDCRまたは検出抵抗)で除算した最小の電流制限スレッショルド電圧に等しい値です。

谷電流制限は、CSHとCSLの差動入力両端で17mV (min)に固定されています。

DCR検出の場合は、オン抵抗の許容差と温度による変動に対して特別な注意を必要とします。インダクタのデータシートからの R_{DCR} はワーストケースの最大値を使用し、 R_{DCR} の温度による増大に対していくらかのマージンを追加します。一般的には、1°Cの温度上昇当たり0.5%を追加しますが、電流制限スレッショルドを熱的に補償するためにDCR回路にNTCサーミスタを使用するのでなければ、これを設計マージンの中に入れておく必要があります。

電流検出方法(図7)とその大きさによって、達成可能な電流制限の精度と電力損失が決まります。検出抵抗は次式で計算することができます。

$$R_{SENSE} = V_{LIMIT}/I_{LIMIT}$$

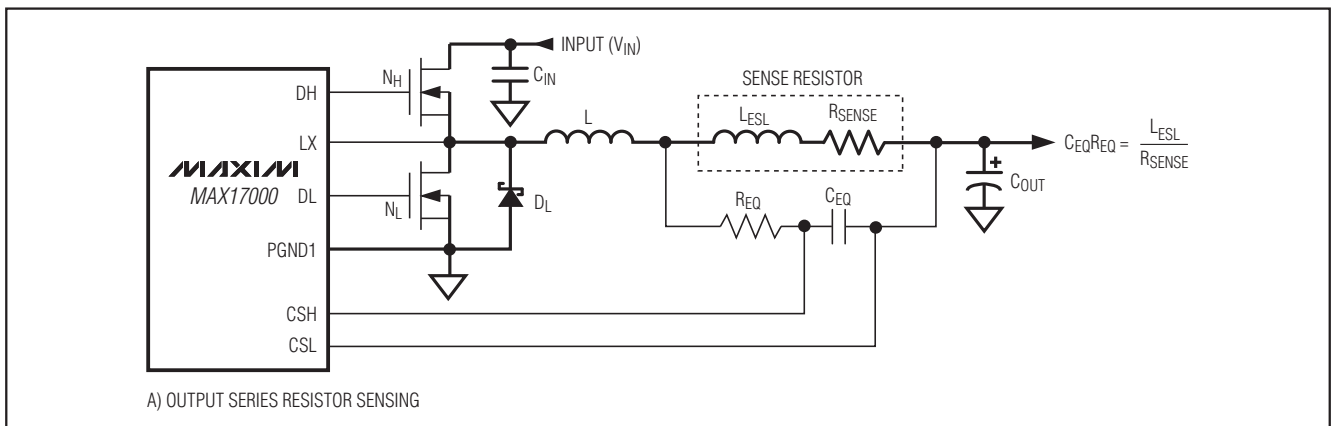


図7a. 電流検出の設定(1/2ページ)

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

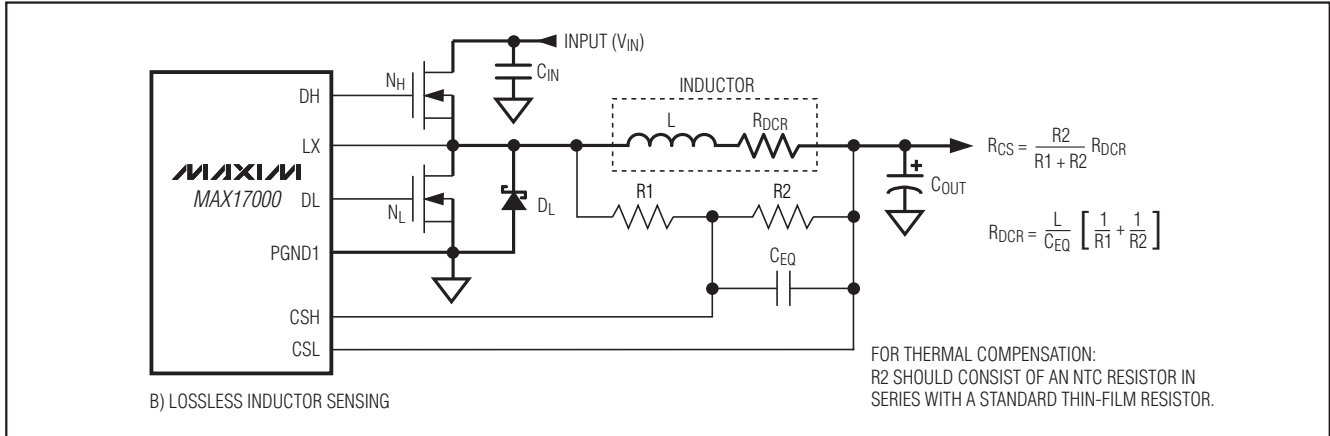


図7b. 電流検出の設定(2/2ページ)

最良の電流検出精度と過電流保護のためには、図7aに示すように、インダクタと出力間に精度1%の電流検出抵抗を使用してください。この構成は常時インダクタ電流を監視するため、正確な電流制限保護が可能です。しかし、特に値の小さいインダクタおよび電流検出抵抗を使用する場合は、電流検出抵抗の寄生インダクタンスが電流制限値の不正確さの原因となります。この寄生インダクタンス(L_{ESL})は、次の等価時定数を持つRC回路を検出抵抗の両端間に追加すると相殺することができます。

$$C_{EQ} \times R_{EQ} = \frac{L_{ESL}}{R_{SENSE}}$$

この代わりに、高精度の電流制限保護を必要としない低コストのアプリケーションでは、次に示す等価時定数を持つ直列RC回路をインダクタの両端間(図7b)に接続して、全体の消費電力を削減することができます。

$$R_{CS} = \frac{R_2}{R_1 + R_2} \times R_{DCR}$$

および

$$R_{DCR} = \frac{L}{C_{EQ}} \times \left[\frac{1}{R_1} + \frac{1}{R_2} \right]$$

ここで、 R_{CS} は必要とする電流検出抵抗で、 R_{DCR} はインダクタの直列DC抵抗です。ワーストケースのインダクタンスとインダクタメーカーによって与えられる R_{DCR} を使用して、温度および負荷によるインダクタンスの減少に対するマージンを加えてください。

MOSFETゲートドライバ(DH、DL)

DHおよびDLドライバは、中くらいのハイサイド、および大きいローサイドMOSFETを駆動するように最適化されています。これは、 $V_{IN} - V_{OUT}$ の差が大きいノートPCアプリケーションに見られる低デューティファクタに適しています。ハイサイドのゲートドライバ(DH)は1.2Aをソースおよびシンクし、ローサイドゲートドライバ(DL)は1.0Aをソースし、2.4Aをシンクします。このことによって、大電流アプリケーションでの堅牢なゲート駆動が保証されます。DHのフローティングハイサイドMOSFETドライバは、BSTの内蔵ブーストスイッチによるチャージポンプによって給電され、他方DLの同期整流器ドライバは、5Vバイアス電源(V_{DD})から直接給電されます。

PWM出力コンデンサの選択

出力フィルタコンデンサは、出力リップルと負荷過渡要件を満たすために、充分小さな実効直列抵抗(ESR)を備えている必要がありますが、安定性要件を満たすためには、充分に大きいESRを備えている必要があります。

コアとチップセット用のコンバータおよび出力に大きい負荷過渡がかかるその他のアプリケーションでは、出力コンデンサの大きさは、通常、負荷過渡によって出力が低下しすぎることを防ぐために、どのくらいESRを大きくする必要があるかによって決まります。容量値が有限であることによるサグを無視すると、次式のようになります。

$$(R_{ESR} + R_{PCB}) \leq \frac{V_{STEP}}{\Delta I_{LOAD(MAX)}}$$

低電力アプリケーションでは、多くの場合、出力コンデンサの大きさは、出力リップル電圧を許容可能なレベルに維持するのに必要なESRの大きさに依存します。ステップダウンコントローラ出力リップル電圧は、総リップル電流に出力コンデンサのESRを乗じた値と等しくなります。

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

リップル要件を満たす最大のESRは次式で与えられます。

$$R_{ESR} \leq \left[\frac{V_{IN} \times f_{SW} \times L}{(V_{IN} - V_{OUT}) \times V_{OUT}} \right] \times V_{RIPPLE}$$

ここで、 f_{SW} はスイッチング周波数です。

ほとんどの種類(ポリマー、タンタル、アルミ電解)では、必要な実際の容量値は、低ESRを実現するために必要な物理サイズおよび選択したコンデンサ技術の材料限界に関係します。セラミックコンデンサは低ESRを提供しますが、容量値および電圧定格(ディレーティング後)は、負荷過渡の間に生じる V_{SAG} および V_{SOAR} の問題を防ぐために必要とする容量値によって決まります。一般的に、オーバーシュート要件を満たすためには、十分な容量値が追加された後は、負荷の立上りエッジでのアンダーシュートが問題になることはありません。このように、出力コンデンサの選択は、コンデンサの種類による制限(容量値対ESR対電圧定格)とコストを注意深くバランスする必要があります。

PWM出力コンデンサの安定性について

Quick-PWMコントローラの場合、安定性はスイッチング周波数に対する同相フィードバックリップルによって決定され、通常、これは出力のESRによって支配されます。不安定性の境界は次式で与えられます。

$$\frac{f_{SW}}{\pi} \geq \frac{1}{2\pi \times R_{EFF} \times C_{OUT}}$$

$$R_{EFF} = R_{ESR} + A_{CS} \times R_{SENSE}$$

ここで、 C_{OUT} は総出力容量、 R_{ESR} は出力コンデンサの総等価直列抵抗、 R_{SENSE} は実効電流検出抵抗(図7参照)、そして A_{CS} は利得2の電流検出利得です。

標準の300kHzアプリケーションでは、実効ゼロ周波数は十分に95kHz以下とし、望ましくは50kHz以下である必要があります。これらの周波数要件では、すでに一般的に用いられている標準的なタンタルとポリマーコンデンサは通常50kHz以下のESRゼロ周波数を持っており、安定性の必要条件がなんらの電流検出補償の追加なしでも達成することができます。標準動作回路(図7)では、15mV_{p-p}のリップルを維持するために必要なESRは15mV/(10A × 0.3) = 5mΩになります。2個の330μFで9mΩのポリマーコンデンサの並列接続は4.5mΩ (max)のESRとなり、1/(2π × 330μF × 9mΩ) = 53kHzのESRゼロ周波数になります。

セラミックコンデンサは高いESRゼロ周波数を持っていますが、十分な電流検出補償をしたアプリケーションでは、それでもなお小型サイズ、低ESR、および高い信頼性のセラミックコンデンサの利点を得ることができます。インダクタ電流のDCR検出によって、セラミック出力コンデンサを用いたアプリケーションは、DC補償

またはAC補償方法を使用して補正することができます。このDC結合はより少ない外部補償コンデンサしか必要としませんが、インダクタのDCR (寄生抵抗)に依存する出力負荷ラインを生じてしまいます。この代わりに、電流検出信号はAC結合にすることができ、この場合は安定性をインダクタンス値と補償部品のみで依存させることができ、DC負荷ラインを無くすることができます。

セラミック出力コンデンサのみを使用する場合、通常、出力オーバーシュート(V_{SOAR})が、必要な最小出力容量を決定します。負荷ステップからの回復時に小さなインダクタ値と高いスイッチング周波数を用いてインダクタからコンデンサに伝達されるエネルギーを最小にしない限り、最大負荷から無負荷状態に移行した場合に、これらの比較的小さな容量値では、相当大きなオーバーシュートを生じます。

不安定な動作は、ダブルパルシングとフィードバックループの不安定性という、相互に関連するが明らかに異なる方法で現れます。ダブルパルシングは、出力のノイズ、またはESRが非常に小さく出力電圧信号に十分な電圧ランプがないために起こります。このことによって、エラーコンパレータが「間違っ」て最小のオフ時間の経過直後に新しいサイクルをトリガします。ダブルパルスは有害というよりわずらわしく、出力リップルが増加すること以外には何の悪影響もありません。しかし、これは、不適当なESRによるループの不安定性が存在する可能性を示すこととなります。ループの不安定性は、電源または負荷ステップの後で出力に発振を起こす結果となる場合があります。そのような振動は通常減衰しますが、そのことによって出力電圧が許容限界を上下に超過する可能性があります。

安定性をチェックする最も簡単な方法は、非常に高速のゼロから最大になる過渡負荷を印加して、オーバーシュートとリングングについて出力リップルのエンベロープを注意深く観測することです。AC電流プローブでインダクタ電流を同時に監視することも役に立ちます。最初のステップ応答のアンダーまたはオーバーシュートの後に、1サイクルを超えるリングングがないようにしてください。

入力コンデンサの選択

入力コンデンサは、スイッチング電流によって与えられるリップル電流要件(I_{RMS})に適合しなければなりません。 I_{RMS} 要件は次式によって決定することができます。

$$I_{RMS} = \left(\frac{I_{LOAD}}{V_{IN}} \right) \sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}$$

最悪の場合のRMS電流要件は、 $V_{IN} = 2V_{OUT}$ で動作する場合に生じます。この場合は、上記の式は次のように単純化することができます。

$$I_{RMS} = 0.5 \times I_{LOAD}$$

完全DDR2およびDDR3メモリの パワーマネジメントソリューション

MAX17000

大抵のアプリケーションでは、非タンタルコンデンサ（セラミック、アルミ、またはOS-CON）が好まれますが、これは入力に直列のメカニカルスイッチまたコネクタを使用するシステムに普通に起こる突入サージ電流に対する耐性があるためです。Quick-PWMコントローラが2段階構成の電源変換システムの2段階目で動作する場合、タンタル入力コンデンサを採用することができます。いずれの構成にしても、最適な回路寿命のためには、RMS入力電流での温度上昇が+10°C以下になる入力コンデンサを選択してください。

MOSFETの選択

次に示すMOSFETのガイドラインは、高電圧(> 20V)のACアダプタを使用する場合の大負荷電流を得るための課題に焦点を当てています。通常、低電流アプリケーションでは余り注意を必要としません。

ハイサイドMOSFET (N_H)は、抵抗性損失にプラスして $V_{IN(MIN)}$ と $V_{IN(MAX)}$ の両方でスイッチング損失を消費できなければなりません。これらの和の両方を計算してください。理想的には、 $V_{IN(MIN)}$ での損失はほぼ $V_{IN(MAX)}$ における損失に等しく、その中間では小さい損失でなければなりません。 $V_{IN(MIN)}$ における損失が $V_{IN(MAX)}$ における損失よりも相当に大きい場合は、 N_H のサイズを大きくする ($R_{DS(ON)}$ は小さくなるが C_{GATE} は大きくなる) を考えてください。逆に、 $V_{IN(MAX)}$ における損失が $V_{IN(MIN)}$ における損失よりも相当に大きい場合は、 N_H のサイズを小さくする ($R_{DS(ON)}$ は大きくなるが C_{GATE} は小さくなる) を考えてください。 V_{IN} が広範囲に変化しなければ、抵抗損失がスイッチング損失に等しい場合に最小電力消費となります。

可能な限り、最低のオン抵抗 ($R_{DS(ON)}$) を持つていて、適度の大きさのパッケージ (8ピンの1個または2個のSOP、DPAKまたはD²PAK) で、かつ手頃な価格のローサイドMOSFETを選択してください。ゲート電荷およびハイサイドMOSFETがオンになることによって生じるゲートとドレイン間の寄生容量に注入される電流をサポートするために、DLゲートドライバが十分な電流を供給可能であることを確認してください。そうでない場合、交差伝導の問題が生じる可能性があります (「MOSFETゲートドライバ(DH、DL)」の項を参照してください)。

MOSFETの電力消費

最悪の場合の導通損失は、デューティファクタが最大の時に起こります。ハイサイドMOSFET (N_H) については、抵抗による電力消費のワーストケースは、入力電圧が最小の場合に起こります。

$$PD(NH\ Resistive) = \left(\frac{V_{OUT}}{V_{IN}} \right) \times (I_{LOAD})^2 \times R_{DS(ON)}$$

一般的に、入力電圧が大きい場合のスイッチング損失を減少させるためには、小さいハイサイドMOSFETが

必要になります。しかし多くの場合、パッケージの電力消費限界内に収まるために必要とする $R_{DS(ON)}$ が、MOSFETをどこまで小さくすることができるかを制限します。また、最適な条件は、スイッチング損失が導通 ($R_{DS(ON)}$) 損失に等しい場合です。ハイサイドのスイッチング損失は、通常、入力がおよそ15Vを超えるまでは問題にはなりません。

オンとオフ時間に影響する定量化が困難な要素があることを考慮する必要があるために、スイッチング損失によるハイサイドMOSFET (N_H) の電力消費の計算は困難です。これらの要素には、ゲートの内部抵抗、ゲート電荷、スレッシュホールド電圧、ソースインダクタンス、およびPCBのレイアウト特性などがあります。以下に示すスイッチング損失の計算は、非常におおざっぱな推定を提供するのみで、試作品の評価を代替するものではないため、可能な限り N_H に熱電対を取り付けて評価することを推奨します。

$$PD(NH\ Switching) = V_{IN(MAX)} \times I_{LOAD} \times f_{SW} \left(\frac{Q_{G(SW)}}{I_{GATE}} \right) + \frac{C_{OSS} \times V_{IN}^2 \times f_{SW}}{2}$$

ここで、 C_{OSS} は N_H MOSFET の出力容量、 $Q_{G(SW)}$ は N_H MOSFET をオンにするのに要する電荷、そして I_{GATE} はゲート駆動のソース/シンク電流のピーク値 (2.2A typ) です。

最大のACアダプタ電圧が印加された場合、スイッチング損失の式 $C \times V_{IN}^2 \times f_{SW}$ の中の2乗項のために、ハイサイドMOSFETのスイッチング損失が悪質な熱問題となります。低バッテリー電圧で十分な $R_{DS(ON)}$ として選択したハイサイドMOSFETが、 $V_{IN(MAX)}$ が印加された場合に異常に発熱したら、さらに小さい寄生容量の別のMOSFETの選択を検討してください。

ローサイドMOSFET (N_L) に対しては、ワーストケースの電力消費は常に最大の入力電圧の場合に起こります。

$$PD(NL\ Resistive) = \left[1 - \left(\frac{V_{OUT}}{V_{IN(MAX)}} \right) \right] \times (I_{LOAD})^2 \times R_{DS(ON)}$$

MOSFETの電力消費のワーストケースは、 $I_{LOAD(MAX)}$ よりも相当大きい、電流制限を超えてフォルトラッチがトリップするほどに大きくない過負荷で起こります。この可能性から保護するためには、回路を「過剰設計」することです。

$$I_{LOAD} = \left(I_{VALLEY(MAX)} + \frac{\Delta I_{INDUCTOR}}{2} \right) = I_{VALLEY(MAX)} + \left(\frac{I_{LOAD(MAX)} \times LIR}{2} \right)$$

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

ここで、 $I_{VALLEY(MAX)}$ は、電流制限回路によって許容される最大の谷電流で、これにはスレッショルド誤差とオン抵抗の変動が含まれています。MOSFETは、過負荷の電力消費を取り扱うために適切な寸法のヒートシンクを備える必要があります。

テッドタイムの間にローサイドMOSFETのボディダイオードがオンになることを防ぐために、十分に小さい順方向電圧のショットキーダイオード(DL)を選んでください。テッドタイムの間に負荷電流を処理することができるダイオードを選んでください。このダイオードはオプションであり、効率が問題とならなければ取り除くことができます。

PWM出力電圧の設定

出力電圧のプリセット

MAX17000のDual Mode™動作は、外付け部品を使用することなく一般的な電圧を選ぶことができます。固定の1.5V出力にするにはFBをAGNDに接続し、固定の1.8V出力にするには V_{CC} に接続し、また、固定の1.0V出力にするにはFBを直接OUTに接続してください。

可変出力電圧

出力電圧は、抵抗分圧器(図8)を使用して1.0V~2.7Vに調整することができます。MAX17000は、FBを固定のリファレンス電圧(1.0V)にレギュレーションします。可変出力電圧は次式によります。

$$V_{OUT} = V_{FB} \times \left(1 + \frac{R_{FBA}}{R_{FBB}} \right)$$

ここで、 V_{FB} は1.0Vです。

VTTI入力コンデンサの 安定性について

VTTIバイパスコンデンサの値は、VTTIのリプル/ノイズの量を制限するように、また負荷の過渡変動の間の電圧ディップ量を制限するように選びます。通常、VTTIは降圧レギュレータの出力に接続され、ここにはすでに大きなバルクコンデンサが接続されています。それでも、VTT出力コンデンサと等しい値のセラミックコンデンサを使用する必要があります。VTTI端子に可能な限り近接して配置する必要があります。大きな負荷電流、あるいはVTTI端子から電源までのトレースが長くてかなり大きいインピーダンスを持っている場合には、この値を増加する必要があります。

VTT出力電圧の設定

VTT出力段はVTTI入力から給電されます。この出力電圧はREFIN入力によって設定されます。REFINは、MAX17000のフィードバックレギュレーション電圧($V_{TTR} = V_{TTS} = V_{REFIN}$)を設定します。VTT、VTTs、およびVTRRの可変出力設定には、0.1V~2.0Vの電圧入力を接続してください。REFINを V_{CC} に接続する場合は、内部の $CSL/2$ の分圧器はVTT電圧を設定するために使用され、したがって、VTTは V_{CSL} 電圧に追従して $V_{CSL}/2$ に設定されます。この機能は、MAX17000を終端電源が電源電圧に追従する必要があるメモリアプリケーションに最適です。

VTT出力コンデンサの選択

300mAのVTT出力を安定させるためには最低9 μ Fが必要です。この容量値にすると、レギュレータのユニティゲイン帯域幅周波数をおよそ1.2MHz (typ)に制限して、安定性に十分な位相マージンを得ることができます。コンデンサをレギュレータの帯域幅内でコンデンサの働きをさせるためには、小さいESRおよびESLを持ったセラミックコンデンサを使用することが重要です。

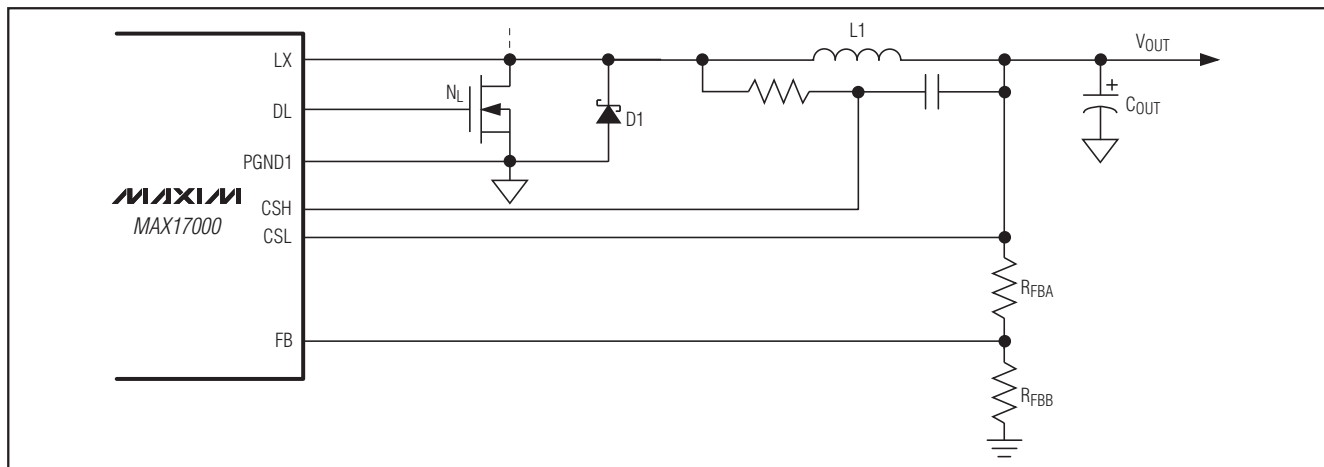


図8. 抵抗分圧器による V_{OUT} の設定

Dual ModeはMaxim Integrated Products, Inc.の商標です。

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

利得帯域幅は、負荷電流とともに増加する出力FETのトランスコンダクタンスによっても左右されるため、負荷電流が1.5A以上になると20μF以上の出力コンデンサが必要となりますが、最大負荷電流が1.5A以下であれば20μFより小さくすることができます。指針としては、以下の式を使用して、最小の容量と最大のESRの出力コンデンサを選んでください。

$$C_{OUT_MIN} = 20\mu F \times \sqrt{\frac{I_{LOAD}}{1.5A}}$$

C_{OUT} は、低ドロップアウト動作では2倍に増やす必要があります。

$$R_{ESR_MAX} = 5m\Omega \times \sqrt{\frac{I_{LOAD}}{1.5A}}$$

R_{ESR} は、次式で近似的に得られるユニティゲイン帯域幅周波数で測定する値です。

$$f_{GBW} = \frac{36}{C_{OUT}} \times \sqrt{\frac{I_{LOAD}}{1.5A}}$$

安定性のためのこれらの条件に合致したら、電解およびタンタルタイプのコンデンサなどの追加コンデンサをセラミックコンデンサと並列に接続(所望の場合)して、出力のノイズあるいはリップルをさらに減衰させます。

VTTR出力コンデンサの選択

VTTRバッファはVTTレギュレータの縮小形で、非常に小さな出力トランスコンダクタンスを持っています。したがって、VTTレギュレータで要求されるよりもこの補償コンデンサを小さく、かつ大きなESRにすることができます。最大±4mAの負荷電流を必要とする代表的なアプリケーションには、最低0.33μFのセラミックコンデンサを推奨します($R_{ESR} < 0.3\Omega$)。このコンデンサをVTTRとアナロググランドプレーン間に接続してください。

電力消費

MAX17000の電力損失は、PWMブロック、VTT LDOブロック、およびVTTRリファレンスバッファなどの損失の合計です。

$$PD(PWM) = I_{BIAS} \times 5V = 40mA \times 5V = 0.2W$$

$$PD(VTT) = 2A \times 0.9V = 1.8W$$

$$PD(VTTR) = 3mA \times 0.9V = 2.7mW$$

$$PD(Total) = 2W$$

この2Wの総電力消費は、多層24ピンTQFNの多層基板での電力消費仕様の2.22W以内です。代表的なアプリケーションは、連続して大きな電流をソースまたはシンクしません。VTT電流は、通常、定常状態で100mA~200mAです。インテルの仕様ではDDR1に3mA、DDR2に1mAを必要としますが、VTTRはμAレンジと小さくなります。真のワーストケースの電力消費は、ワーストケースの電流制限下で出力短絡の場合に起こります。MAX17000はフォールドバック電流制限を使用せず、保護は内蔵の熱シャットダウンに依存します。VTTとVTTRの両出力段は同じVTTI入力から給電されます。これらの出力電圧は、同じREFIN入力をリファレンスとします。VTTIのバイパスコンデンサの値は、VTTIのリップル/ノイズの量、あるいは負荷過渡の間の電圧降下の量を制限するように選択します。一般的に、VTTIは降圧レギュレータの出力に接続されて、すでに大きなバルクコンデンサが接続されています。

ブーストコンデンサ

ブーストコンデンサ(C_{BST})は十分に大きくして、ハイサイドMOSFETのゲート充電要件を処理可能となるようにしなければなりません。一般的に、0.1μFのセラミックコンデンサが、中型のMOSFETを駆動する低電力アプリケーションに十分適しています。しかし、大きいハイサイドMOSFETを駆動する大電流アプリケーションでは、ブーストコンデンサは0.1μFより大きくする必要があります。これらのアプリケーションでは、次式のように、ハイサイドMOSFETのゲートを充電している間に200mV以上コンデンサを放電させることがないブーストコンデンサを選択してください。

$$C_{BST} = \frac{Q_{GATE}}{200mV}$$

ここで、 Q_{GATE} はハイサイドMOSFETのデータシートで規定される総ゲート電荷です。たとえば、FDS6612A nチャネルMOSFETをハイサイド側で使用すると仮定します。メーカーのデータシートによると、1個のFDS6612Aは13nC ($V_{GS} = 5V$)の最大ゲート電荷を持っています。上記の式を用いると、必要なブーストコンデンサの容量は次のようになります。

$$C_{BST} = \frac{13nC}{200mV} = 0.065\mu F$$

最も近い標準的な値を選択すると、この例では0.1μFのセラミックコンデンサを必要とします。

完全DDR2およびDDR3メモリの パワーマネージメントソリューション

MAX17000

アプリケーション情報

PCBレイアウト

注意深いPCBのレイアウトは、小さいスイッチング損失でノイズのない安定な動作を達成するために重要です。スイッチング電力段には特に注意を要します。可能であれば、すべての電力部品は基板の表面層に実装して、各グランド端子は相互に近接させます。良好なPCBレイアウトとするためには、以下のガイドラインに従ってください。

- 大電流経路は、特にグランド端子では短くします。これは安定でジッタのない動作とするために必須です。
- 電力トレースと負荷との接続を短くします。これは高効率のために必須です。厚い銅のPCB (1オンスより2オンス)を使用すると、最大負荷効率を1%以上大きくすることができます。PCBトレースを正しく配線することは困難な仕事であり、ミリメートルの単位で実施する必要がある、1mΩ程度の余分なトレースの抵抗でさえ測定可能な効率低下を招きます。
- 電流検出抵抗(R_{SENSE})両端に直接CSHとCSLを接続して、電流検出誤差を最小にしてください。
- トレース長のトレードオフを必要とする場合は、インダクタの充電経路が放電経路よりも長くなる方が良好になります。例えば、入力コンデンサとハイサイドMOSFET間の距離が、インダクタとローサイドMOSFET間またはインダクタと出力フィルタコンデンサ間の距離よりも長くなるようにする方が良好です。
- 高速のスイッチングノード(BST、LX、DH、およびDL)は、感度の高いアナログ領域(REFIN、FB、CSH、およびCSL)から遠ざけて配線してください。

レイアウト手順

- 1) 最初に各グランド端子(ローサイドMOSFETのソース、 C_{IN} 、 C_{OUT} 、およびローサイドショットキーのアノード)を隣接させて電力部品を配置します。可能であれば、これらの接続はすべて広いベタの銅領域を使用して表面層で行います。
- 2) LX、AGND、DH、およびDLのゲートドライブラインを短く太くするためにコントローラICはローサイドMOSFETの近くで、可能ならばMOSFETの反対側の裏面に実装してください。DLとDHのゲートトレースは、短くて広くする必要があり(MOSFETがコントローラICから1インチであれば50ミル~100ミルの幅)、適応型のデッドタイム検出のためにドライバのインピーダンスを低くしてください。
- 3) ゲート駆動部品(BSTダイオードとコンデンサ、 V_{DD} バイパスコンデンサ)をコントローラICの近くに集合させます。
- 4) 図1と9に示すように、DC-DCコントローラのグランド接続を行います。この図は、2つの独立したグランドプレーンを持っていると見ることができ、パワーグランドプレーンにはすべての大電力部品が接続され、アナロググランドプレーンには高感度のアナログ部品が接続されます。アナロググランドプレーンとパワーグランドプレーンは、IC直下の1点で接続しなければなりません。
- 5) 出力のパワープレーンは、直接出力フィルタコンデンサの正および負の端子に複数のビアを使用して接続してください。DC-DCコンバータ回路全体は、実現可能な限り負荷に近づけて配置してください。

完全DDR2およびDDR3メモリの パワーマネジメントソリューション

MAX17000

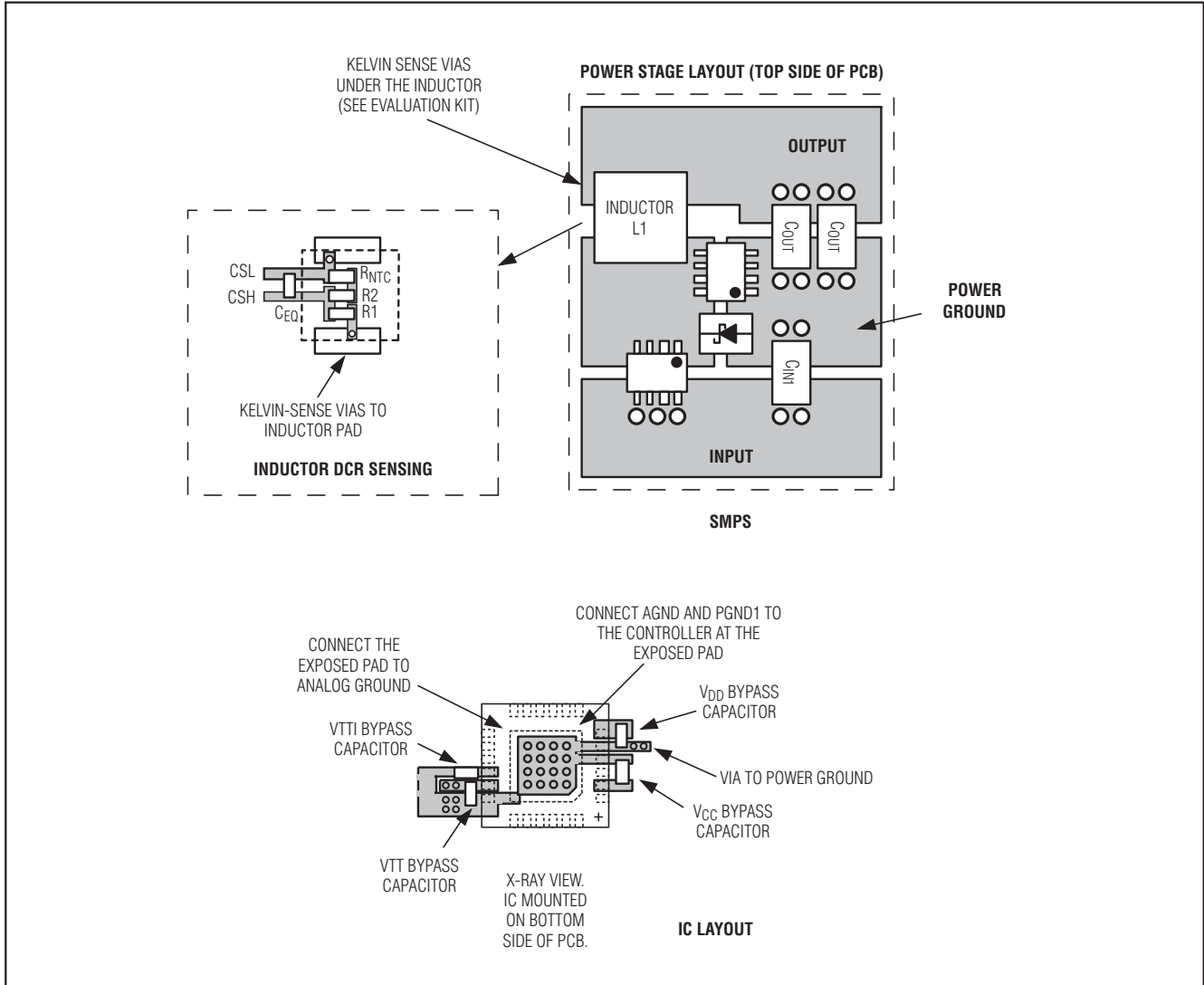


図9. PCBレイアウトの例

チップ情報

TRANSISTOR COUNT: 7856

PROCESS: BiCMOS

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/packagesをご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
24 TQFN	T2444-1	21-0139

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 31