

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

概要

MAX1661/MAX1662/MAX1663は、パワープレーンスイッチングアプリケーションにおいて、外部パワーMOSFETを制御するためのシリアルパラレル/パラレルシリアルコンバータです。これらの小型低コストデバイスをシステムマザーボードに取り付けることにより、2線SMBus™シリアルインタフェースを通じてポイントオブロードスイッチングの制御ができます。いずれのデバイスもTTLレベル入力の2倍の高電圧オープンドレイン出力により、双方向能力を持っています。I/Oピンは+28Vに耐えるため、ノートブックコンピュータのバッテリー電圧分配スイッチを制御できます。

MAX1661はNチャンネルMOSFETを駆動するためのデバイスで、パワーアップ時の出力はローです。MAX1662/MAX1663はPチャンネルMOSFET用で、パワーアップ時の出力はハイインピーダンスです。これによりパワーアップ時にMOSFETがオフであることが保証されるため、システムがパワープレーンシーケンスを実行できます。

SMBUS制御入力は、2つの独立したデータレジスタから制御データを選択します。この機能により、システムは2つの異なるパワープレーン構成を非同期で選択できるため、シリアルバスに起因する待ち時間を排除できます。その他の特長としては、サーマル過負荷保護、過電流保護、超低消費電流及びハードウェアとソフトウェア両方の割込み能力等が挙げられます。これらのデバイスは、省スペースの10ピンµMAXパッケージで提供されています。

アプリケーション

- パワープレーンスイッチング
- ポイントオブロードパワーバススイッチング
- ノートブック及びサブノートブックコンピュータ
- デスクトップコンピュータ
- スマートバッテリー

選択ガイド

品名	パワーオンリセット状態	アプリケーション	SMBus アドレス	
			アドレスピン	アドレス
MAX1661	出力ロー	N-チャンネルMOSFET	GND	0100000
			ハイインピーダンス	0111100
			V _{CC}	1001000
MAX1662	出力ハイ (ハイインピーダンス)	P-チャンネルMOSFET	GND	0100001
			ハイインピーダンス	0111101
			V _{CC}	1001001
MAX1663	出力ハイ (ハイインピーダンス)	P-チャンネルMOSFET	GND	0100010
			ハイインピーダンス	0111110
			V _{CC}	1001010

SMBusはIntel Corp.の商標です。

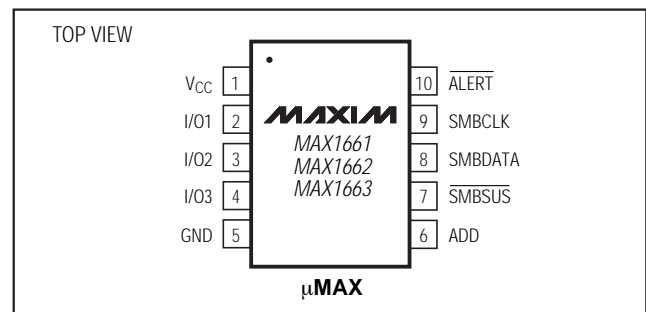
特長

- ◆ シリアルパラレル及びパラレルシリアル変換を実行
- ◆ 3つの汎用デジタル入力/出力ピン(耐圧+28V)
- ◆ SMBus 2線シリアルインタフェース
- ◆ SMBSUS非同期サスペンドモードをサポート
- ◆ 消費電流: 3µA
- ◆ 電源電圧範囲: +2.7V ~ +5.5V
- ◆ パッケージ: 省スペース低価格の10ピンµMAX

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1661EUB	-40°C to +85°C	10 µMAX
MAX1662EUB	-40°C to +85°C	10 µMAX
MAX1663EUB	-40°C to +85°C	10 µMAX

ピン配置



標準動作回路はデータシートの最後に記載されています。

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

ABSOLUTE MAXIMUM RATINGS

V _{CC} to GND	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)	
I/O to GND (I/O1, I/O2, I/O3)	-0.3V to +30V	10-pin μMAX (derate 5.6mW/°C above +70°C)	444mW
I/O Sink Current (I/O1, I/O2, I/O3), Internally Limited	-1mA to +50mA	Operating Temperature Range	
Digital Inputs to GND (SMBCLK, SMBDATA, SMBSUS, ALERT)	-0.3V to +6V	MAX166_EUB	-40°C to +85°C
ADD to GND	-0.3V to (V _{CC} + 0.3V)	Storage Temperature Range	-65°C to +160°C
SMBDATA Current, ALERT Current	-1mA to +50mA	Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +2.7V to +5.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are for T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Voltage Range			2.7		5.5	V
Supply Current		Static condition; SMBDATA, SMBCLK, ADD, ALERT = V _{CC} or GND (Note 2)		3	10	μA
Undervoltage Lockout/ Power-On Reset Threshold		V _{CC} falling	1.2	1.6	2.5	V
I/O Sink Current		V _{I/O_} = 0.4V, V _{CC} = 2.7V or 5.5V	2			mA
		V _{I/O_} = 1.0V, V _{CC} = 4.5V	8	13		
I/O Current Limit		I/O1, I/O2, or I/O3; V _{CC} = 4.5V	15	20	50	mA
Thermal Shutdown		Typical hysteresis of 10°C		140		°C
I/O Leakage Current		V _{I/O_} = 28V, high-impedance state		0.5	5	μA
		V _{I/O_} = 0V, V _{CC} ; high-impedance state	-1	0.5	1	
Digital Input Current		V _{SMBDATA} , V _{SMBCLK} , V _{SMBSUS} , V _{ADD} = 0V, V _{CC}	-1		1	μA
SMBus Logic Input Voltage Range		V _{CC} = 2.7V to 5.5V; SMBDATA, SMBCLK, SMBSUS	0		5.5	V
Logic Input High Voltage		I/O ₋ , SMBSUS, SMBCLK, SMBDATA	2.4			V
Logic Input Low Voltage		I/O ₋ , SMBSUS, SMBCLK, SMBDATA			0.8	V
SMBDATA Output Low Sink Current		V _{SMBDATA} = 0.6V	6			mA
ALERT Output Low Sink Current		V _{ALERT} = 0.4V	1			mA
ALERT Output Leakage Current		V _{ALERT} = 5.5V, high-Z state			1	μA
SMBus Input Capacitance		SMBCLK, SMBDATA		5		pF
SMBus Clock Frequency		(Notes 3, 4)			100	kHz
SMBCLK High Time	t _{HIGH}	Measured between the 90% level of the rising edge and the 90% level of the falling edge	4			μs
SMBCLK Low Time	t _{LOW}	Measured between the 10% level of the falling edge and the 10% level of the rising edge	4.7			μs

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

ELECTRICAL CHARACTERISTICS (continued)

(V_{CC} = +2.7V to +5.5V, T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are for T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Start-Condition Setup Time	t _{SU:STA}	Measured from 90% of the SMBCLK rising edge to 90% of the SMBDATA falling edge	4.7			µs
Start-Condition Hold Time	t _{HD:STA}	Measured from 10% of the falling edge of SMBDATA to 90% of the falling edge of SMBCLK	4			µs
SMBus Stop-Condition Setup Time	t _{SU:STO}	Measured from 90% of the rising edge of SMBCLK to 10% of the rising edge of SMBDATA	4			µs
SMBDATA Valid to SMBCLK Rising Edge Time, Slave Clocking in Data	t _{SU:DAT}	10% or 90% of SMBDATA to 10% of the rising edge of SMBCLK	V _{CC} = 4.5V to 5.5V	500		ns
			V _{CC} = 2.7V to 4.5V	1000		
SMBCLK Falling Edge to SMBDATA Transition Hold Time	t _{HD:DAT}	(Notes 4, 5)	0			µs
SMBCLK Falling Edge to SMBus Data Valid Time	t _{DV}	Tested with a 10kΩ pull-up resistor on SMBDATA (Note 6)			1	µs
SMBus Bus-Free Time	t _{BUF}	Between stop and start conditions (Note 7)	4.7			µs
SMBus Write to I/O _– Propagation Delay	t _{P:I/O}	Measured from SMBCLK rising edge to 10% or 90% of I/O (Note 4)		100		ns
I/O Data Valid to SMBCLK Rising-Edge Setup Time	t _{SU:I/O}	Measured from 10% or 90% of V _{I/O} to 10% of the rising edge of SMBCLK (Note 8)	15			µs
I/O Data Hold Time	t _{HD:I/O}	(Note 8)	0			µs
START-STOP Software-Interrupt Pulse Width	t _{LOW:SS}	Measured from the 10% point of the falling edge of SMBDATA to the 10% point of the rising edge of SMBDATA (Note 7)	10	15	30	µs

Note 1: Specifications from 0°C to -40°C are guaranteed by design, not production tested.

Note 2: Supply current is specified for static state only.

Note 3: The SMBus logic block is a static design that works with clock frequencies down to DC. While slow operation is possible, it violates the 10kHz minimum clock frequency of the SMBus specifications, and may monopolize the bus.

Note 4: Refer to Figures 2a and 2b for SMBus timing parameter definitions (write and read diagrams).

Note 5: A transition must internally provide a hold time of 300ns to accommodate for the undefined region of the falling edge.

Note 6: Refer to Figure 3 for the acknowledge timing diagram and t_{DV} parameter definition.

Note 7: Refer to Figure 5 for START-STOP interrupt timing diagrams and parameter definitions.

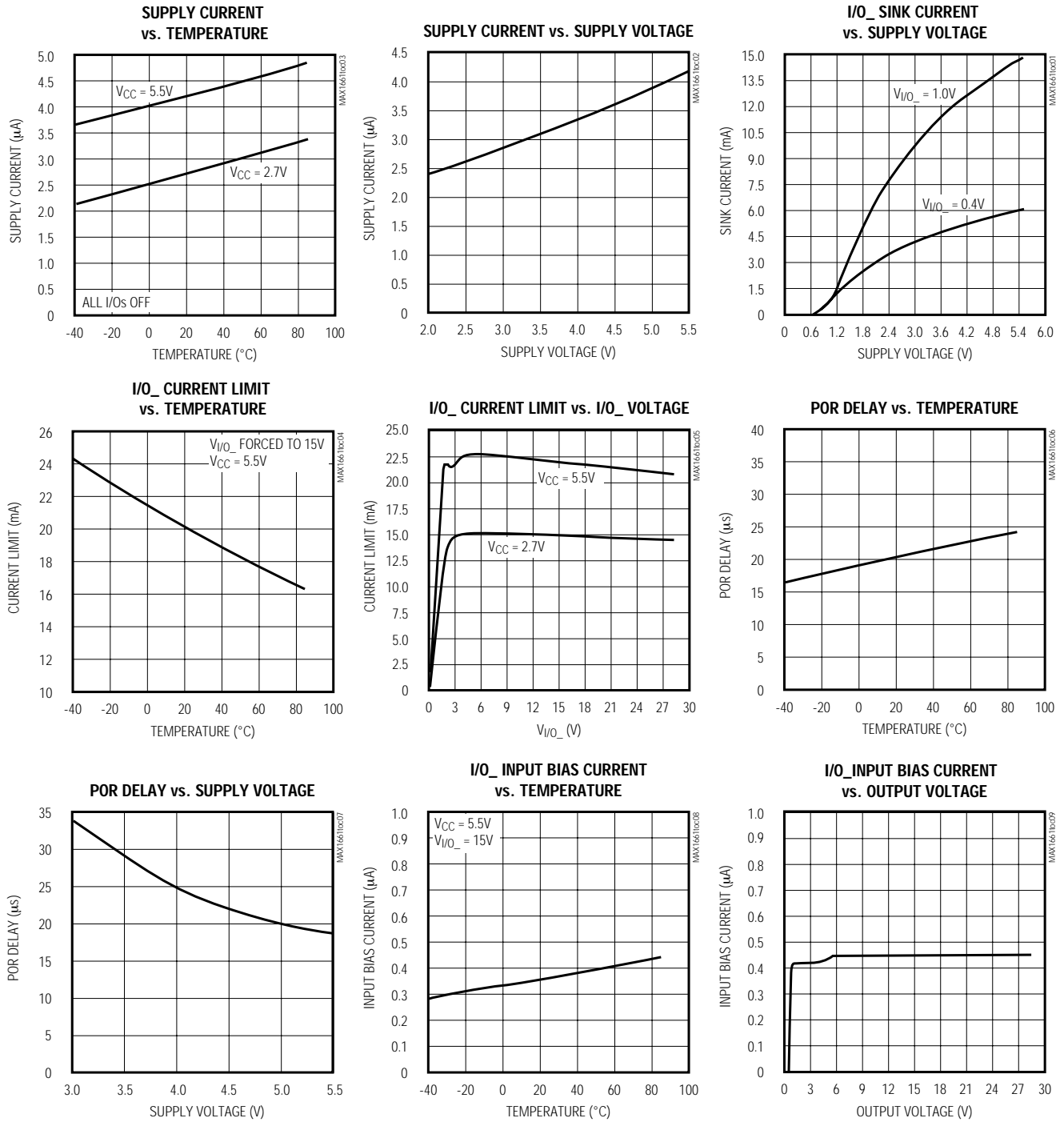
Note 8: Refer to Figure 4 for I/O setup and hold timing parameter definitions.

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

標準動作特性

($V_{CC} = +5.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

端子説明

端子	名称	機能
1	V _{CC}	電源電圧入力(2.7V~5.5V)
2	I/O1	入力1又は出力1(オープンドレイン)。このピンの耐圧は最大28Vです。
3	I/O2	入力2又は出力2(オープンドレイン)。このピンの耐圧は最大28Vです。
4	I/O3	入力3又は出力3(オープンドレイン)。このピンの耐圧は最大28Vです。
5	GND	グランド
6	ADD	SMBusアドレス選択ピン(詳細については表1を参照)。
7	$\overline{\text{SMBSUS}}$	SMBusサスペンドモード制御入力。ローにするとサスペンドモードレジスタが選択されます。ハイにするとノーマルモードレジスタが選択されます。(「詳細」を参照。)
8	SMBDATA	SMBusシリアルデータ入力/出力(オープンドレイン)
9	SMBCLK	SMBusシリアルクロック入力
10	$\overline{\text{ALERT}}$	割込み出力(アクティブロー、オープンドレイン)

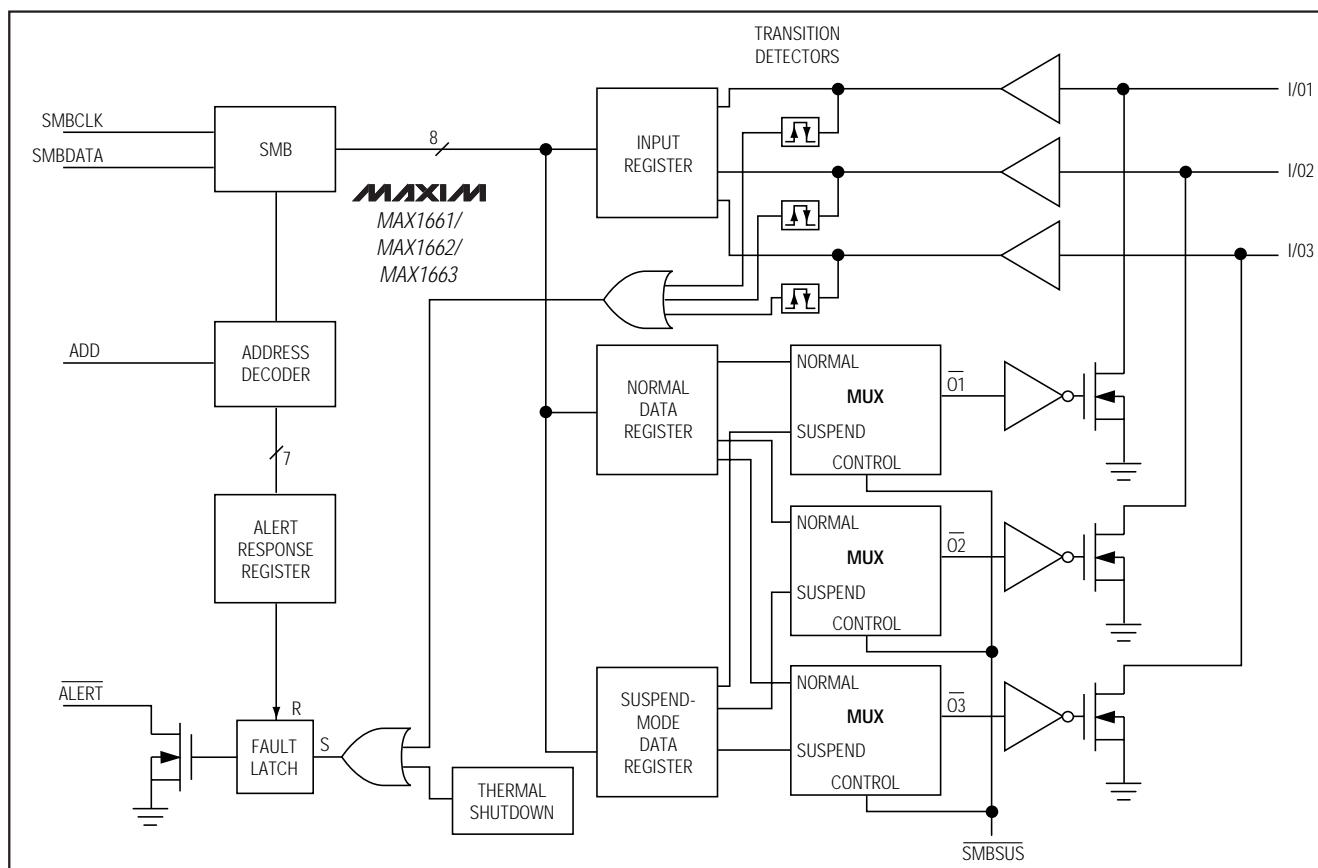


図1. ファンクションダイアグラム

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

詳細

MAX1661/MAX1662/MAX1663は、2線SMBusシリアルデータを3つのラッチ付パラレル出力(I/O1、I/O2、I/O3)に変換します。これらのデバイスは、負荷パワーマネジメントシステムのNチャネル及びPチャネルのハイサイドMOSFETスイッチを駆動するように設計されています。リードバック能力を備えているため、パラレルシリアルデバイスとして機能することも可能です。MAX1661/MAX1662/MAX1663は単一電源で動作し、標準自己消費電流が3 μ Aであるため、ポータブルアプリケーションに最適です(図1)。

SMBusインタフェースの動作

SMBusシリアルインタフェースは、マルチマスタリング能力を備えた2線インタフェースです。ソフトウェア側から見ると、MAX1661/MAX1662/MAX1663はI/O₂ピンを制御する情報、マスク能力及びどちらのレジスタをアドレス指定するかを決定する制御ビットを備えたバイト幅レジスタです。この2線スレーブインタフェースは、標準SMBus送信バイト及び受信バイトプロトコルを採用しています。SMBDATA及びSMBCLKは、遅いエッジにも対応できるシュミットトリガ付入力です。但し、立上がり及び立下がりエッジはそれぞれ1 μ s及び300nsよりも速いことが必要です。ストップ及びスタート状態を除き、SMBCLKがハイの時にSMBDATA入力が遷移することは決してありません。3番目のインタフェースライン(SMBSUS)は、前に保存されたレジスタから非同期でコマンドを実行するために使用されます(「SMBSUS(サスペンドモード)入力」の項を参照してください)。これにより、標準2線シリアルインタフェースに固有の遅延が低減されます。受信バイト動作では、SMBusインタフェースがI/O状態及びサーマルシャットダウン状態を読み戻します。

SMBusのアドレス指定

各スレーブデバイスは、それ自体の固有のアドレス及びアラートレスポンスアドレスの2つのアドレスにだけ応答します。デバイス固有のアドレスは、パワーアップ時に決まります(表1)。アドレス選択ピン(ADD)の3レベル状態は、パワーオンリセット(POR)の時にだけサンプリングされます(一時的に100 μ A入力バイアス電流を発生)。このアドレスは、デバイスの電源がサイクルされるまで変わりません。フローティング時にADDピンの浮遊容量が50pF以上あると、アドレス認識に問題が生じることがあります。

通常のスタート状態は、SMBCLKがハイの時のSMBDATAのハイからローへの遷移からなっています。スタート状態の後には、マスターから7ビットのアドレスと、その後にはそのデバイスが送信するのか受信するのかを決める

表1. SMBusアドレス

ADD	MAX1661	MAX1662	MAX1663
GND	0100000	0100001	0100010
High-Z (floating)	0111100	0111101	0111110
Vcc	1001000	1001001	1001010

1ビットが送信されます(ハイ=READ、ロー=WRITE)。アドレスが正しい場合は、MAX1661/MAX1662/MAX1663がSMBDATAをローにすることにより、アクノレッジパルスが送られます。正しくない場合にはアドレスは認識されず、デバイスはバスから外れたままで、別のスタート状態が発生するまで待機します。

SMBus送信バイトコマンド

MAX1661/MAX1662/MAX1663は、それ自体の正しいスレーブアドレス(表1)とそれに続くR/Wローを受信すると、その後に1バイトの情報を受信することを予期します。データのバイトがクロック入力される前にスタート又はストップ状態を検出すると、エラー状態であると判断して全てのデータを無視します。

MAX1661/MAX1662/MAX1663は書込みビットの後に最初のアクノレッジを発生し、データの後でもう1つのアクノレッジを発生します。2番目のアクノレッジの後、ストップ状態の直前のSMBCLKの立上がりエッジでそのデータバイトを実行します(図2a)。送信バイト動作については、表2を参照してください。

SMBSUS(サスペンドモード)入力

SMBusは送信バイトワードのMSB(ビット7)を通じて、ノーマルデータレジスタ又はサスペンドモードレジスタのどちらにでも書込みを行うことができます(表2)。SMBSUS入力の状態によってどちらのレジスタ内容(ノーマルデータ又はサスペンドモード)がI/O₂ピンに印加されるかが選択されます。SMBSUSをローにするとサスペンドモードレジスタが選択され、SMBSUSをハイにするとノーマルデータレジスタが選択されます。この機能により、システムが非同期で2つの異なるパワープレーンを選択することができるため、シリアルバスに起因する待ち時間が排除されます。SMBSUSは、一般にノートブックコンピュータのSUSTAT#信号に接続します。

SMBus受信バイト動作

MAX1661/MAX1662/MAX1663は、それ自体の正しいスレーブアドレスとそれに続くR/Wハイを受信すると、スレーブトランスミッタになります(図2b)。アドレスデータを受信すると、デバイスはアクノレッジクロックパルス中にアクノレッジエッジを発生し、SMBCLKと同期してSMBDATAを駆動します。SMB

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

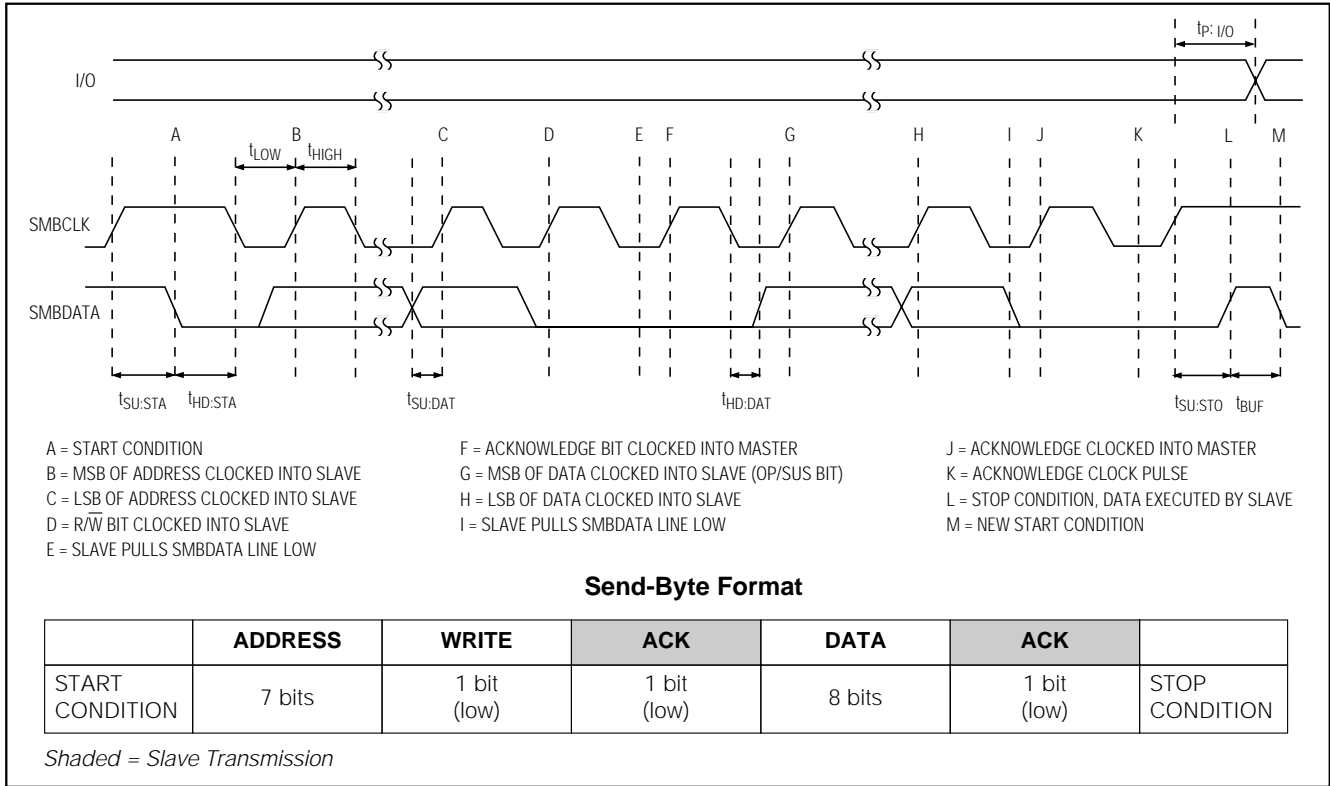


図2a. SMBus送信バイトのタイミング図及びフォーマット

表2. 送信バイトデータのフォーマット

ビット	名称	POR状態* (MAX1661)	POR状態* (MAX1662/MAX1663)	機能
7 (MSB)	SELECT	N/A	N/A	ハイの時にノーマルレジスタにデータを書き込みます。ローの時はサスペンドレジスタにデータを書き込みます。
6	Mask SS	1	1	ハイの時にSTART-STOPソフトウェア割込みをマスクします。
5	Mask 3	1	1	ハイの時にI/O3割込みをマスクします。
4	Mask 2	1	1	ハイの時にI/O2割込みをマスクします。
3	Mask 1	1	1	ハイの時にI/O1割込みをマスクします。
2	I/O3	0	1	I/O出力イネーブルビット。このビットがロー(ロー状態)の時にI/O3がオンになります。
1	I/O2	0	1	I/O出力イネーブルビット。このビットがロー(ロー状態)の時にI/O2がオンになります。
0	I/O1	0	1	I/O出力イネーブルビット。このビットがロー(ロー状態)の時にI/O1がオンになります。

注：POR状態は、サスペンドモードレジスタ及びノーマルモードレジスタの両方に適用されます。

プロトコルでは、マスターがSMBCLKのアクノレジジビット中にアクノレジジしないことによって読取り送信を終了することになっています。受信バイトデータフォーマットについては、表3を参照してください。図4に、完全な受信バイト動作タイミング図を示します。

3つのI/Oピンのロジック状態は、シリアルインタフェースを通じて読取ることができます(表3)。I/Oピンの状態は、R/ \bar{W} ビット及びアクノレジジビットに続くSMBCLKパルスの立下がりエッジでサンプリングされます(図4)。状態レジスタの中のI/Oビットの状態は、その

時のI/Oピンの状態を反映します(つまり、ラッチされていません)。高電圧(28V)動作に必要な低速レベルトランスレータのため、データセットアップ時間が15 μ s必要です。データホールド時間はゼロです。

割込み

MAX1661/MAX1662/MAX1663は、I/Oピンのロジック状態が変化したり、サーマルシャットダウンが発生した場合に、(ハードウェア又はソフトウェアの)割込みを発生します。割込み信号は、ハードウェアALERTピン

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

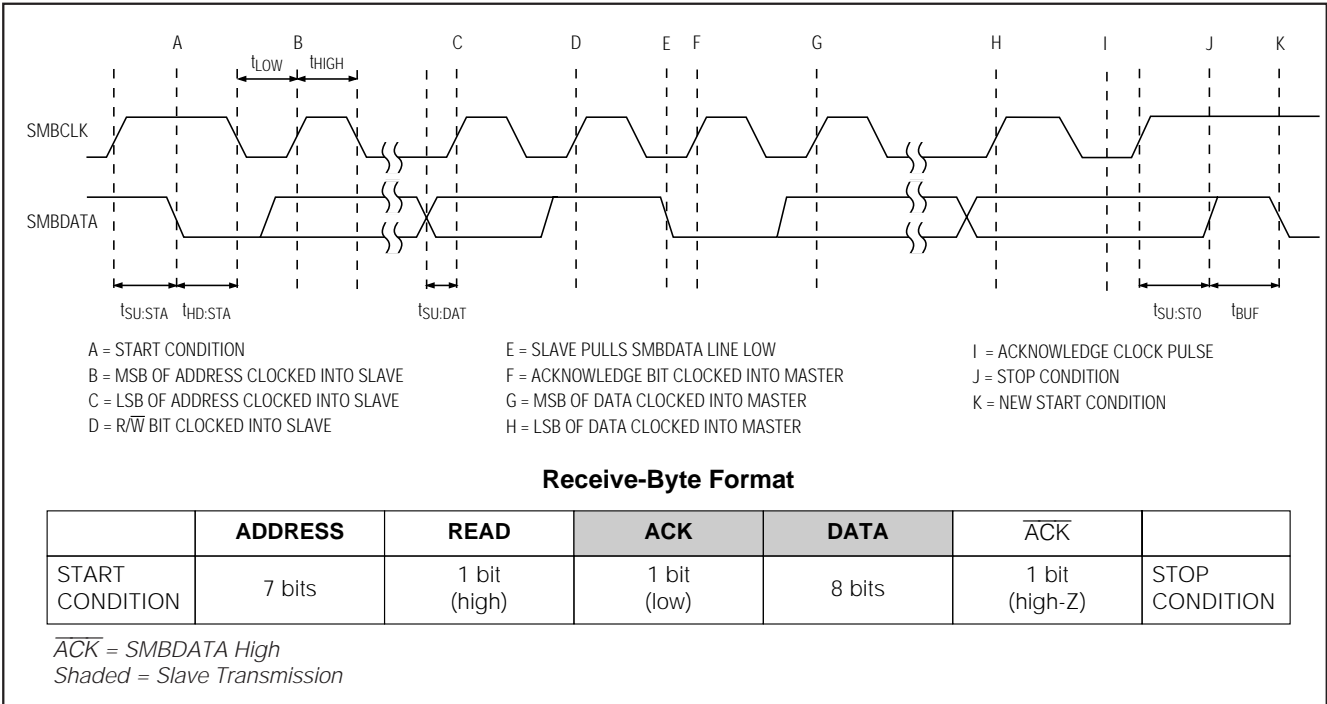


図2b. SMBus受信バイトタイミング図及びフォーマット

表3. 受信バイトデータのフォーマット

ビット	名称	POR状態	機能	ラッチ
7 (MSB)	—	0	未使用	—
6	—	0	未使用	—
5	—	0	未使用	—
4	—	0	未使用	—
3	THSD	N/A	このビットはサーマルシャットダウンを示します。	○
2	Data 3	N/A	このビットはI/O3の状態(ハイ又はロー)を示します。	×
1	Data 2	N/A	このビットはI/O2の状態(ハイ又はロー)を示します。	×
0	Data 1	N/A	このビットはI/O1の状態(ハイ又はロー)を示します。	×

及びソフトウェアSTART-STOP法によって生成されず(ソフトウェア割込みは「START-STOPソフトウェア割込み」の項で説明します)。I/O割込みは個別にマスクできます。さらに、ソフトウェアSTART-STOP割込みも個別にマスクできます。パワーオンリセット状態は、START-STOP割込み及びALERTピンへの個々のI/O割込みの両方をマスクします(表1)。サーマルシャットダウン割込みはマスクできません。電源に過剰なノイズが乗っていると、疑似割込みが発生することがあります(「アプリケーション情報」を参照)。

MAX1661/MAX1662/MAX1663はスレーブ専用デバイスであり、 \overline{ALERT} を強制的にローにすることによって通信を開始することも、ソフトウェアSTART-STOP割込みによって割込みが発生する場合以外に通信を開始することはありません。

アラートレスポンスアドレス(0001100)

アラートレスポンス(割込みポイント)アドレスは、バスマスターに必須の複雑高価なロジックを持たないシンプルなスレーブデバイス用の迅速な障害識別法を提供

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

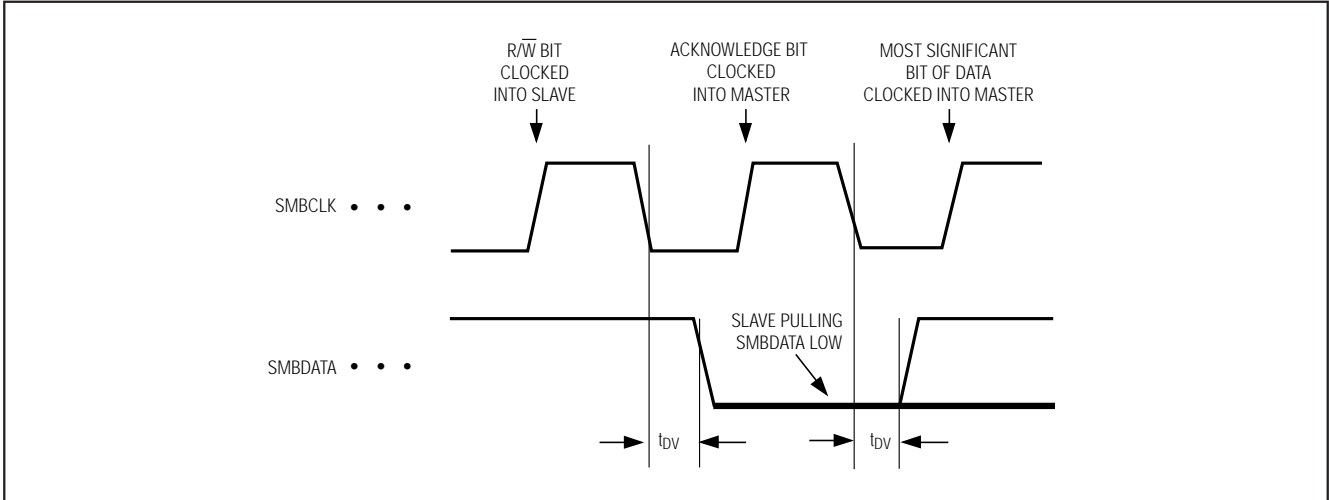
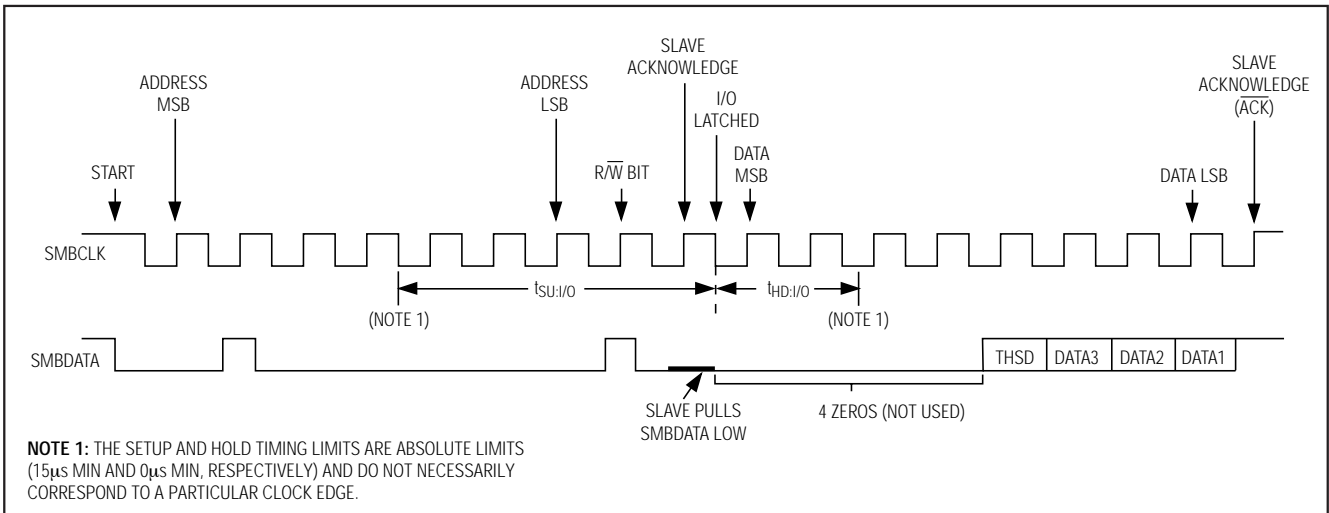


図3. SMBシリアルインタフェースタイミング-----アクノレッジ及びデータ有効



NOTE 1: THE SETUP AND HOLD TIMING LIMITS ARE ABSOLUTE LIMITS (15 μ s MIN AND 0 μ s MIN, RESPECTIVELY) AND DO NOT NECESSARILY CORRESPOND TO A PARTICULAR CLOCK EDGE.

図4. I/O読取りタイミング図

します。スレーブデバイスが割込みを発生すると、ホスト(バスマスター)はアラートレスポンスアドレスを含む特別な受信バイト動作を通じて、バススレーブに問い合わせを行います。問題のスレーブデバイスのアドレスは、この受信バイト動作によって返されるデータです。割込みポインタアドレスは、幾つかの異なるスレーブデバイスを同時に起動できます。2つ以上のスレーブが応答を試みた場合は、バス仲裁規則が適用されて、最小のアドレスコードが先になります。その他のデバイスはアクノレッジを発生せず、サービスを受けるまでALERTラインをローに保持するかSTART-STOP割込みを繰り返します。

アラートレスポンスによる割込みのクリア

障害が生じると、 \overline{ALERT} が発生してローにラッチされます。障害が一時的なものでデバイスがサービスを受ける前に消えてしまっても、 \overline{ALERT} は発生したままになります。通常は、マスターがアラートレスポンスアドレス及びそれに続く読取りビット(00011001)を送り出します。デバイスが自己のアドレスをバス上に乗せて応答すると \overline{ALERT} はクリアされます。ハードウェア及びソフトウェアの割込みラッチをクリアする唯一の方法は、アラートレスポンスアドレスを読取ることです。割込みをクリアしても状態レジスタには影響はありません。

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

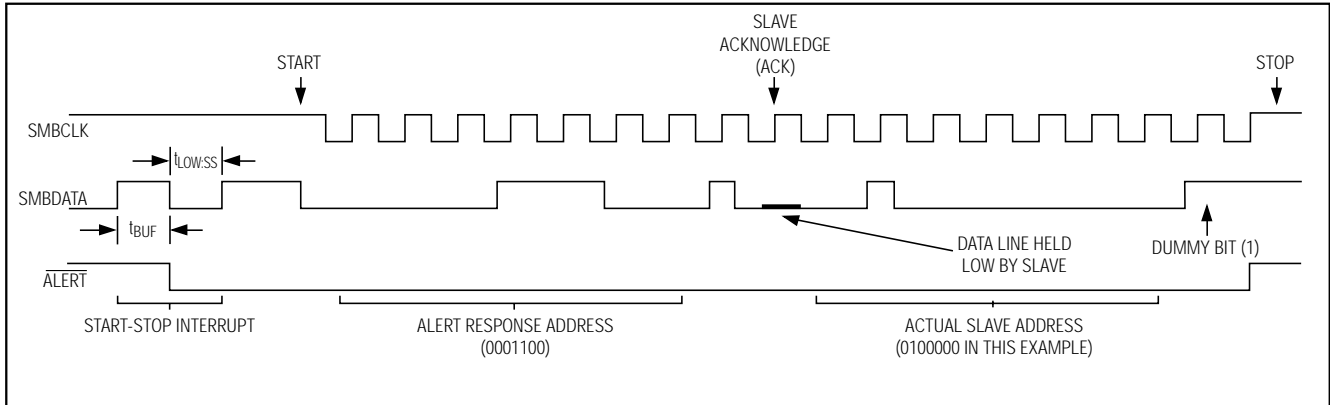


図5. START-STOPソフトウェア割込みタイミング図及びアラートレスポンス

START-STOPソフトウェア割込み

START-STOP割込みは、スレーブデバイスから3番目(割込み)の線を使用せずに2線インタフェースで信号を送るための方法です。START-STOP割込みは、スタート状態の後にストップ状態が続くことにより成立します。つまり、SMBCLKがハイの時にSMBDATAがローになり、次にハイになるということです(図5に、START-STOP割込み及びそれに続く割込みをクリアするためのアラートレスポンス送信を示します。) START-STOP機能は、データレジスタマスクSS(ビット6)をハイに設定することによりディセーブル(マスク)できます。

バス衝突を避けるため、START-STOP割込みはバスがビジーな場合には起こらないようになっています。デバイスがバス上の別のトランスミッタと同時にスタート状態を開始した場合は、SMBCLKが下がるのを衝突と認識して、バスが使用可能になった時にその割込みを再び送信します。サーマルシャットダウン又はI/Oラインの遷移があった場合は、START-STOP割込みを1つだけ発生して、衝突がない限りそれを繰り返すことはありません。しかし、サーマルシャットダウン障害はエッジトリガ式ではないため、START-STOPビットの連続ストリームを生じることがあります。

入力/出力ピン

各入力/出力(I/O)は、内部20mA(typ)電流制限回路によって保護されています。I/O電流リミットは、電源電圧及びI/Oピンに印加される電圧に依存します(「標準動作特性」を参照)。標準I/Oバイアス電流は、 $V_{I/O} = 28V$ まで0.5 μA です。

I/Oが電流をシンクする能力は、I/Oの電圧及び V_{CC} に依存します。 $V_{CC} = 2.7V$ 及び5.5Vにおける標準プルダウンオン抵抗は、それぞれ106 Ω 及び66 Ω です。I/Oのソース及びシンク能力は、パワースイッチングアプリケーションで一般に使用される外部パワーMOSFETの立上がり及び

立下がり時間に影響します。その他の要素としては、 V_{GS} 、MOSFETの入力容量及び回路に使用されるプルアップ抵抗値等が挙げられます。MOSFETの標準的なゲート容量は150pF~2000pFの範囲です。RC時間定数を増やすとMOSFETの応答は遅くなりますが、遷移がスムーズになります。

パワーオンリセット

パワーオンリセット回路は、パワーアップシーケンス中に外部MOSFETをオフ状態に維持します。電源電圧がパワーオンリセットスレッシュホールド電圧よりも低くなると、MAX1662/MAX1663の出力がハイインピーダンス状態にリセットされ、MAX1661の出力はロー状態にリセットされます。初期パワーアップシーケンス中には、 V_{CC} が増加すると \overline{ALERT} ピンが一旦ローになってから再びハイになり、これによってデバイスが通電状態であることが示されます。 \overline{ALERT} のロー状態とハイ状態の間の時間がパワーオンディレー時間です。 V_{CC} が0.8V(typ)よりも低くなると、POR状態を実現することができなくなり、いずれのバージョンでもI/Oピンのプルダウン電流能力が低下して、ついにはハイインピーダンスとなります。

サーマルシャットダウン

これらのデバイスは、ジャンクション温度が+140 (typ)を超えると全ての出力段(I/Oピン)をターンオフする内部サーマルシャットダウン回路を備えています。サーマルシャットダウンは、I/Oピンが過負荷状態になった時にのみ発生します。デバイスは、過負荷状態が除去されるまでサーマルシャットダウンと過電流状態の間をサイクルします。これによりSTART-STOP割込みが続くため、極端な場合にはマスターコントローラが使用できなくなる場合もあります。しかし、デバイスは \overline{ALERT} ローを発生し、この障害状態を示します。

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

アプリケーション情報

バイパス及びグラウンドの留意点

25V/ μ sで500mVを超える電圧トランジェントがあると、疑似割込み及びサーマルシャットダウンがトリガされる可能性があります。大きなV_{CC}トランジェントが予想される場合には、V_{CC}と直列に100Ωの抵抗を追加してください。V_{CC}とGNDの間の0.1 μ Fは残してフィルタとして使用します。

コントロールドターンオンの Pチャンネル/Nチャンネル負荷スイッチ

電圧スイッチングをさらに制御するアプリケーションでは、直列抵抗を加えてスイッチのターンオン時間を遅くしてください。外部MOSFETゲートは標準容量が150pF~2000pFですが、スイッチング時間をさらに遅くするためにオプションで外部容量を追加することもできます(図6)。

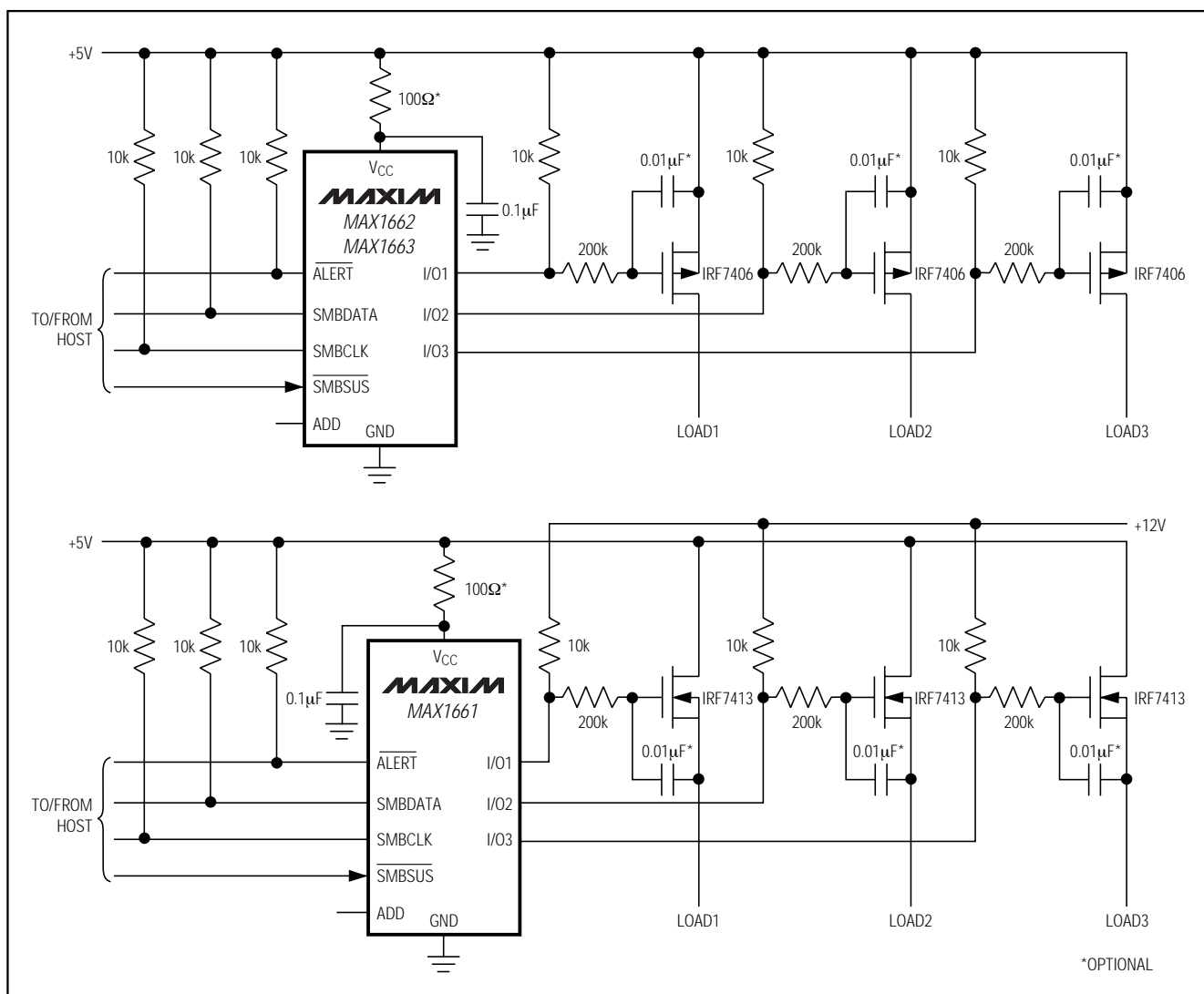


図6. コントロールドターンオンの負荷スイッチ

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

バックトゥバックに接続したMOSFET使用の
バッテリースイッチ

バッテリー駆動アプリケーションでは、逆電流が負荷から
電源に流れるのを防ぐためにバックトゥバックに接続
したMOSFETを使用してください(図7)。これにより
バッテリーの損傷を防ぎ、負荷を電源から分離できます。

LEDドライバ

MAX1661/MAX1662/MAX1663は、プログラマブル
LEDドライバとして使用できます(図8)。自己消費電流
が小さいため、ノートブックコンピュータのフロント
パネルの表示ライトドライバに最適です。

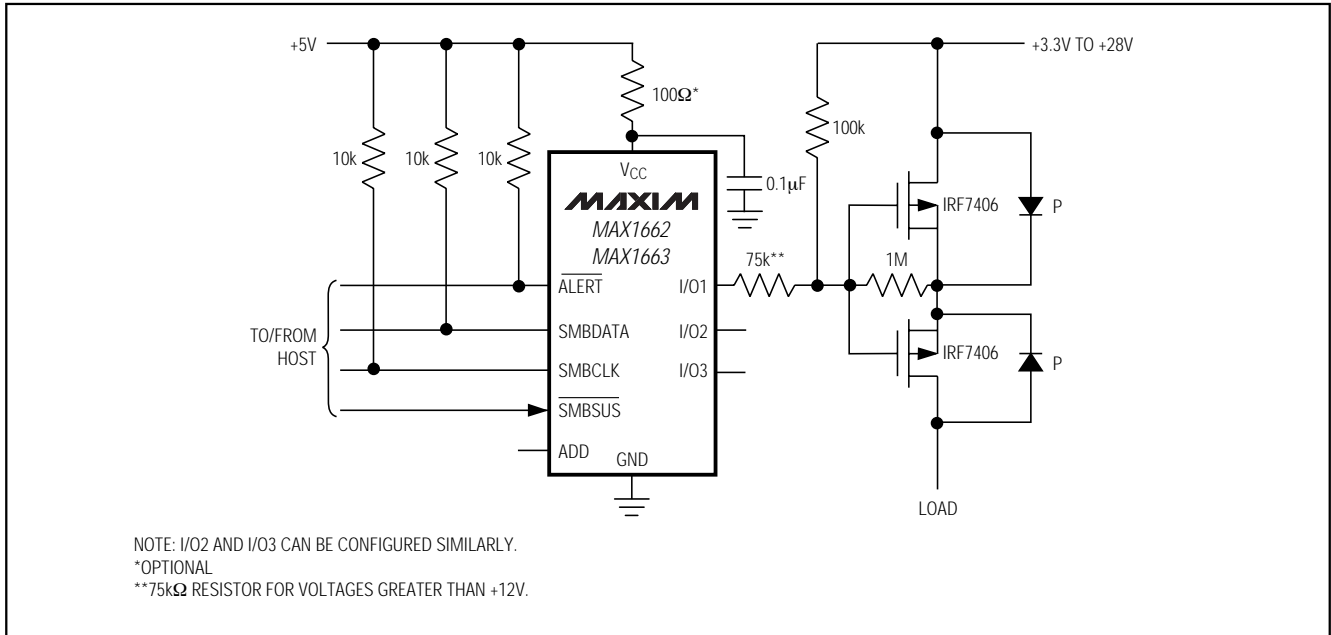


図7. バックトゥバックに接続したMOSFET使用のバッテリースイッチ

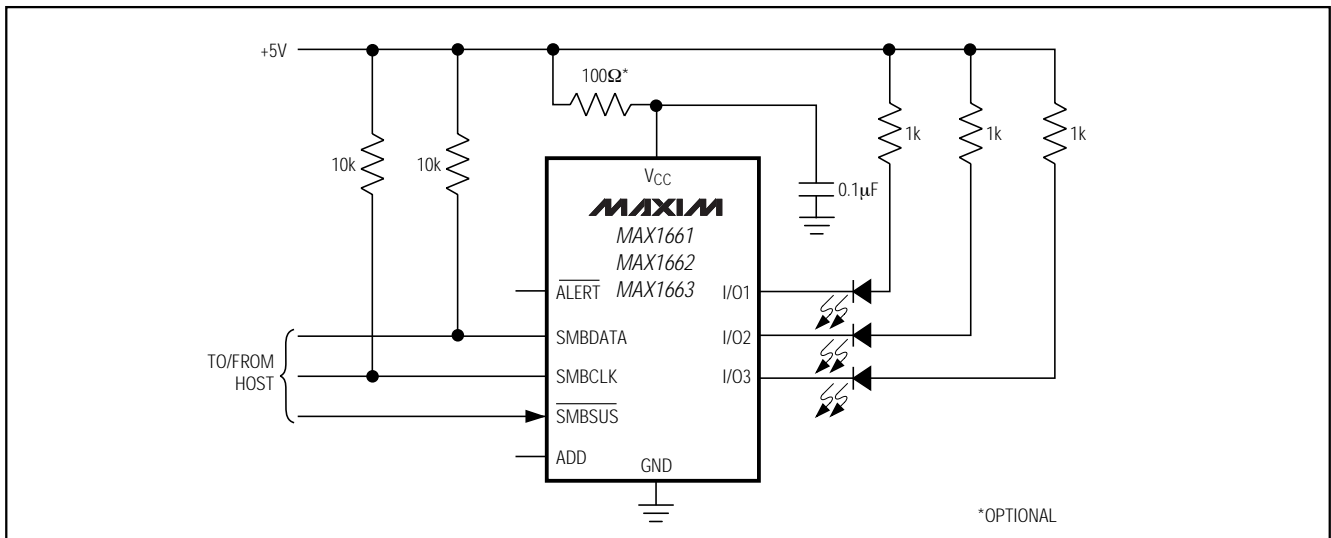


図8. LEDドライバ

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

メカニカルスイッチモニタ

MAX1661/MAX1662/MAX1663は、I/Oのロジック状態のリードバック能力を持っているため、システム状態のチェックに適しています。これらのデバイスはI/Oの変化を検出して状態変化を知らせる割り込みをマスターに送る「開蓋インジケータ」として使用できます(図9)。同じ方法をシャーシ侵入の検出に使用することもできます。

シンプルな高電圧スイッチ

これよりも高い電圧を必要とするアプリケーションでは、シンプルな抵抗分圧器を使用してゲートをブレイクダウンから保護しつつ、MOSFETが高電圧アプリケーションに対応できるようにすることができます(図10)。

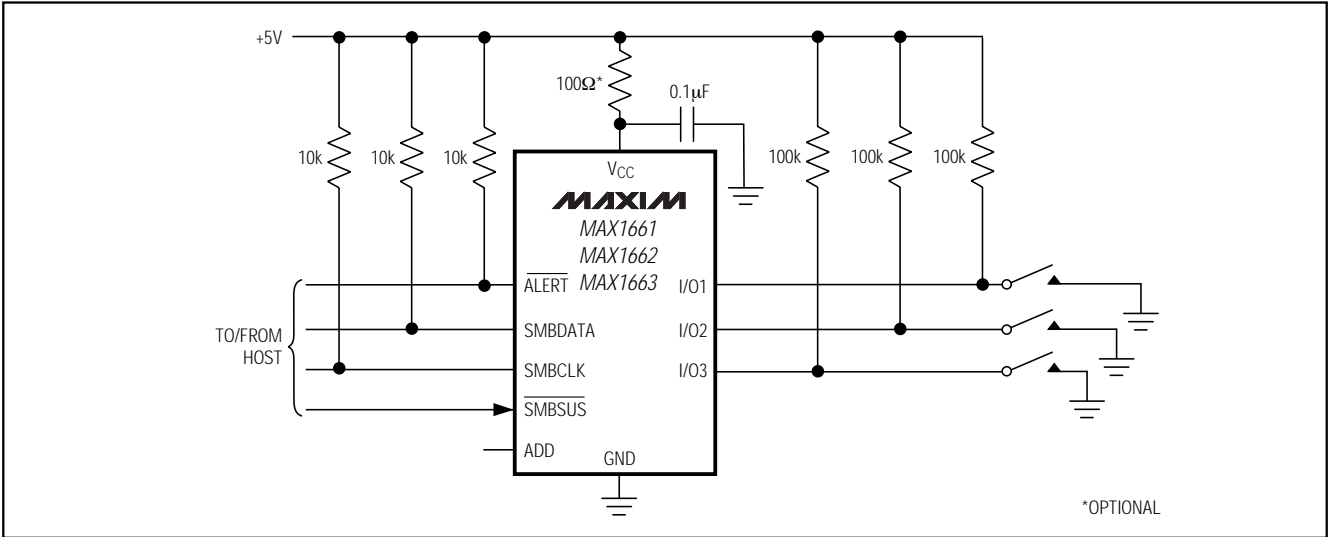


図9. 開蓋ディテクタ又はシャーシ侵入ディテクタ

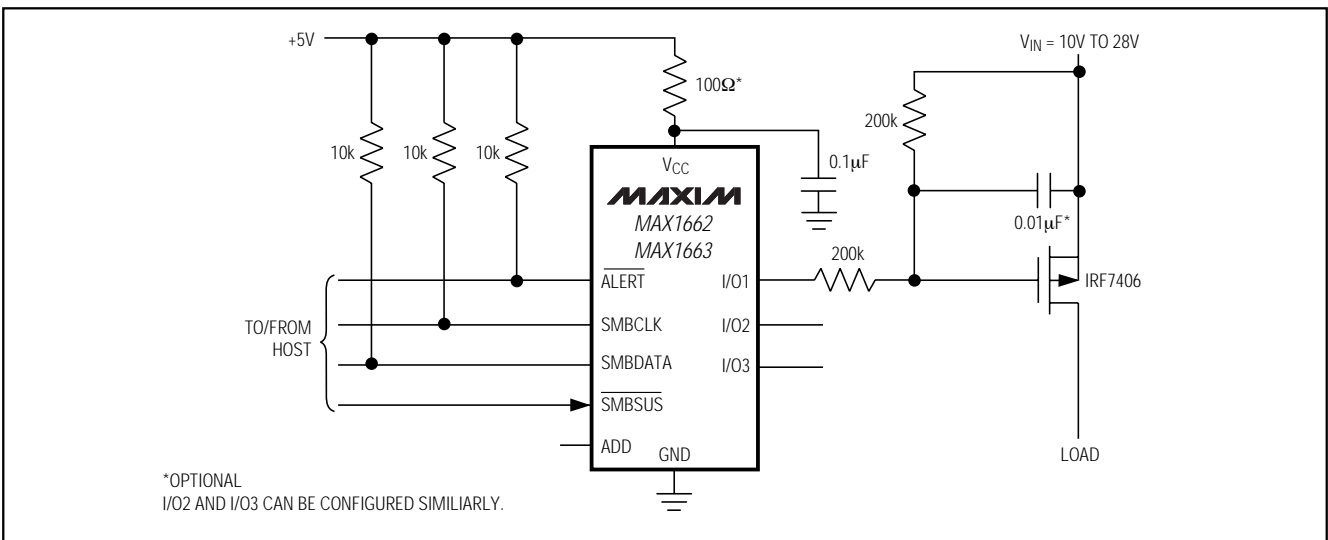
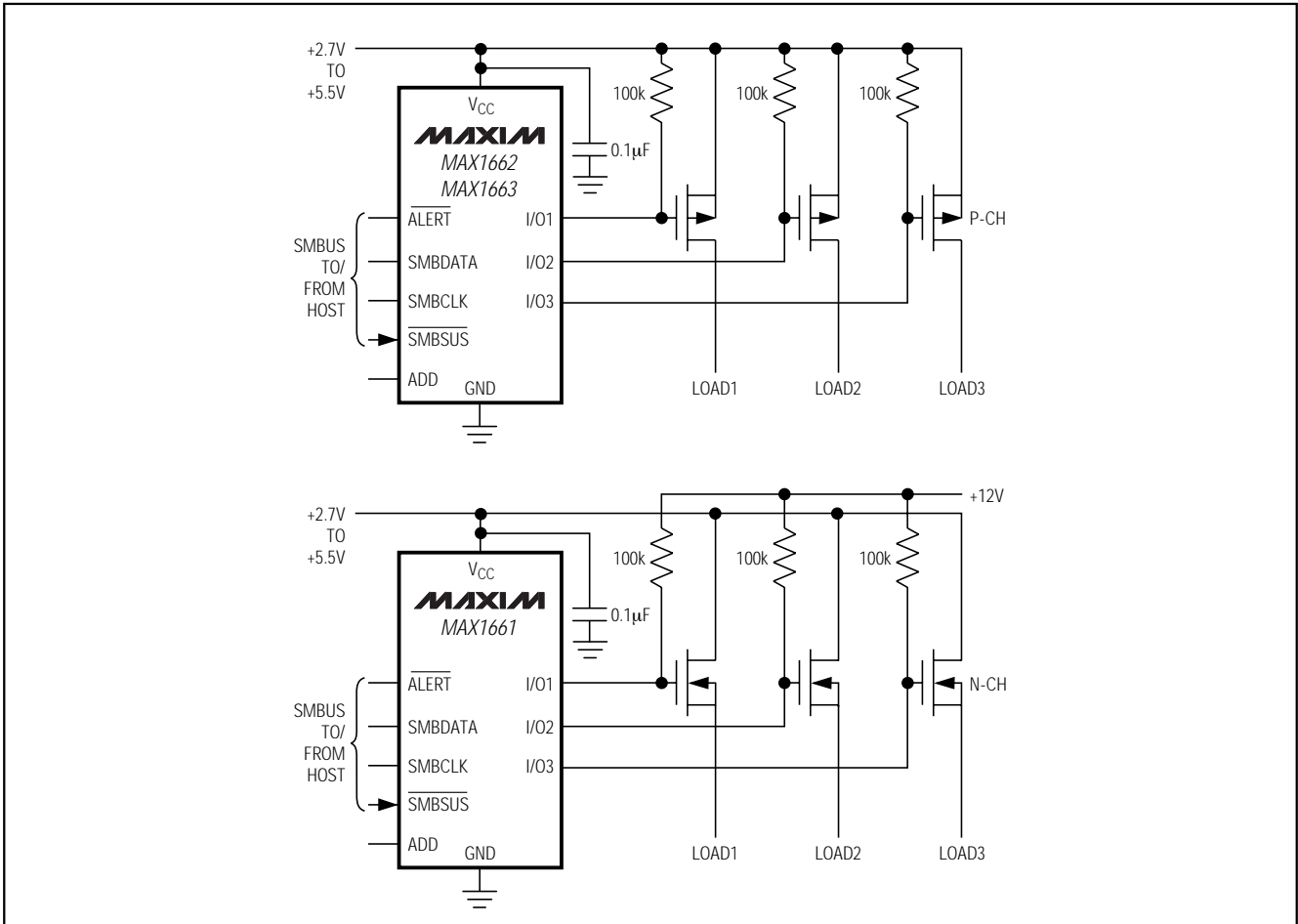


図10. シンプルな高電圧スイッチ

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

MAX1661/MAX1662/MAX1663

標準動作回路



チップ情報

TRANSISTOR COUNT: 3334

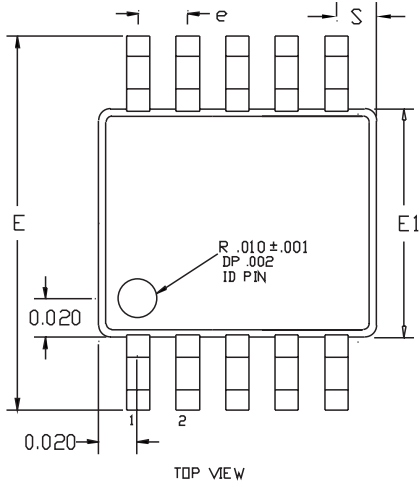
SUBSTRATE CONNECTED TO GND

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

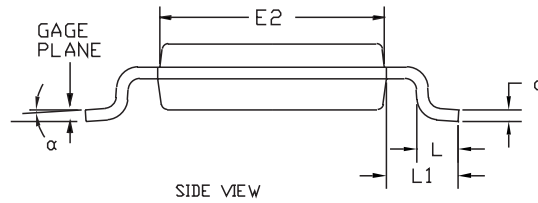
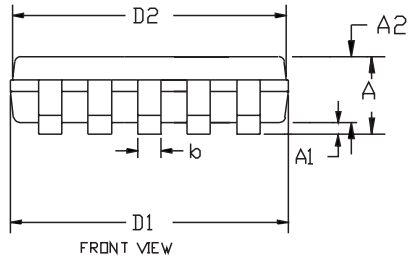
パッケージ

10LUMAXB.EPS

MAX1661/MAX1662/MAX1663



DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.037	0.043	0.939	1.092
A1	0.002	0.006	0.051	0.152
A2	0.030	0.038	0.762	0.965
D1	0.112	0.124	2.845	3.150
D2	0.110	0.122	2.794	3.099
E1	0.112	0.124	2.845	3.150
E2	0.110	0.122	2.794	3.099
E	0.185	0.201	4.699	5.105
L	0.0155	0.0275	0.394	0.699
L1	0.037	REF	0.940	REF
b	0.007	0.0106	0.177	0.270
e	0.0197	BSC	.500	BSC
c	0.0035	0.0078	0.090	0.200
S	0.0196	REF	.498	REF
α	0°	6°	0°	6°



NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .15mm(.006").
3. CONTROLLING DIMENSION: INCHES

MAXIM			
PROPRIETARY INFORMATION			
TITLE:			
PACKAGE OUTLINE, 10L MICRO MAX			
APPROVAL	DOCUMENT CONTROL NO.	REV	
	21-0061	B	1/1

シリアルパラレル/パラレルシリアルコンバータ及び 負荷スイッチコントローラ、SMBusインタフェース付

NOTES

MAX1661/MAX1662/MAX1663

販売代理店

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

16 _____ Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

© 1997 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products.