

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

概要

MAX15021は、トラッキング(同時およびレシオメトリック)およびシーケンシングのオプション付きのデュアル出力で、パルス幅変調(PWM)のステップダウンDC-DCレギュレータです。このデバイスは2.5V~5.5Vで動作し、各出力は0.6Vから入力電源電圧(V_{AVIN})まで調整可能です。MAX15021は、最大4A (レギュレータ1)および2A (レギュレータ2)の出力電流を供給します。このデバイスはスイッチング周波数を500kHz~4MHzに調整可能で、サイズと性能面で設計を最適化することができます。

MAX15021は外部補償の電圧モード制御方式を採用しており、優れたノイズ耐性、およびインダクタ値とコンデンサタイプの選択に最大限のフレキシビリティを提供します。このデュアルのスイッチングレギュレータは180°の逆位相で動作し、これによってRMS入力リップル電流を低減しますので、入力のバイパスコンデンサをかなり小型化することができます。

MAX15021は、パワーアップおよびパワーダウン動作時にトラッキング(同時またはレシオメトリック)またはシーケンスの機能を提供します。シーケンシングの場合、このデバイスはプリバイアスされた出力にグリッチなしでパワーアップします。

その他の機能には、ヒステリシス付きの内部低電圧ロックアウトおよびグリッチのないパワーアップとパワーダウンにするためのデジタルソフトスタート/ソフトストップがあります。保護機能には、無損失のサイクルごとの電流制限、ヒカップモードの出力短絡保護、および熱シャットダウンがあります。

MAX15021は省スペース5mm x 5mmの28ピンTQFN-EPパッケージで用意されており、-40°C~+125°Cの温度範囲での動作が保証されています。

アプリケーション

- RFIDカードリーダー
- Power over Ethernet (PoE)のIP電話
- 車載マルチメディア
- マルチ電圧電源
- ネットワーク/テレコム

型番

PART	TEMP RANGE	PIN-PACKAGE
MAX15021ATI+	-40°C to +125°C	28 TQFN-EP*

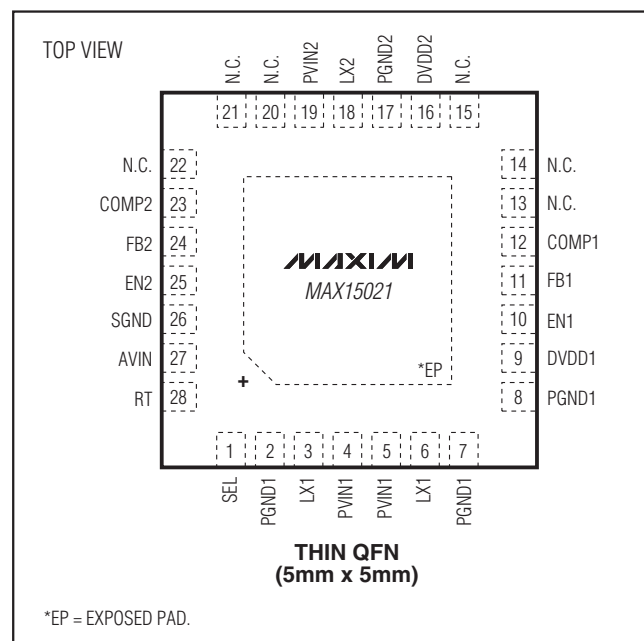
+は鉛フリーパッケージを示します。

*EP = エキスポーズドパッド

特長

- ◆ 入力電圧範囲：2.5V~5.5V
- ◆ デュアル出力の同期型降圧レギュレータ
- ◆ 4Aおよび2A出力電流用のスイッチを内蔵
- ◆ 180°逆位相動作
- ◆ 可変出力：0.6V~ V_{AVIN}
- ◆ 無損失のサイクルごとの電流検出
- ◆ 最大限のフレキシビリティを持たせた外部補償
- ◆ トラッキングアプリケーション用のデジタルソフトスタートおよびソフトストップ
- ◆ シーケンシングアプリケーション用のプリバイアスされた負荷へのデジタルソフトスタート
- ◆ シーケンシングまたは同時/レシオメトリックトラッキング
- ◆ 可変スイッチング周波数：500kHz~4MHz
- ◆ 熱シャットダウンおよびヒカップモードの短絡保護
- ◆ 20 μ Aのシャットダウン電流
- ◆ 最大100%のデューティサイクル
- ◆ 省スペース(5mm x 5mm)の28ピンTQFNパッケージ

ピン配置



*EP = EXPOSED PAD.

MAX15021

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

ABSOLUTE MAXIMUM RATINGS

AVIN, PVIN ₋ , DVDD ₋ , EN ₋ , FB ₋ , RT, SEL to SGND	-0.3V to +6V
COMP ₋ to SGND	-0.3V to (V _{AVIN} + 0.3V)
PGND ₋ to SGND	-0.3V to +0.3V
LX ₋ Current (Note 1)	
Regulator 1	6A
Regulator 2	3A
Current into Any Pin other than PVIN ₋ , LX ₋ , and PGND ₋	50mA

Continuous Power Dissipation (T _A = +70°C) 28-Pin TQFN (derate 34.5mW/°C above +70°C)	2758.6mW
Junction-to-Case Thermal Resistance (θ _{JC})(Note 2)	2°C/W
Junction-to-Ambient Thermal Resistance (θ _{JA})(Note 2) ..	29°C/W
Operating Temperature Range	-40°C to +125°C
Maximum Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

Note 1: LX₋ has internal diodes to PGND₋ and PVIN₋. Applications that forward bias these diodes should take care not to exceed the IC's package power dissipation.

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations see www.maxim-ic.com/thermal-tutorial.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{AVIN} = V_{PVIN-} = V_{DVDD-} = 3.3V, V_{PGND-} = V_{SGND-} = 0V, R_T = 25kΩ, and T_A = T_J = -40°C to +125°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SYSTEM SPECIFICATIONS						
Input-Voltage Range		V _{AVIN} = V _{PVIN1} = V _{PVIN2} = V _{DVDD1} = V _{DVDD2}	2.5		5.5	V
Undervoltage Lockout Threshold		AVIN rising	2.1	2.2	2.3	V
Undervoltage Lockout Hysteresis				0.12		V
Operating Supply Current		V _{EN-} = 1.3V, V _{FB-} = 0.8V		3.5	6	mA
Shutdown Supply Current		V _{EN-} = 0V		20	65	μA
PWM DIGITAL SOFT-START/SOFT-STOP						
Soft-Start/Soft-Stop Duration				4096		Clock Cycles
Reference Voltage Steps				64		Steps
PWM ERROR AMPLIFIERS						
FB1, FB2 Input Bias Current			-1		+1	μA
FB1, FB2 Voltage Set-Point			0.593	0.599	0.605	V
COMP1, COMP2 Voltage Range		I _{COMP-} = -250μA to +250μA	0.3		V _{AVIN} - 0.5	V
Error-Amplifier Open-Loop Gain				80		dB
Error-Amplifier Unity-Gain Bandwidth				12		MHz
POWER MOSFETS						
Regulator 1 p-Channel MOSFET R _{DS(on)}		V _{DVDD1} = 5V		50	90	mΩ
Regulator 1 n-Channel MOSFET R _{DS(on)}		V _{DVDD1} = 5V		30	50	mΩ
Regulator 1 Gate Charge		V _{DVDD1} = 5V		8		nC
Maximum LX1 RMS Current				4		A
Regulator 2 p-Channel MOSFET R _{DS(on)}		V _{DVDD2} = 5V		100	180	mΩ
Regulator 2 n-Channel MOSFET R _{DS(on)}		V _{DVDD2} = 5V		60	100	mΩ
Regulator 2 Gate Charge		V _{DVDD2} = 5V		4		nC
Maximum LX2 RMS Current				2		A

トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15021

ELECTRICAL CHARACTERISTICS (continued)

($V_{AVIN} = V_{PVIN} = V_{DVDD} = 3.3V$, $V_{PGND} = V_{SGND} = 0V$, $R_T = 25k\Omega$, and $T_A = T_J = -40^\circ C$ to $+125^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
PWM CURRENT LIMIT AND HICCUP MODE						
Regulator 1 Peak Current Limit		$V_{AVIN} = 3.3V$	4.5	4.9	5.3	A
		$V_{AVIN} = 2.5V$	3.4	3.65	3.95	
Regulator 1 Valley Current Limit		$V_{AVIN} = 3.3V$	4.0	4.9	5.65	A
		$V_{AVIN} = 2.5V$	3.0	3.7	4.25	
Regulator 2 Peak Current Limit		$V_{AVIN} = 3.3V$	2.25	2.45	2.65	A
		$V_{AVIN} = 2.5V$	1.70	1.85	1.98	
Regulator 2 Valley Current Limit		$V_{AVIN} = 3.3V$	2.0	2.5	2.83	A
		$V_{AVIN} = 2.5V$	1.5	1.85	2.13	
Number of Cumulative Current-Limit Events to Hiccup	N_{CL}			4		Clock Cycles
Number of Consecutive Noncurrent Limit Cycles to Clear N_{CL}	N_{CLR}			3		Clock Cycles
Hiccup Timeout	N_{HT}			8192		Clock Cycles
ENABLE/SEL						
EN_ Threshold		V_{EN_rising}	1.207	1.225	1.243	V
EN_ Hysteresis				0.12		V
EN_ Input Current			-2.5		+2.5	μA
SEL High Threshold			$0.85 \times V_{AVIN}$			V
SEL Low Threshold			$0.2 \times V_{AVIN}$			V
SEL Input Bias Current		Present only during startup	-100		+100	μA
OSCILLATOR						
Switching Frequency Range	f_{sw}	$f_{sw} = 3MHz \times [V_{RT}(V)/1.067(V)]$ (Note 4)	500		4000	kHz
Oscillator Accuracy		$f_{sw} \leq 1500kHz$	-6		+6	%
		$f_{sw} > 1500kHz$	-10		+10	
Phase Shift Between Regulators				180		Degrees
RT Current		$0 < V_{RT} < 1.067V$	31.30	32	32.58	μA
RT Voltage Range	V_{RT}		0.13		1.067	V
Minimum Controllable On-Time				60		ns
Minimum Controllable Off-Time				60		ns
PWM Ramp Amplitude				$V_{AVIN}/4$		V
PWM Ramp Valley				0.3		V
THERMAL SHUTDOWN						
Thermal Shutdown Temperature		Temperature rising		+160		$^\circ C$
Thermal Shutdown Hysteresis				15		$^\circ C$

Note 3: Specifications are 100% production tested at $T_A = +25^\circ C$ and $T_A = +125^\circ C$. Maximum and minimum specifications over temperature are guaranteed by design.

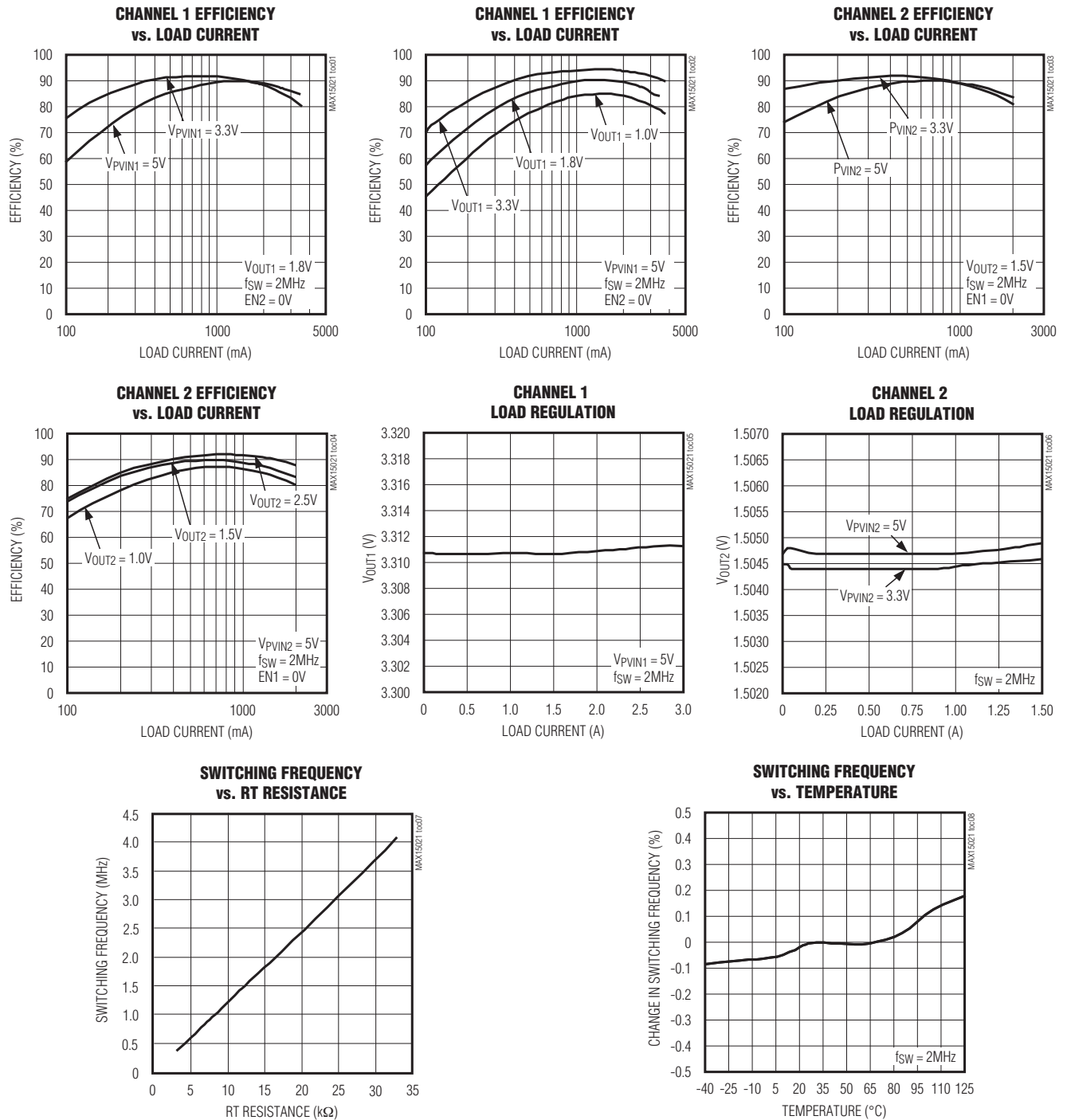
Note 4: When operating with $V_{AVIN} = 2.5V$, the maximum switching frequency should be derated to 3MHz.

トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15021

標準動作特性

($V_{AVIN} = V_{DVDD1} = V_{DVDD2} = V_{PVIN1} = V_{PVIN2} = 5V$, $V_{OUT1} = 3.3V$, $V_{OUT2} = 1.5V$, $V_{PGND_} = 0V$, $R_T = 16.5k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)

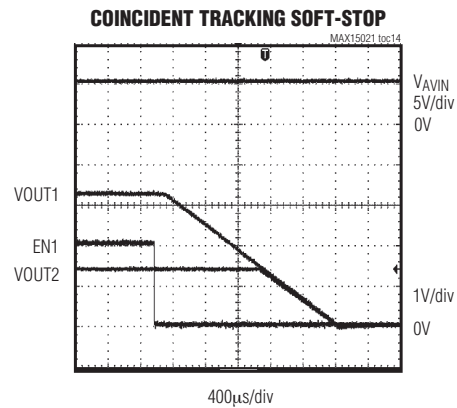
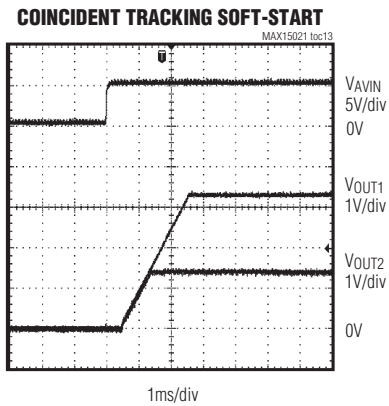
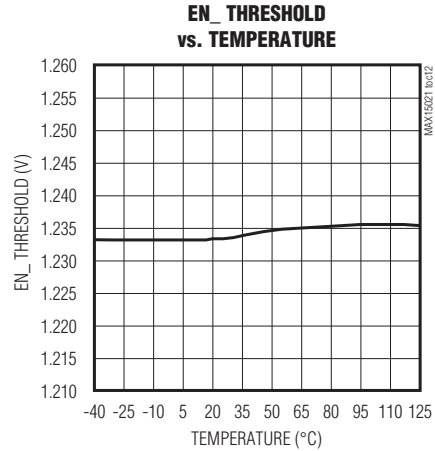
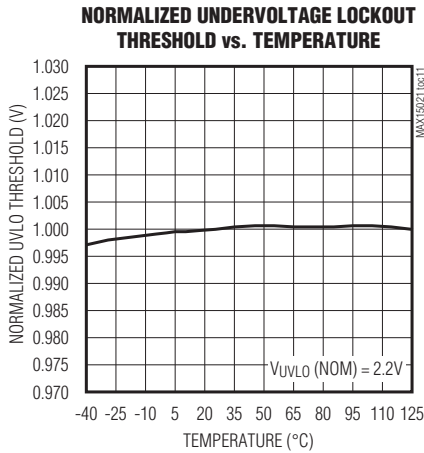
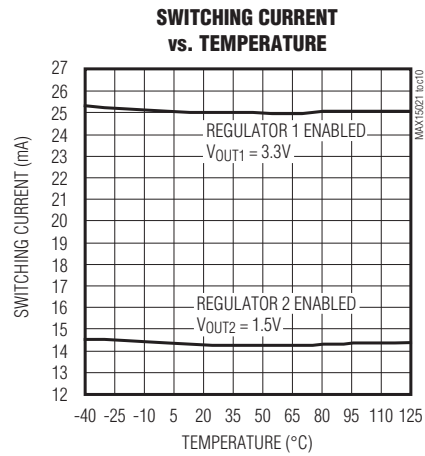
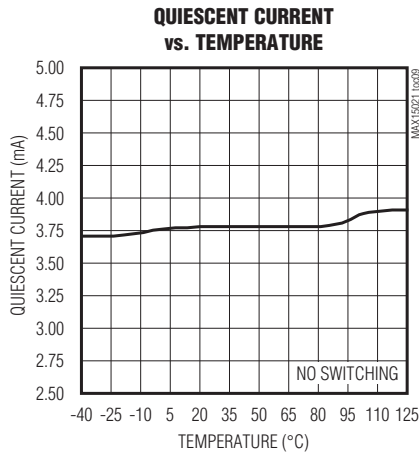


トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15021

標準動作特性(続き)

($V_{AVIN} = V_{DVDD1} = V_{DVDD2} = V_{PVIN1} = V_{PVIN2} = 5V$, $V_{OUT1} = 3.3V$, $V_{OUT2} = 1.5V$, $V_{PGND_} = 0V$, $R_T = 16.5k\Omega$. $T_A = +25^\circ C$, unless otherwise noted.)

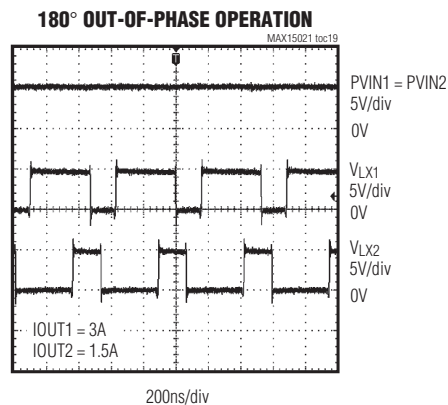
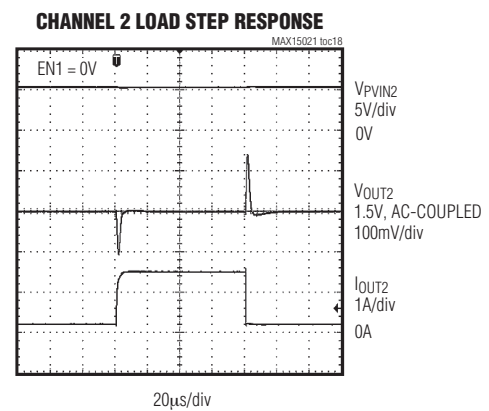
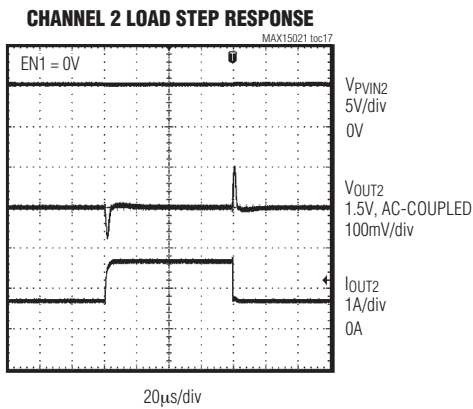
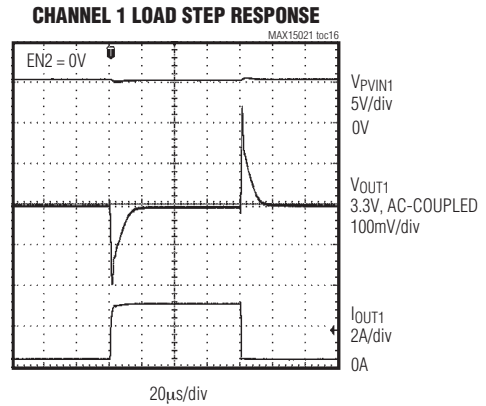
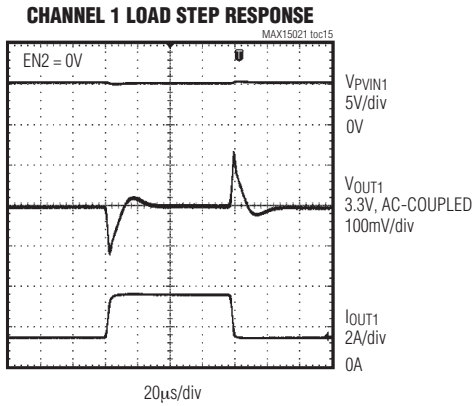


トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15021

標準動作特性(続き)

($V_{AVIN} = V_{DVDD1} = V_{DVDD2} = V_{PVIN1} = V_{PVIN2} = 5V$, $V_{OUT1} = 3.3V$, $V_{OUT2} = 1.5V$, $V_{PGND_} = 0V$, $R_T = 16.5k\Omega$, $T_A = +25^\circ C$, unless otherwise noted.)



トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15021

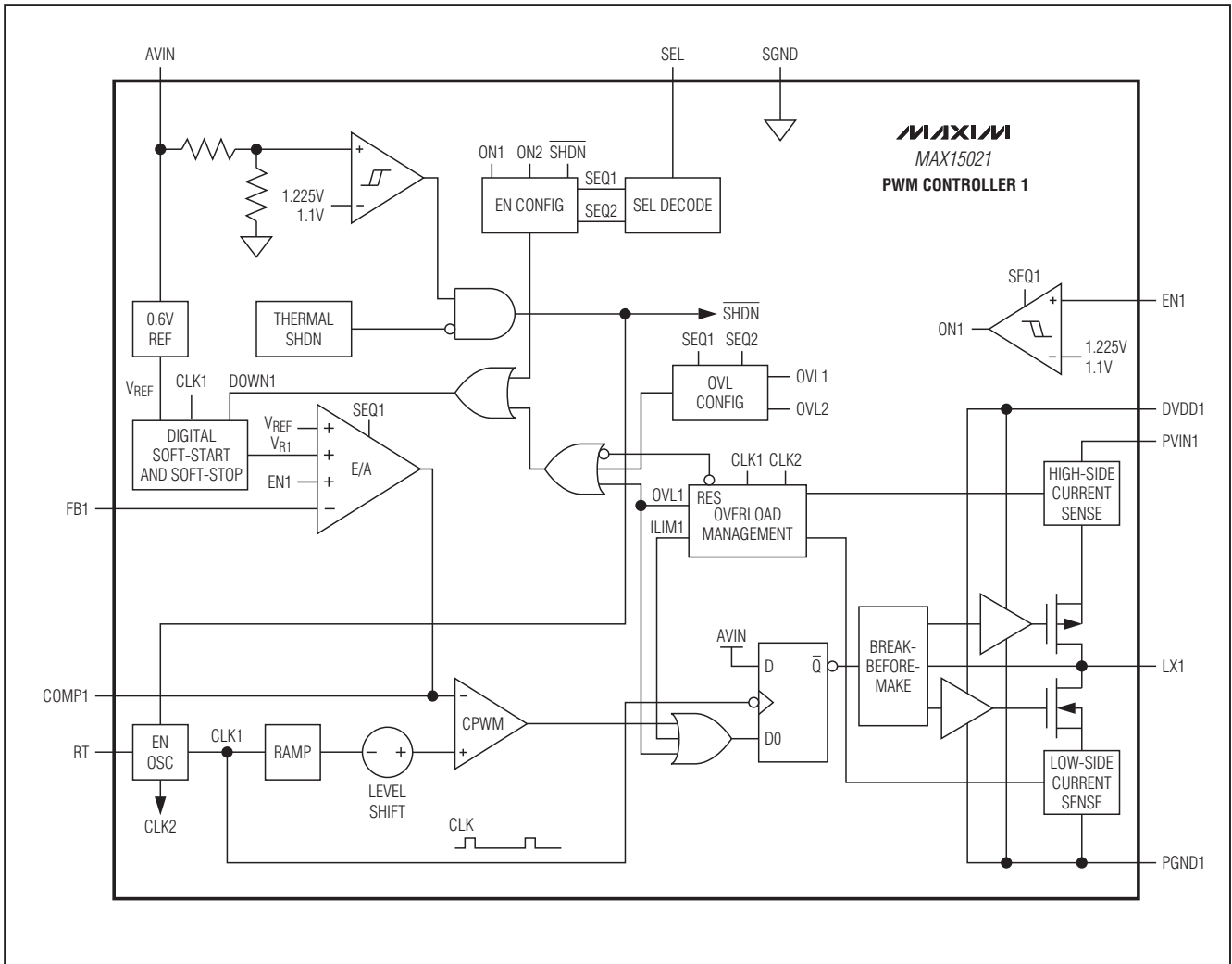
端子説明

端子	名称	機能
1	SEL	トラッキング/シーケンス選択入力。SELをグランドに接続すると、このデバイスはシーケンスに構成されます。SELをAVINに接続すると、出力1をマスタとするトラッキングになります。SELを無接続にすると、出力2をマスタとするトラッキングになります。高い方の電圧をマスタとし、低い方の電圧をスレーブにしてください。
2, 7, 8	PGND1	レギュレータ1用の電源グランド接続。入力および出力フィルタコンデンサの負端子をPGND1に接続してください。通常は入力バイパスコンデンサの負端子で、PGND1をSGNDに外部1点接続してください。
3, 6	LX1	レギュレータ1用のインダクタ接続。LX1は内部のハイサイドpチャネルMOSFETのドレインとの接続、およびレギュレータ1用の内部同期整流nチャネルMOSFETのドレインとの接続です。
4, 5	PVIN1	レギュレータ1用の入力電源電圧。2.5V~5.5Vの外部電圧源に接続してください。PVIN1は、PGND1に1 μ F (min)のセラミックコンデンサでバイパスしてください。
9	DVDD1	レギュレータ1用のスイッチドライバ電源。外部でPVIN1に接続します。
10	EN1	レギュレータ1用のイネーブル入力。シーケンスに設定した場合、PWMコントローラが出力1のレギュレーションを始めるためには、EN1は1.225V (typ)を超えなければなりません。トラックに設定した場合は、レギュレータ2出力に接続する抵抗分圧器の中間端子にEN1を接続します。
11	FB1	レギュレータ1用のフィードバック安定化点。出力電圧を設定するためには、レギュレータ1出力とSGND間に抵抗分圧器を接続して、その中間端子をFB1に接続します。FB1電圧は0.6V (typ)に安定化します。
12	COMP1	レギュレータ1用の誤差アンプ出力。COMP1を補償フィードバック回路に接続します。
13, 14, 15, 20, 21, 22	N.C.	接続なし。何も接続しないでください。
16	DVDD2	レギュレータ2用のスイッチドライバ電源。外部でPVIN2に接続します。
17	PGND2	レギュレータ2用の電源グランド接続。入力と出力フィルタコンデンサの負端子をPGND2に接続してください。通常は、PGND2をSGNDに入力バイパスコンデンサの負端子で外部1点接続してください。
18	LX2	レギュレータ2用のインダクタ接続。LX2はレギュレータ2の内部のハイサイドpチャネルMOSFETのドレイン接続で、かつ内部同期型nチャネルMOSFETのドレイン接続です。
19	PVIN2	レギュレータ2用の入力電源電圧。2.5V~5.5Vの外部電圧源に接続してください。PVIN2はPGND2に1 μ F (min)のセラミックコンデンサでバイパスしてください。
23	COMP2	レギュレータ2用の誤差アンプ出力。COMP2を補償フィードバック回路に接続します。
24	FB2	レギュレータ2用のフィードバック安定化点。出力電圧を設定するためには、レギュレータ2出力とSGND間の抵抗分圧器の中間端子に接続します。FB2電圧は0.6V (typ)に安定化します。
25	EN2	レギュレータ2用のイネーブル入力。シーケンスに設定した場合、PWMコントローラが出力2のレギュレーションを始めるためには、EN2は1.225V (typ)を超えなければなりません。トラックに設定した場合は、レギュレータ1出力に接続する抵抗分圧器の中間端子にEN2を接続します。
26	SGND	信号グランド。通常は入力バイパスコンデンサの負端子の近くでSGNDをPGND ₁ に1点接続してください。
27	AVIN	入力電圧。AVINはSGNDに100nF (min)のセラミックコンデンサでバイパスしてください。
28	RT	発振器のタイミング抵抗接続。4.2k Ω ~33k Ω の抵抗をRTとSGND間に接続すると、500kHz~4MHzのスイッチング周波数に設定されます。
—	EP	エクスポーズドパッド。熱消費を改善するためにEPをSGND電位の大きな銅プレーンに接続してください。メインのSGND接続として使用しないでください。

トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

ファンクションダイアグラム

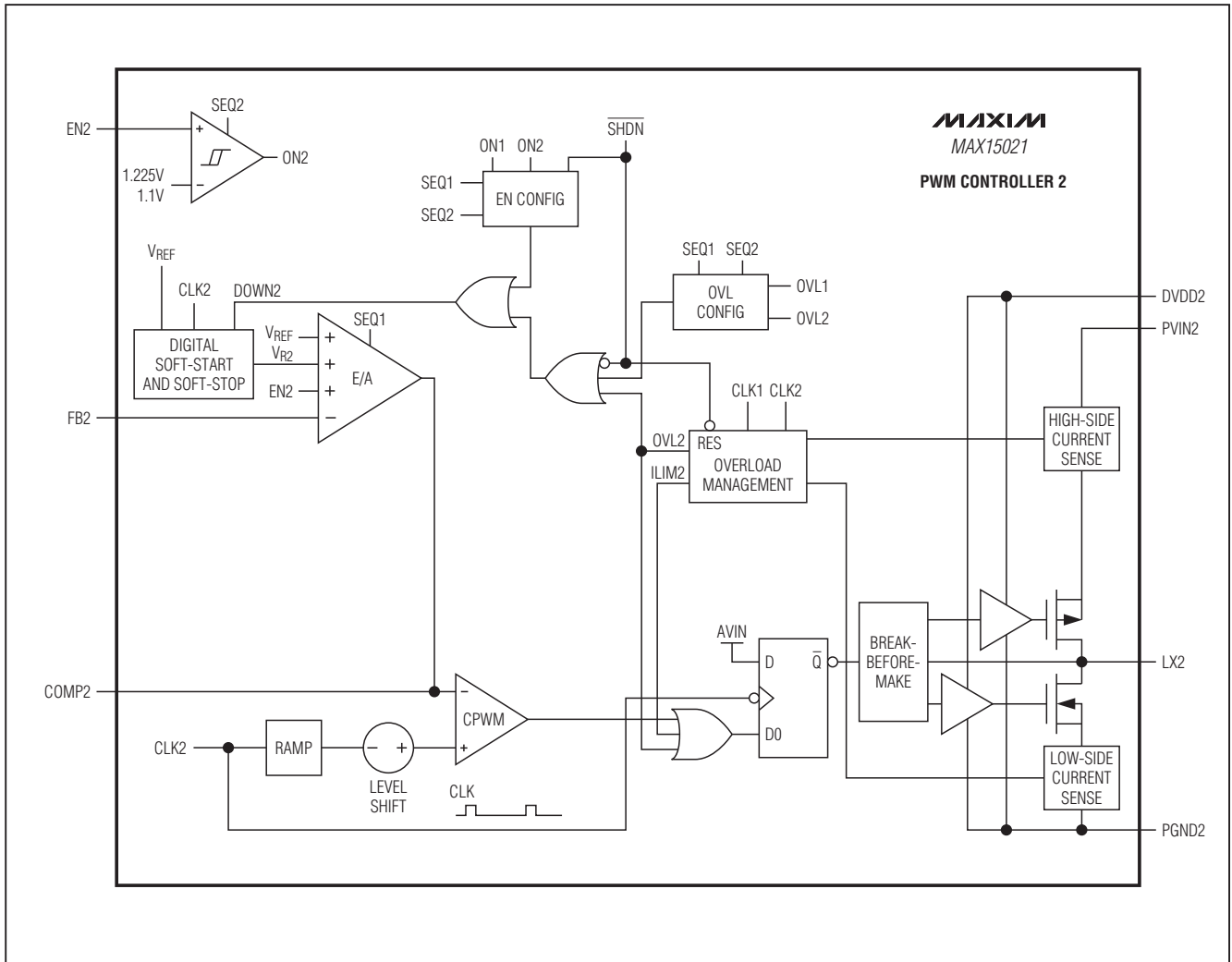
MAX15021



トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

ファンクションダイアグラム(続き)

MAX15021



トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

詳細

MAX15021はトラッキングおよびシーケンシングのオプション付きのデュアル出力でPWM、ステップダウンのDC-DCレギュレータを内蔵しています。このデバイスは2.5V~5.5Vの範囲の入力電圧で動作します。各PWMレギュレータは最低0.6Vの可変出力を供給して、最大4A（レギュレータ1）および2A（レギュレータ2）の負荷電流を供給します。高速スイッチング周波数（最高4MHz）および内蔵のパワースイッチによって、MAX15021は高い性能と小型のパワーマネージメントソリューションに最適化されます。

MAX15021の各PWMレギュレータ部は良好なノイズ耐性のために電圧モード制御方式を採用して、広範囲のインダクタ値およびコンデンサタイプの選択を行え、最大限のフレキシビリティを可能とする外付け補償を提供します。このデバイスは固定のスイッチング周波数で動作し、1個の抵抗で500kHz~4MHzに設定することができます。180°の逆位相クロックおよび最高4MHzの周波数で各レギュレータを動作させるため、RMS入力リップル電流が大幅に減少します。その結果、ピークの入力電流が減少して（およびリップル周波数が高くなり）、必要とする入力バイパスの静電容量の大きさを大幅に削減します。

MAX15021は、同時トラッキング、レシオメトリックトラッキング、またはシーケンシングを提供して、システム要件に応じてパワーアップ/パワーダウンシーケンスの設定を可能にします。シーケンシングの場合、このデバイスはプリバイアスされた出力にグリッチなしで給電をします。

MAX15021には、ヒステリシス付きの内部低電圧ロックアウト、「グリッチのない」パワーアップとパワーダウンとするためのデジタルソフトスタート/ソフトストップがあります。保護機能には、無損失、サイクルごとの電流制限、ヒカップモードの出力短絡保護、およびサーマルシャットダウンがあります。

低電圧ロックアウト(UVLO)

電源電圧(V_{AVIN})は、動作を開始する前にデフォルトのUVLOスレッショルドを超えなければなりません。UVLO回路は、電流消費を削減するために、MOSFETドライバ、発振器、およびすべての内部回路をシャットダウンのままにします。このUVLOの立上りスレッショルドは、120mV (typ)のヒステリシスを持った2.2V (typ)です。

デジタルソフトスタート/ソフトストップ

MAX15021のソフトスタートによって、負荷電圧が制御された方法で徐々に上昇するため、出力電圧のオーバershootを防止します。ソフトスタートは、 V_{AVIN} が低電圧ロックアウトスレッショルドを超えると開始し、イネーブル入力は1.225V (typ)以上です。ソフトスタート回路はリファレンス電圧を漸増させ、出力電圧の立上り速度を制御して、起動時の入力突入電流を減少させます。

ソフトスタートの期間は4096クロックサイクルです。出力電圧は64の等間隔ステップで増加します。ソフトスタートが完了すると、出力容量と負荷に関係なく出力は安定状態に達します。

トラッキングアプリケーションでは、イネーブル入力が1.1V (typ)を下回るとソフトストップが開始します。ソフトストップ回路は、リファレンス電圧を漸減して出力電圧の立下り速度を制御します。出力電圧は、4096クロックサイクルで64の等間隔ステップで漸減します。

発振器

RTに接続した外付抵抗を使用して、MAX15021のスイッチング周波数を500kHz~4MHzに設定します。所望のスイッチング周波数(f_{SW})を得るには、RTに接続する適切な抵抗は次の式で計算します。

$$R_T[k\Omega] = \frac{f_{SW}[kHz] \times 1.067[V]}{32[\mu A] \times 4[MHz]}$$

トラッキング/シーケンシング

MAX15021は、同時/レシオメトリックトラッキングおよびシーケンシングを備えています(図1を参照)。SELをグラウンドに接続すると、このデバイスはシーケンサに構成されます。SELをAVINに接続すると、出力1をマスタとするトラッキングになります。SELを無接続にすると、出力2をマスタとするトラッキングになります。電圧が高い出力の方をマスタに指定します。

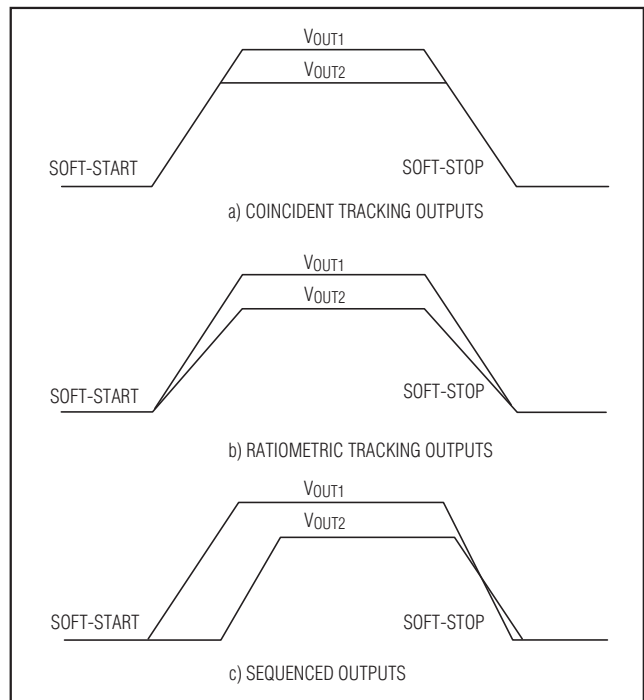


図1. 同時トラッキング、レシオメトリックトラッキング、およびシーケンシングの図式表現

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

同時/レシオメトリックトラッキング

デジタルソフトスタート/ソフトストップと連携したイネーブル入力、同時/レシオメトリックトラッキングを提供します。抵抗分圧器を追跡される出力とそのイネーブル入力に接続すると、出力電圧が追跡されます。例えば、 V_{OUT2} が V_{OUT1} を同時に追跡するためには、FB2に使用するのと同じ分圧器を $V_{OUT1} \sim EN2 \sim SGND$ に接続します(図2を参照)。

EN_1 をSGNDに接続するとレシオメトリックトラッキングになります。こうすると、すべてのレギュレータのリファレンスのソフトスタートとソフトストップは同期し、したがって、これらの対応する出力電圧はレシオメトリックに追跡します(図2を参照)。

MAX15021のレギュレータが電圧追跡器として構成される場合は、マスタまたはスレーブ出力のいずれでも出力短絡障害は注意深く処理され、他方の出力がグラウンドに

短絡されると、マスタまたはスレーブ出力のいずれも稼働されないままになります。スレーブが短絡してヒカップモードに入ると、マスタはソフトストップします。マスタが短絡してデバイスがヒカップモードに入ると、スレーブはレシオメトリックにソフトストップします。ヒカップモードから抜け出すと、両方の出力はその初期設定に依存して、同時またはレシオメトリックにソフトスタートします。入力がそのUVLOスレッシュホールドを下回った場合、熱シャットダウンまたはパワーオフの間、出力電圧は各々の静電容量と負荷に応じた速度で減少します。

同時/レシオメトリックトラッキングの図式表現は図1を参照してください。

シーケンシング

シーケンシングの場合、各PWMコントローラがスタートするためには、各イネーブル入力の電圧は1.225V (typ)を超えなくてはなりません(図1cを参照)。

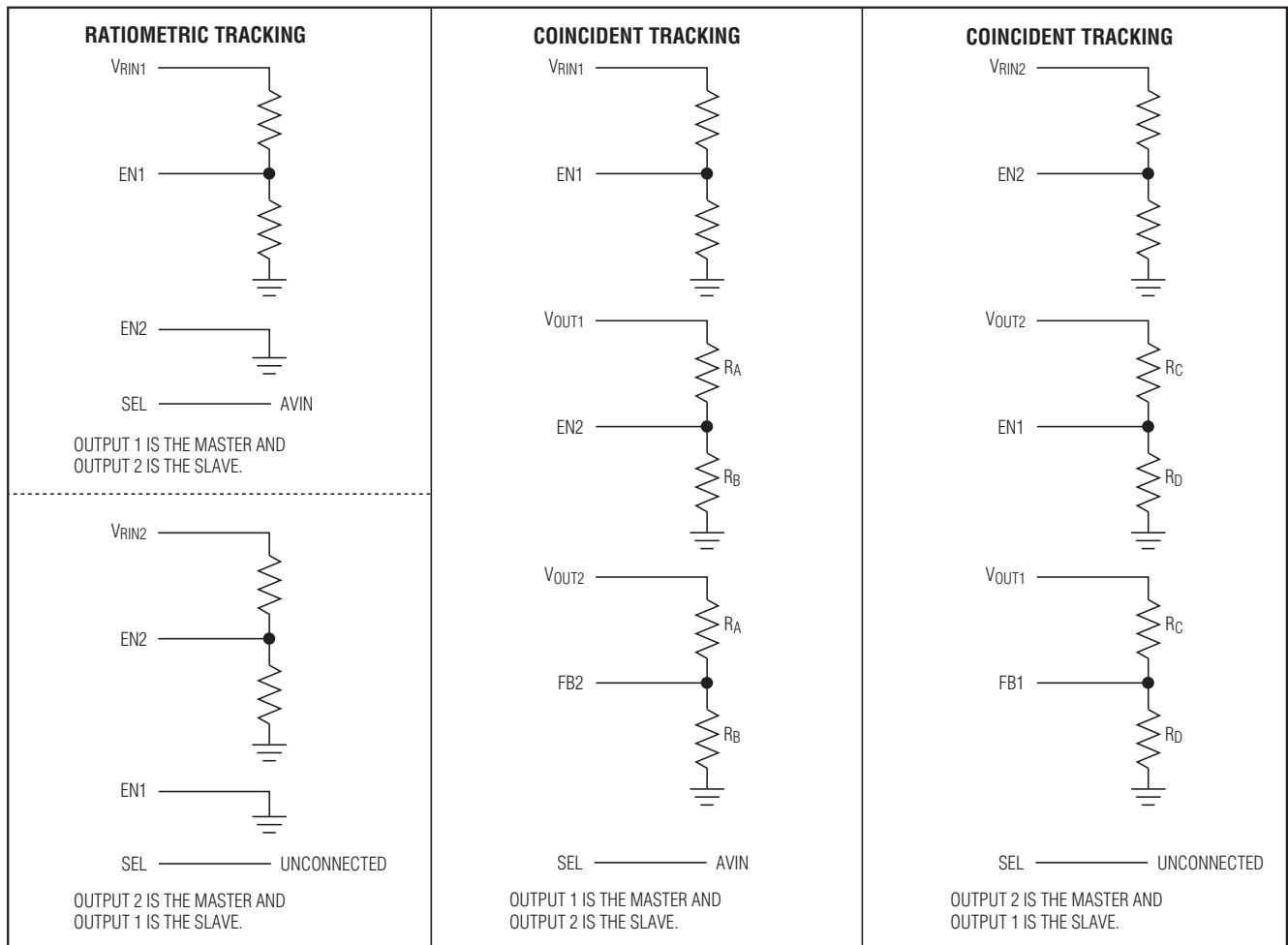


図2. レシオメトリックトラッキングおよび同時トラッキングの設定

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

誤差アンプ

内蔵の電圧モード誤差アンプの出力(COMP_)が周波数補償のために用意されています(「補償設計のガイドライン」の項を参照)。FB_は誤差アンプの反転入力です。誤差アンプは80dBのオープンループ利得と12MHzの利得帯域幅(GBW)積を備えています。

出力短絡保護(ヒカップモード)

MAX15021は、無損失のハイサイドのピーク電流制限およびローサイドの谷電流制限を備えています。デューティサイクルが小さい場合は両方の制限が稼動状態になります。デューティサイクルが大きい場合は、ハイサイドのピーク電流制限のみが稼動状態になります。いずれの制限もヒカップモードカウンタ(N_{CL})を増加させます。

デューティサイクルが50%未満の場合は、ローサイドの谷電流制限が稼動状態になります。ハイサイドMOSFETがオフになると、ローサイドMOSFETの両端間電圧が監視されます。各サイクルの終わりにこの電圧が電流制限スレッシュホールドを超えなければ、ハイサイドMOSFETは通常次のサイクルの開始時点でオンになります。その電圧が新しいPWMサイクルが始まる寸前に電流制限スレッシュホールドを超えていたら、コントローラはそのサイクルを飛越します。厳しい過負荷または短絡状態では、ローサイドMOSFETのオン時間が1クロックサイクルよりも長くなるため、デバイスのスイッチング周波数は下がるように見えます。

電流制限スレッシュホールドが4累積クロックサイクル(N_{CL})を超えたら、このデバイスは8192クロックサイクル(ヒカップタイムアウト)の間シャットダウンし、その後ソフトスタートシーケンスによって再スタートします。3つの連続するサイクルが電流制限の発生無しで経過すれば、N_{CL}のカウントはクリアされます(図3を参照)。ヒカップモードは連続した出力短絡からデバイス保護します。

内部電流制限値は5.5Vから3Vまでは一定で、3Vから2Vまでは50%で直線的に減少します。「Electrical Characteristics (電气的特性)」の表を参照してください。

熱過負荷保護

MAX15021は、温度ヒステリシスを備えた熱過負荷保護を内蔵しています。熱過負荷保護によってデバイス内の総電力消費を制限して、熱障害状態が長引く場合にデバイスを保護します。ダイの温度が+160°Cを超えたら、内部の温度センサがデバイスをシャットダウンして、内部のパワーMOSFETをオフにしてダイを冷却します。

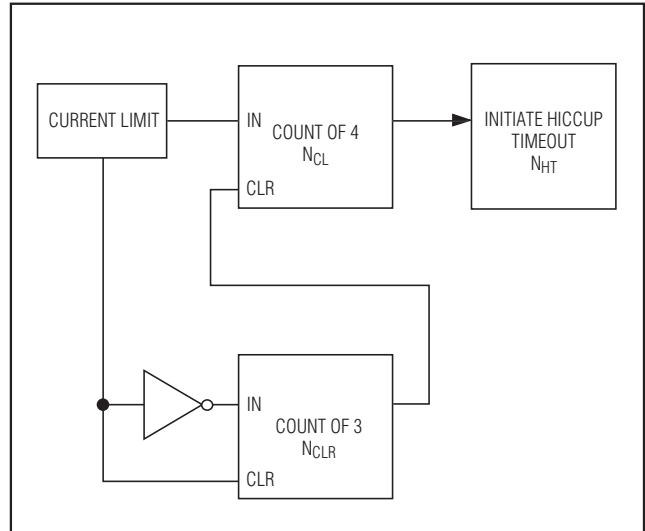


図3. ヒカップモードのブロック図

ダイの温度が+15°C下がったら、デバイスはソフトスタートシーケンスによって再スタートします。

プリバイアスされた出力に対する起動(シーケンシングモード)

シーケンシングモードでは、レギュレータはプリバイアスされた出力に対して起動し、ソフトストップはディセーブルされます。ソフトスタートの間、相補スイッチングシーケンスは、PWMコンパレータがその最初のPWMパルスを指令するまで禁止されます。そのときまでコンバータは出力から電流をシンクしません。立上っているリファレンス電圧がFB_電圧を超えて増加すると、最初のPWMパルスが発生します。

PWMコントローラの設計手順

スイッチング周波数の設定

4.2kΩ~33kΩの抵抗をRTとSGND間に接続すると、500kHz~4MHzのスイッチング周波数に設定されます。次の式を使用してRTに接続する抵抗を計算します。

$$R_T[\text{k}\Omega] = \frac{f_{\text{sw}}[\text{kHz}] \times 1.067[\text{V}]}{32[\mu\text{A}] \times 4[\text{MHz}]}$$

周波数を高くすると、より小さいインダクタ値とより少ない出力静電容量値で設計することができます。周波数を高くすると、コア損失、ゲート電荷電流、およびスイッチング損失が増加します。V_{AVIN} ≤ 3Vで動作させる場合は、スイッチング周波数(f_{sw})は3MHz(最大)まで下げてください。

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

有効入力電圧範囲

MAX15021のレギュレータは、入力電源が2.5V~5.5Vの範囲で動作可能ですが、入力電圧範囲は所定の出力電圧(V_{OUT_})に対するMAX15021のデューティサイクル制限によって効果的に制限されます。最大入力電圧(V_{PVIN_MAX})は、制御可能な最小オン時間(t_{ON(MIN)})によって効果的に制限されます。

$$V_{PVIN_MAX}[V] \leq \frac{V_{OUT_}[V]}{t_{ON(MIN)}[\mu s] \times f_{SW}[MHz]}$$

ここで、t_{ON(MIN)}は0.06μs (typ)です。

最小入力電圧(V_{PVIN_MIN})は、制御可能な最大デューティサイクルによって効果的に制限され、次の式で計算されます。

$$V_{PVIN_MIN}[V] \geq \frac{V_{OUT_}[V]}{1 - (t_{OFF(MIN)}[\mu s] \times f_{SW}[MHz])}$$

ここで、V_{OUT_}はレギュレータの出力電圧であり、t_{OFF(MIN)}は0.06μs (typ)の制御可能なオフ時間です。

インダクタの選択

MAX15021を動作させるためには、インダクタ値(L)、ピークインダクタ電流(I_{PEAK})、およびインダクタの飽和電流(I_{SAT})の重要な3つのインダクタのパラメータを決定しなければなりません。最小限必要なインダクタンスは、動作周波数、入力と出力間の電圧差、およびピークツーピークのインダクタ電流(ΔI_{p-p})の関数です。高ΔI_{p-p}であるほど低インダクタ値にすることができます。低インダクタほどサイズとコストを最小にして、大信号応答と過渡応答を改善します。しかし、同じ出力コンデンサに対しては、大きなピーク電流と大きなピークツーピーク出力電圧リップルによって効率は低下します。インダクタンスが大きいとリップル電流が小さくなって効率が高くなりますが、余分な巻き線数による抵抗損失は、特にインダクタンスがより大きなインダクタの寸法を許容することなく増加させた場合、リップル電流レベルを小さくしたことで得られる利益を損なってしまいます。インダクタのピークツーピーク電流ΔI_{p-p}は、最大負荷電流の20%~50%の範囲にし、目安としては30%標準にしてください。

次の式を使用してインダクタンスLを計算します。

$$L[\mu H] = \frac{V_{OUT_}[V] \times (V_{PVIN_}[V] - V_{OUT_}[V])}{V_{PVIN_}[V] \times f_{SW}[MHz] \times \Delta I_{p-p}[A]}$$

ここで、V_{PVIN_}は入力電源電圧、V_{OUT_}はレギュレータの出力電圧、そしてf_{SW}はスイッチング周波数です。標準状態で効率が最適になるように、V_{PVIN_}とV_{OUT_}には標準値を使用してください。スイッチング周波数(f_{SW})は500kHz~4MHzに設定可能です(「発振器」の項を参照)。ピークツーピークの出力リップルに反映されるピークツーピークインダクタ電流(ΔI_{p-p})は、最大入力電圧で最も大きくなります。「出力コンデンサの選択」の項を参照して、ワーストケースの出力電流リップルが許容されるかどうかを確認してください。

連続した出力短絡状態での暴走電流を避けるために、最大のピーク電流よりも大きい飽和電流のI_{SAT}を持ったインダクタを選択してください。また、インダクタの熱性能および周囲以上に上昇する予測温度が、そのインダクタの熱容量を超えないことを確認してください。多くのインダクタメーカーは、これらの情報を得られるように、バイアス/負荷電流対温度上昇の性能曲線(または同様なもの)を用意しています。

入力コンデンサの選択

降圧コンバータの不連続の入力電流によって大きな入力リップル電流が生じるため、入力コンデンサは入力リップル電流に耐えて、設計要件以内に入力電圧リップルが入るように注意して選択しなければなりません。

入力電圧リップルは、ΔV_Q(コンデンサの放電による)およびΔV_{ESR}(入力コンデンサのESRによる)で構成されます。総合の電圧リップルは、ΔV_Qとオンサイクルの終わりにピークとなるΔV_{ESR}との和です。次の式を使用して指定されたリップルに対する必要な入力静電容量とESRを計算してください。

$$ESR[m\Omega] = \frac{\Delta V_{ESR}[mV]}{\left(I_{LOAD(MAX)} + \frac{\Delta I_{p-p}}{2} \right) [A]}$$
$$C_{PVIN}[\mu F] = \frac{I_{LOAD(MAX)}[A] \times \left(\frac{V_{OUT_}[V]}{V_{PVIN_}[V]} \right)}{\Delta V_Q[V] \times f_{SW}[MHz]}$$
$$\Delta I_{p-p}[A] = \frac{(V_{PVIN_} - V_{OUT_})[V] \times V_{OUT_}[V]}{V_{PVIN_}[V] \times f_{SW}[MHz] \times L[\mu H]}$$

I_{LOAD(MAX)}は最大出力電流、ΔI_{p-p}はピークツーピークのインダクタ電流、V_{PVIN_}は入力電源電圧、V_{OUT_}はレギュレータの出力電圧、そしてf_{SW}はスイッチング周波数です。

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

1つのレギュレータのみがイネーブルされる場合は、次の式を使用して入力リップルを計算します。

$$I_{CIN(RMS)}[A] = I_{LOAD(MAX)}[A] \times \frac{\sqrt{V_{OUT_}[V] \times (V_{PVIN_} - V_{OUT_})[V]}}{V_{PVIN_}[V]}$$

MAX15021はUVLOのヒステリシスを備えており、ターンオン時の意図しないチャタリングを防ぎます。入力のソースインピーダンスが大きい場合は、大きな値のコンデンサを追加してください。低い入力電圧を使用する場合は、入力静電容量を増やすと、過渡負荷時の低電圧ロックアウトスレシヨルドを下回って生じる可能性があるアンダーシュートを避けるのに役立ちます。

出力コンデンサの選択

許容出力電圧リップルと負荷変動の期間での出力電圧の最大偏移が、必要とする出力静電容量値とそのESRを決定します。出力リップルは、主として ΔV_Q (コンデンサの放電による)および ΔV_{ESR} (出力コンデンサの等価直列抵抗による電圧降下)で構成されます。出力静電容量とESRを計算する式を次に示します。

$$C_{OUT}[\mu F] = \frac{\Delta I_{P-P}[A]}{8 \times \Delta V_Q[V] \times f_{SW}[MHz]}$$

$$ESR[m\Omega] = \frac{2 \times \Delta V_{ESR}[mV]}{\Delta I_{P-P}[A]}$$

ここで、 ΔI_{P-P} はピークツーピークのインダクタ電流、そして f_{SW} はスイッチング周波数です。

ΔV_{ESR} と ΔV_Q は、相互に位相がずれているために直接計算式に含まれません。セラミックコンデンサを使用する場合は、このコンデンサは一般的にESRが小さく、 ΔV_Q が支配します。電解コンデンサを使用する場合は、 ΔV_{ESR} が支配的になります。

高速負荷過渡期間の出力電圧の許容偏移も、出力静電容量、そのESR、およびその等価直列インダクタンス(ESL)に影響します。出力コンデンサは負荷変動の期間に、コントローラがデューティサイクルを増加して応答するまで負荷電流を供給します。応答時間($t_{RESPONSE}$)はコントローラの利得帯域幅に依存します(「補償設計のガイドライン」の項を参照)。出力コンデンサのESR両端間の抵抗性降下(ΔV_{ESR})、コンデンサのESL両端間の降下(ΔV_{ESL})、およびコンデンサの放電(ΔV_Q)が、負荷変動(I_{STEP})期間での電圧降下の原因です。低ESRのタンタル/アルミ電解およびセラミックコンデンサの組合せを使用すると、良好な負荷過渡および電圧リップル性能が得られます。リード線のないコンデンサと並列にした

複数のコンデンサはESLの低減に役立ちます。最大の出力電圧偏移が、給電される電子回路の許容限界を下回るようにしてください。

負荷過渡の間の出力偏移を最小化するために、次の式を使用して必要とする出力静電容量値、ESR、およびESLを計算してください。

$$ESR[m\Omega] = \frac{\Delta V_{ESR}[mV]}{I_{STEP}[A]}$$

$$C_{OUT}[\mu F] = \frac{I_{STEP}[A] \times t_{RESPONSE}[\mu s]}{\Delta V_Q[V]}$$

$$ESL[nH] = \frac{\Delta V_{ESL}[mV] \times t_{STEP}[\mu s]}{I_{STEP}[A]}$$

ここで、 I_{STEP} は負荷変動、 t_{STEP} は負荷変動の立上り時間、そして $t_{RESPONSE}$ はコントローラの応答時間です。

補償設計のガイドライン

MAX15021は、出力電圧を固定リファレンスと比較して出力電圧を安定化する、固定周波数の電圧モード制御方式を使用します。誤差アンプ出力(COMP_)に現れる以降の「誤差」電圧は内部のランプ電圧と比較され、パルス幅変調器の所要のデューティサイクルを生成します。2次のローパスLCフィルタはスイッチングの高調波を除去して、出力にパルス幅変調した信号のDC成分を伝達します。LCフィルタは-40dB/decadeの減衰スロープを備えており、LCの共振周波数より上側の周波数で180°の位相シフトを与えます。レギュレータの負帰還システムの本質的な180°の位相シフトに加わって、この位相シフトはシステムを不安定な正帰還に変えます。誤差アンプとその関連回路は、安定な閉ループシステムを提供するように設計しなければなりません。

基本的なコントローラのループは、パワー変調器(レギュレータのパルス幅変調器、関連回路、およびLCフィルタで構成)、出力フィードバック分圧器、および誤差アンプで構成されます。パワー変調器は、ランプ電圧(V_{RAMP})が V_{AVIN} の関数である V_{AVIN}/V_{RAMP} によって設定されるDC利得を備えており、固定の4V/VのDC利得になり、入力電圧電源のDC変動の有効なフィードフォワード補償を提供します。このフィードフォワード補償は、誤差アンプのフィードバック補償が公称入力電圧の変更を必要としないように、入力電圧へのパワー変調器の利得の依存性をなくします。出力フィルタは、ダブルポールと1個のゼロが出力インダクタンス(L)、インダクタのDC抵抗(DCR)、出力静電容量(C_{OUT})、およびその等価直列抵抗(ESR)によって設定されるように、効果的にモデル化されます。

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

下に示す式によってパワー変調器を定義します。

$$\text{Gain}_{\text{MOD(DC)}} = \frac{V_{\text{AVIN}}}{V_{\text{RAMP}}} = \frac{V_{\text{AVIN}}}{\frac{V_{\text{AVIN}}}{4}} = 4V/V$$

$$f_{\text{LC}} = \frac{1}{2\pi \times \sqrt{L \times C_{\text{OUT}} \times \left(\frac{R_{\text{OUT}} + \text{ESR}}{R_{\text{OUT}} + \text{DCR}} \right)}} \approx \frac{1}{2\pi \times \sqrt{L \times C_{\text{OUT}}}}$$

$$f_{\text{ESR}} = \frac{1}{2\pi \times \text{ESR} \times C_{\text{OUT}}}$$

ここで、 R_{OUT} はレギュレータの負荷抵抗、 f_{LC} はフィルタの共振ブレイク周波数、そして f_{ESR} は出力コンデンサのESRゼロです。 f_{LC} と f_{ESR} に関する詳細は、「電圧モードレギュレータの閉ループ応答と補償」の項を参照してください。

スイッチング周波数(f_{SW})は500kHz~4MHzに設定可能です。一般的には、システムの閉ループ利得が1に等しくなる(0dBとクロスする)周波数であるクロスオーバー周波数(f_{CO})は、安定な閉ループ応答とするために、スイッチング周波数の10分の1 ($f_{\text{SW}}/10$)以下になるように設定してください。

MAX15021は反転入力と出力を持った電圧モード誤差アンプを備え、外部周波数の補償のためにユーザが使用可能です。各コントローラ用の外部補償のフレキシビリティによって、出力フィルタ部品、特に出力コンデンサの広範囲の選択が可能になります。コストを重視する

アプリケーションではアルミ電解コンデンサを使用し、スペースが重視されるアプリケーションでは出力側で低ESRのタンタルまたは多層セラミックチップ(MLCC)コンデンサを使用してください。MAX15021はスイッチング周波数が高いため、主たるフィルタコンデンサにはMLCCの使用が可能です。

まず、アプリケーションの出力リップル、部品サイズ、および部品コスト要件に適合する受動および能動部品を選択してください。次に、概要を以下に示しているように、所望の閉ループ周波数応答および位相マージンを得るために、小信号の補償部品を選択してください。

電圧モードレギュレータの閉ループ応答と補償

パワー変調器のLCローパスフィルタは、LとCとそれらの寄生成分の値に応じてさまざまな応答を示します。抵抗性の寄生成分が大きいほど回路のQが低下してシステムの利得と位相が小さくなりますが、効率はこれらの環境下で同様に小さくなります。

そのような応答例が図4aに示されています。この例では、ESRゼロがフィルタの共振ブレイク周波数 f_{LC} の比較的近い位置に生じます。その結果、パワー変調器の無補償クロスオーバーは、所望のクロスオーバー周波数 f_{CO} のおよそ3分の1になります。また、0dBプレーン中の無補償のロールオフは、単1ポール、-20dB/decadeのスロープ、および90°の位相遅れが起きることに注意してください。この場合、固有の位相マージンによって安定なシステムが保証されますが、利得帯域幅積は最適化されません。

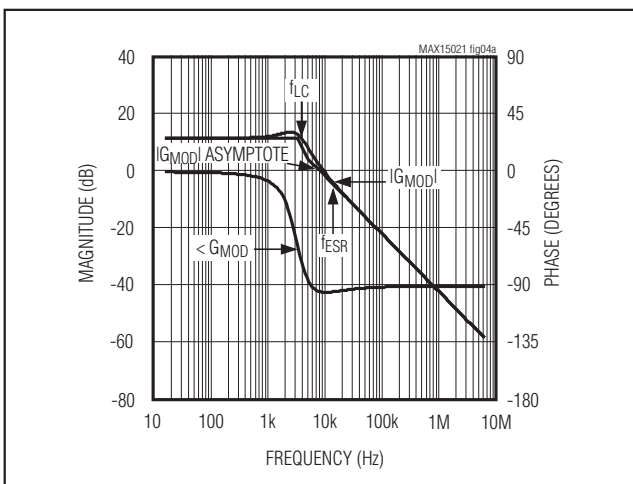


図4a. 損失の大きい大容量出力コンデンサ(アルミ)を使用したパワー変調器の利得と位相応答

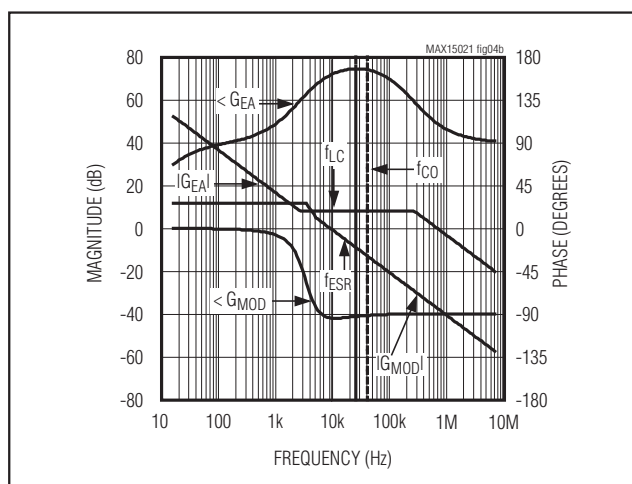


図4b. 損失の大きい大容量出力コンデンサ(アルミ)を使用したパワー変調器とタイプIIの補償回路の利得と位相応答

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

図4bに見られるように、タイプIIの補償回路は安定な閉ループ動作を提供し、コンデンサのESRゼロの+20dB/decadeの傾斜に影響を及ぼし、一方では、レギュレータの閉ループ利得帯域幅を拡大します。これによって、ゼロクロスオーバーは無補償のクロスオーバー周波数 f_{CO} のおよそ3倍の周波数に生じます。

タイプIIの補償回路の中間周波数利得(ここではおよそ12dBで表示)は、所望のクロスオーバー周波数 f_{CO} (f_{CO} で $\text{Gain}_{E/A} + \text{Gain}_{MOD} = 0\text{dB}$)でパワー変調器の減衰を補償するように設計されます。この例では、ESRゼロ($f_{ZERO,ESR}$)を超えたパワー変調器の固有の-20dB/decadeのロールオフは、電圧レギュレータのアクティブな安定化利得帯域幅を広げるように影響します。図4bに示すように、最終結果は、75°を超える位相マージン(クロスオーバー周波数 f_{CO} における $\text{Gain}_{E/A}$ と Gain_{MOD} の位相差)を提供する一方で、レギュレータの利得帯域幅は3倍増になります。

他のフィルタ方式は、それらに固有の問題を起こします。例えば、MLCCなどの高品質のフィルタコンデンサを選んだ場合、図4cに示すように、固有のESRゼロは非常に高い周波数で起こる可能性があります。

前の例のように、実際の利得と位相応答は、パワー変調器の漸近の利得応答に包括されます。前述の例での穏やかな応答に対して、パワー変調器の共振周波数 f_{LC} またはこの近辺での大幅なゲインと位相の変化を容易に見る

ことができます。これは、フィルタ部品の低寄生成分(DCRおよびESR)および固有のESRゼロの広域周波数に起因します。この例では、所望のクロスオーバー周波数はESRゼロ周波数より下で起こります。

この例では、固有の中間周波数のダブルゼロ応答を持った補正回路は、フィルタのダブルポールの位相遅れの影響を軽減する必要があります。これはタイプIIIのトポロジで得られます。

図4dに示すように、タイプIIIの中間周波数のダブルゼロの利得(+20dB/decadeの傾斜を示し、補正回路のポールに起因しない)は、パワー変調器のダブルポールの-40dB/decadeの減衰を所望のクロスオーバー周波数 f_{CO} (前期と同様に f_{CO} で $\text{Gain}_{E/A} + \text{Gain}_{MOD} = 0\text{dB}$)で補償するように設計されています(図4dを参照)。

上の例では、パワー変調器の固有の(中間周波数の) -40dB/decadeのロールオフは、中間周波数のダブルゼロの+20dB/decadeの利得によって軽減され、電圧レギュレータのアクティブなレギュレーションの利得帯域幅を拡張します。図4dに示すように、最終結果は、コントローラの利得帯域幅がおよそ2倍に大きくなり、他方、55°を超える位相マージン(クロスオーバー f_{CO} における $\text{Gain}_{E/A}$ と Gain_{MOD} の位相差)よりも大きくなっています。

タイプIIとタイプIIIの両方の補償に対する設計手法を以下に示します。

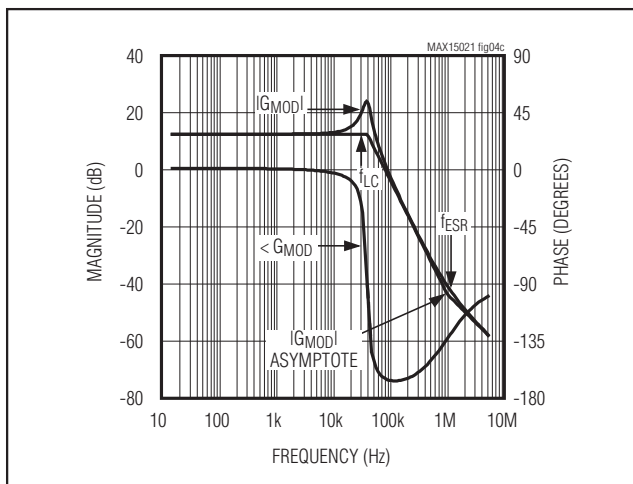


図4c. 低寄生容量のコンデンサ(MLCC)を使用したパワー変調器の利得と位相応答

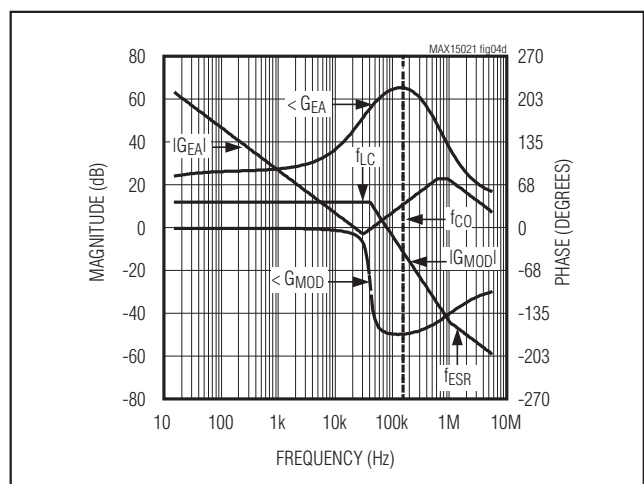


図4d. 低寄生容量のコンデンサ(MLCC)を使用したパワー変調器とタイプIII補償回路の利得と位相応答

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

タイプII: $f_{CO} > f_{ZERO,ESR}$ の場合の補償

f_{CO} が f_{ESR} よりも高い場合、タイプIIの補償回路が必要とする閉ループ補償応答を提供します。タイプIIの補償回路は、中間帯域の補償ゼロと高い周波のポールを提供します(図5aと図5bを参照)。

$R_F C_{CF}$ が中間帯域のゼロ $f_{MID,ZERO}$ を提供し、 $R_F C_{CF}$ が高周波ポール $f_{HIGH,POLE}$ を提供します。補償回路部品の計算には次の手順を使用してください。

f_{ESR} とLCのダブルポール f_{LC} を次の式で計算します。

$$f_{ESR} = \frac{1}{2\pi \times ESR \times C_{OUT}}$$

$$f_{LC} \approx \frac{1}{2\pi \times \sqrt{L \times C_{OUT}}}$$

ここで、 C_{OUT} はレギュレータの出力コンデンサで、ESRは C_{OUT} の直列抵抗です。 C_{OUT} とESRの計算に関する詳細は「出力コンデンサの選択」の項を参照してください。フィルタの共振ダブルポール周波数またはこれ以下の周波数での補償回路の第1ゼロ f_{Z1} は、次式で設定します。

$$f_{Z1} \leq f_{LC}$$

補償回路の高周波ポール f_{P1} をスイッチング周波数 f_{SW} の半分またはこれ以下に設定します。

$$f_{P1} \leq \frac{f_{SW}}{2}$$

補償回路の位相進みを最大にするために、所望のクロスオーバー周波数 f_{CO} を補償回路の第1ゼロ f_{Z1} と高周波ポール f_{P1} の幾何平均に等しくなるように次の式で設定します。

$$f_{CO} = \sqrt{f_{Z1} \times f_{P1}}$$

フィードバック抵抗 R_F を3.3k Ω ~30k Ω の範囲で選びます。

レギュレータのパルス幅変調器、LCフィルタ、フィードバック分圧器、および関連する回路で構成される変調器の所望のクロスオーバー周波数 f_{CO} における利得($Gain_{MOD}$)を、次の式で計算します。

$$Gain_{MOD} = 4(V/V) \times \frac{ESR[m\Omega]}{(2\pi \times f_{CO}[kHz] \times L[\mu H])} \times \frac{V_{FB}[V]}{V_{OUT-}[V]}$$

ここで、 V_{FB} は0.6V (typ)のFB_入力電圧の設定ポイント、 L はレギュレータのインダクタ値、ESRは出力コンデンサの直列抵抗、そして V_{OUT-} は所望の出力電圧です。

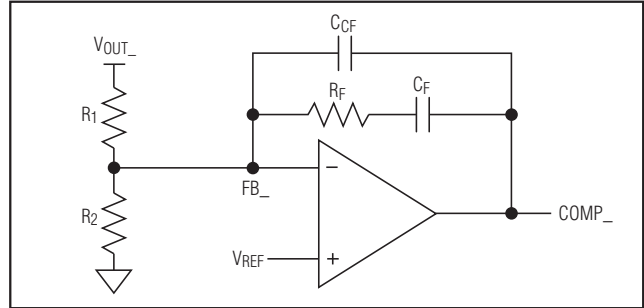


図5a. タイプIIの補償回路

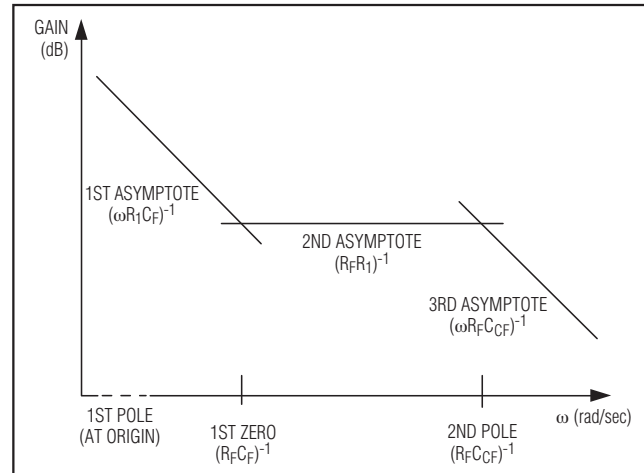


図5b. タイプIIの補償回路の応答

中間帯域周波数での誤差アンプの利得($Gain_{E/A}$)は次の式で計算します。

$$Gain_{E/A} = \frac{R_F[k\Omega]}{R_1[k\Omega]}$$

総ループ利得は、 f_{CO} における変調器の利得および誤差アンプの利得の積で、次の式のように1に等しくする必要があります。

$$Gain_{MOD} \times Gain_{E/A} = 1$$

したがって、

$$20 \times \log_{10} \left[\frac{R_F}{R_1} \right] + 20 \times \log_{10} \left[\frac{4 \times ESR \times V_{FB}}{2\pi \times f_{CO} \times L \times V_{OUT-}} \right] = 0 \text{ dB}$$

$$\frac{R_F}{R_1} \times \frac{4 \times ESR \times V_{FB}}{2\pi \times f_{CO} \times L \times V_{OUT-}} = 1$$

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

R₁の計算

$$R_1[\text{k}\Omega] = \frac{R_F[\text{k}\Omega] \times 4 \times \text{ESR}[\text{m}\Omega] \times V_{\text{FB}}[\text{V}]}{2\pi \times f_{\text{CO}}[\text{kHz}] \times L[\mu\text{H}] \times V_{\text{OUT}_-}[\text{V}]}$$

ここで、V_{FB}は0.6V (typ)のFB_入力電圧の設定ポイント、Lはレギュレータのインダクタの値、ESRは出力コンデンサの直列抵抗、そしてV_{OUT_-}は所望の出力電圧です。

- 1) C_Fは補償回路の第1ゼロf_{Z1}とR_Fから次の式で計算されます。

$$C_F[\mu\text{F}] = \frac{1}{2\pi \times R_F[\text{k}\Omega] \times f_{Z1}[\text{kHz}]}$$

- 2) C_{CF}は補償回路の高周波ポールf_{P1}とR_Fから次の式で計算されます。

$$C_{\text{CF}}[\mu\text{F}] = \frac{1}{2\pi \times R_F[\text{k}\Omega] \times f_{P1}[\text{kHz}]}$$

- 3) R₂は次の式で計算します。

$$R_2[\text{k}\Omega] = R_1[\text{k}\Omega] \times \frac{V_{\text{FB}}[\text{V}]}{V_{\text{OUT}_-}[\text{V}] - V_{\text{FB}}[\text{V}]}$$

ここで、V_{FB} = 0.6V (typ)で、V_{OUT_-}はレギュレータの出力電圧です。

タイプIII : f_{CO} < f_{ESR}の場合の補償

上に示したように、出力コンデンサの固有のESRゼロの位置は、良好な補償回路の設計において重要です。低ESRのセラミック出力コンデンサ(MLCC)を使用する場合、ESRゼロ周波数(f_{ESR})は通常、所望のクロスオーバー周波数(f_{CO})よりもはるかに高くなります。この場合はタイプIIIの補償回路を推奨します(図6aを参照)。

図6bに示すように、タイプIIIの補償回路は制御ループ内に2つのゼロと3つのポールを発生します。この誤差アンプは、本来1つの低周波ポール、2つのゼロ、および以下に示す周波数で2つの高周波ポールを持っています。

$$f_{Z1} = \frac{1}{2\pi \times R_F \times C_F}$$

$$f_{Z2} = \frac{1}{2\pi \times C_1 \times (R_1 + R_1)}$$

2つの中間帯域のゼロ(f_{Z1}とf_{Z2})は、LCフィルタによって導入される複雑なポールのペアを補償するように設計されています。

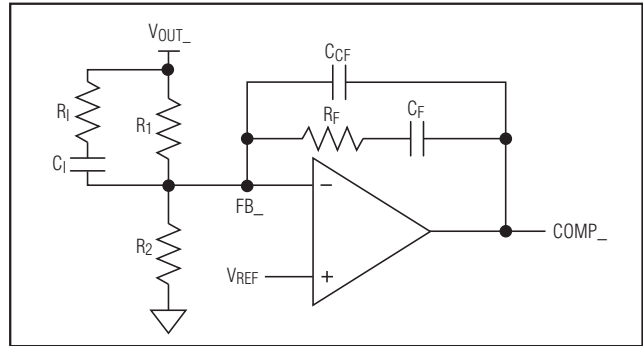


図6a. タイプIIIの補償回路

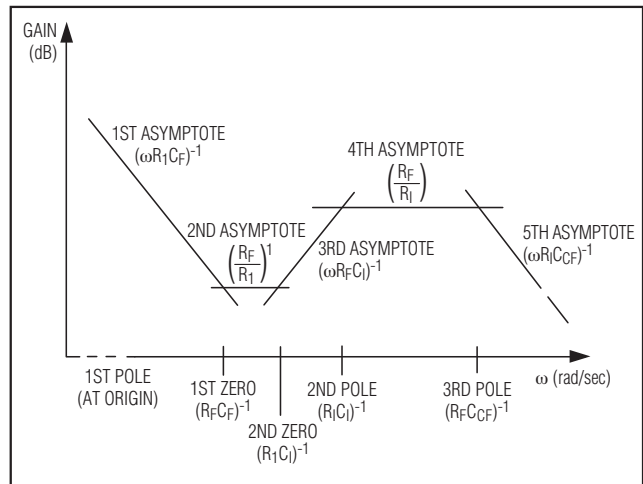


図6b. タイプIIIの補償回路の応答

f_{P1}は、DC出力の電圧誤差をゼロにするためにゼロ周波数(積分器)でポールを生じます。

$$f_{P1} = \text{原点}(0\text{Hz})$$

ESRゼロ(f_{ESR})の位置に応じて、f_{P2}はこのポールを相殺するために使用することができ、あるいは高周波の出力リップルを更に減衰させるために使用することができます。

$$f_{P2} = \frac{1}{2\pi \times R_1 \times C_1}$$

f_{P3}は高周波出力リップルを減衰させます。

$$f_{P3} = \frac{1}{2\pi \times R_F \times (C_F \parallel C_{\text{CF}})} = \frac{1}{2\pi \times R_F \times \frac{C_F \times C_{\text{CF}}}{C_F + C_{\text{CF}}}}$$

C_{CF} << C_Fですので、

$$f_{P3} = \frac{1}{2\pi \times R_F \times C_{\text{CF}}}$$

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

ゼロとポールの位置は、位相マージンが f_{CO} 周辺でピークに達するようにしてください。

f_{CO} と f_z の比および f_p と f_{CO} の比を相互に等しくしてください。例えば、 $\frac{f_{CO}}{f_z} = \frac{f_p}{f_{CO}} = 5$ とすることは、 f_{CO} にお

いておよそ60°の位相マージンを得るのに適した数字です。いずれの技術にしても、条件付きの安定性問題を避けるために、2つのゼロをダブルポールの周波数またはこれ以下の周波数に配置することが重要です。

次の手順を推奨します。

- 1) クロスオーバー周波数 f_{CO} をスイッチング周波数(f_{SW})の10分の1またはこれ以下に選択します。

$$f_{CO}[\text{kHz}] \leq \frac{f_{SW}[\text{kHz}]}{10}$$

- 2) LCのダブルポール周波数 f_{LC} を計算します。

$$f_{LC}[\text{MHz}] \approx \frac{1}{2\pi \times \sqrt{L[\mu\text{H}] \times C_{OUT}[\mu\text{F}]}}$$

ここで、 C_{OUT} はレギュレータの出力コンデンサです。

- 3) フィードバック抵抗 R_F を3.3kΩ~30kΩの範囲に選定します。

- 4) 次に示すように、補償回路の最初の $f_{z1} = \frac{1}{2\pi \times R_F \times C_F}$ ゼロの出力フィルタのダブルポール f_{LC} またはこれ以下に配置します。

$$C_F[\mu\text{F}] = \frac{1}{2\pi \times R_F[\text{k}\Omega] \times 0.5 \times f_{LC}[\text{kHz}]}$$

- 5) レギュレータのパルス幅変調器、LCフィルタ、フィードバック分圧器、および関連する回路で構成される変調器のクロスオーバー周波数における利得(Gain_{MOD})は次の通りになります。

$$\text{Gain}_{MOD} = 4 \times \frac{1}{(2\pi \times f_{CO}[\text{MHz}])^2 \times L[\mu\text{H}] \times C_{OUT}[\mu\text{F}]}$$

中間帯域周波数の誤差アンプの利得($\text{Gain}_{E/A}$)は次の式で計算します。

$$\text{Gain}_{E/A} = 2\pi \times f_{CO}[\text{kHz}] \times C_1[\mu\text{F}] \times R_F[\text{k}\Omega]$$

総ループ利得は、 f_{CO} における変調器利得および誤差アンプの利得の積で、次の式のように1に等しくする必要があります。

$$\text{Gain}_{MOD} \times \text{Gain}_{E/A} = 1$$

したがって、

$$4 \times \frac{1}{(2\pi \times f_{CO}[\text{kHz}])^2 \times C_{OUT}[\mu\text{F}] \times L[\mu\text{H}]} \times 2\pi \times f_{CO}[\text{kHz}] \times C_1[\text{pF}] \times R_F[\text{k}\Omega] = 1$$

C_1 の計算

$$C_1[\text{pF}] = \frac{(2\pi \times f_{CO}[\text{kHz}] \times L[\mu\text{H}] \times C_{OUT}[\mu\text{F}])}{4 \times R_F[\text{k}\Omega]}$$

- 6) 低ESRのタンタルコンデンサの場合と同じように、 $f_{LC} < f_{CO} < f_{ESR} < f_{SW}/2$ となる状況下では、補償回路の第2ポール(f_{p2})は、 f_{ESR} を相殺するために使用する必要があります。これによって、位相マージンが追加されます。システムのボーデ図では、ループ利得はスイッチング周波数の1/2までは+20dB/decadeのスロープを維持し、0dBのクロスオーバーからすぐ後ろでは平坦に維持されます。そして次のように設定されます。

$$f_{p2} = f_{ESR}$$

セラミックコンデンサを使用する場合は、このコンデンサのESRゼロ f_{ESR} は、スイッチング周波数の半分以上にもなり、 $f_{LC} < f_{CO} < f_{SW}/2 < f_{ESR}$ となります。この場合、第2ポールの周波数(f_{p2})は、クロスオーバー周波数で位相マージンを大きく損なわないために、十分に高い位置に配置してください。たとえば、 f_{p2} は $5 \times f_{CO}$ に設定することができるため、クロスオーバー周波数 f_{CO} における位相損失への寄与は、およそ11°にしかありません。

$$f_{p2} = 5 \times f_{CO}$$

f_{p2} が分かったら、 R_1 を計算します。

$$R_1[\text{k}\Omega] = \frac{1}{2\pi \times f_{p2}[\text{kHz}] \times C_1[\mu\text{F}]}$$

- 7) 第2ゼロ(f_{z2})を $0.2 \times f_{CO}$ または f_{LC} のいずれか低い方に配置し、次の式を用いて R_1 を計算します。

$$R_1[\text{k}\Omega] = \frac{1}{2\pi \times f_{z2}[\text{kHz}] \times C_1[\mu\text{F}]}$$

- 8) 第3ポール(f_{p3})をスイッチング周波数の半分のところに配置して、 C_{CF} を計算します。

$$C_{CF}[\text{nF}] = \frac{1}{(2\pi \times 0.5 \times f_{SW}[\text{MHz}] \times R_F[\text{k}\Omega])}$$

- 9) R_2 を次の式で計算します。

$$R_2[\text{k}\Omega] = R_1[\text{k}\Omega] \times \frac{V_{FB}[\text{V}]}{V_{OUT}[\text{V}] - V_{FB}[\text{V}]}$$

ここで、 $V_{FB} = 0.6\text{V}$ (typ)です。

トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15021

アプリケーション情報

PCBレイアウトのガイドライン

PCBのレイアウトを慎重に行うことは、ノイズのない安定な動作を達成するために重要です。良好なPCBレイアウトとするためには以下のガイドラインに従ってください。

- 1) デカップリングコンデンサは、できるだけIC端子の近くに配置してください。
- 2) SGNDとPGNDは分離しておき、これらを一般的に入力フィルタコンデンサの負端子に近い1点で接続してください。
- 3) 高速スイッチングノードは、ノイズを拾いやすいアナログ領域(FB_、COMP_、およびEN_)から離して配線してください。
- 4) パワー部品は、熱放散を適切にするためにボード全体にわたるように分布させてください。
- 5) タイミング抵抗とすべてのフィードバック接続は、必ず短くてまっすぐになるようにしてください。
- 6) 出力コンデンサの列を負荷の近くに配置してください。
- 7) 電力消費が最大になるようにするために、MAX15021のエクスポーズドパッドは大きい銅プレーンに接続してください。エクスポーズドパッドはSGNDプレーンに接続してください。エクスポーズドパッドのSGND端子への接続はICの直下では行わないでください。
- 8) 配線パターンのインダクタンスと抵抗を最小にするために、2オンスの銅を使用してください。高電流がアプリケーションで使用されますので、薄い銅のPCBは効率を損なうことがあります。また、ぶ厚い銅は熱をより効率よく伝導し、熱インピーダンスを下げます。
- 9) MAX15021の評価キットに含まれる参考のPCBレイアウトは、より良いレイアウトに役立ちます。

トラッキング/シーケンス機能付きのデュアル、4A/2A、4MHz、ステップダウンDC-DCレギュレータ

標準動作回路

MAX15021

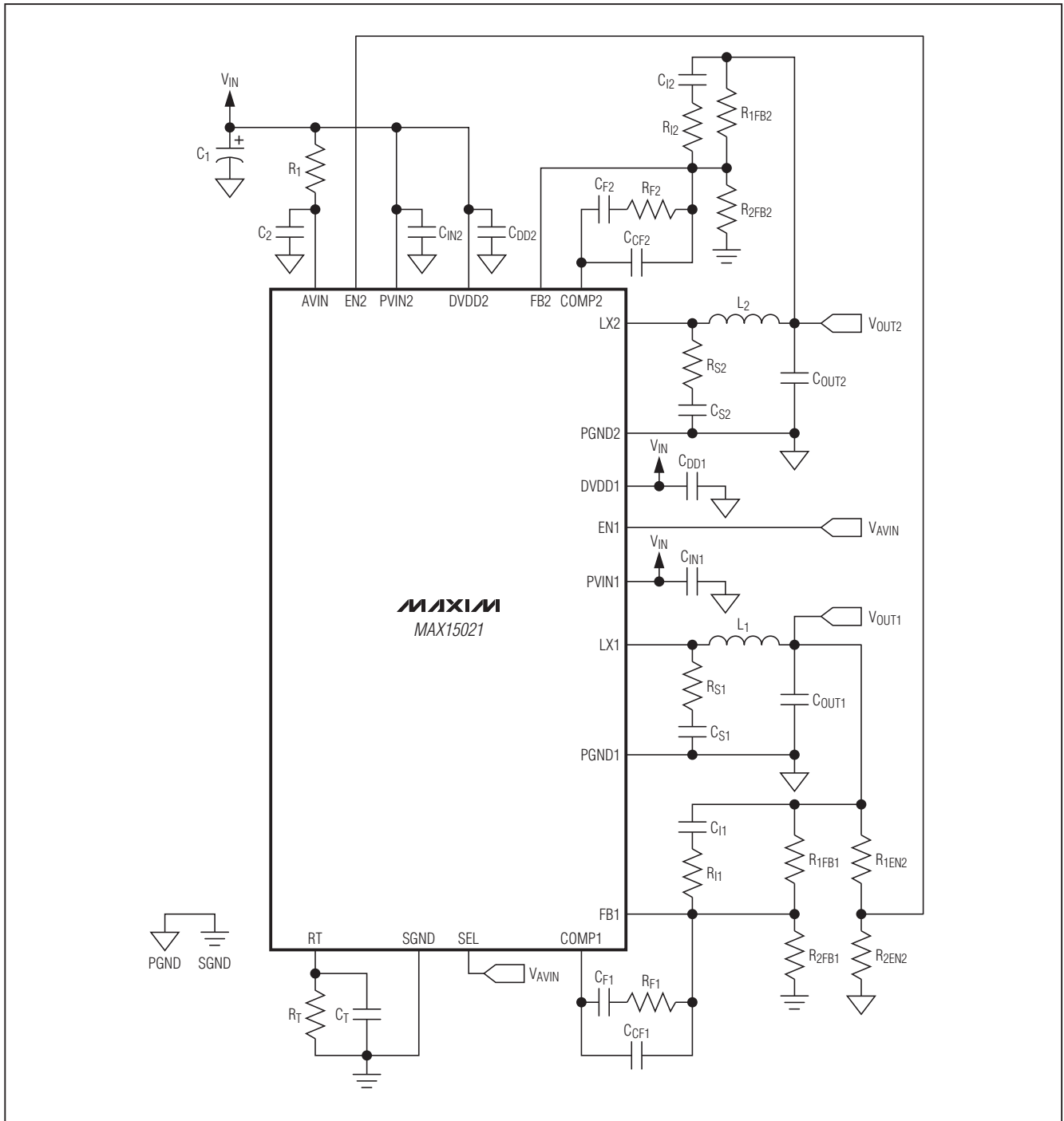


図7. トラッキング付きのMAX15021のダブルバック(降圧)構成

トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

MAX15021

標準動作回路(続き)

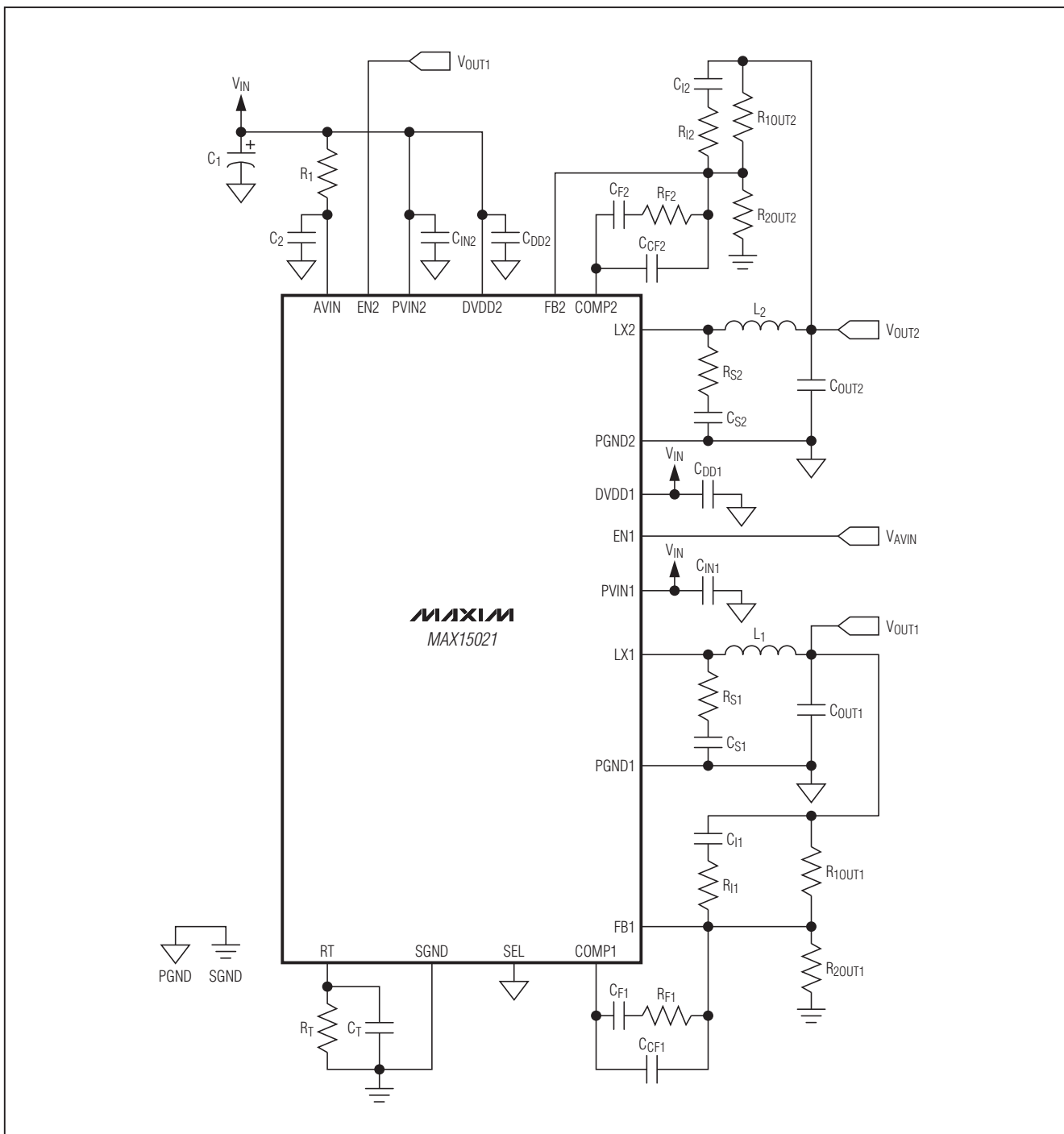


図8. シーケンシング付きのMAX15021のダブルバック(降圧)構成

トラッキング/シーケンス機能付きのデュアル、 4A/2A、4MHz、ステップダウンDC-DCレギュレータ

チップ情報

PROCESS: BiCMOS

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/packagesを
ご参照ください。

パッケージタイプ	パッケージコード	ドキュメントNo.
28 TQFN	T2855-6	21-0140

MAX15021

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。
マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 23