

# 400ksps/300ksps、単一電源、低電力、 8チャンネル、リファレンス内蔵の12ビットシリアルADC

## 概要

12ビットADCのMAX1280/MAX1281は、8チャンネルアナログ入力マルチプレクサ、高帯域のトラック/ホールド、シリアルインタフェースに高速変換と低消費電力特性を兼ね備えています。MAX1280は、+4.5V~+5.5Vの単一電源で動作し、MAX1281は、+2.7V~+3.6Vの単一電源で動作します。MAX1280/MAX1281のアナログ入力は、ソフトウェアによってユニポーラ/バイポーラおよびシングルエンド/擬似差動の動作に、設定することができます。

4線式シリアルインタフェースは、SPI™/QSPI™/MICROWIRE™デバイスと外付けのロジックを用いずに直接接続することができます。シリアルストロブ出力によって、TMS320ファミリのデジタルシグナルプロセッサとの直接接続が可能です。MAX1280/MAX1281は、逐次比較アナログデジタル変換を実行するために、外部シリアルインタフェースクロックを使用します。MAX1280/MAX1281は、+2.5Vの内部リファレンスと±1.5%の電圧調整範囲を備えたリファレンスバッファアンプを内蔵しています。また、1V~V<sub>DD1</sub>の範囲の外部リファレンスを使用することができます。

MAX1280/MAX1281は、ハード接続によるSHDNピンおよび4種類のソフトウェアによる選択が可能なパワーモード(通常動作、パワーセーブ、高速パワーダウン、およびフルパワーダウン)を提供します。MAX1280/MAX1281は、変換終了時に自動的にシャットダウン、または、低電力で動作するようにプログラムすることができます。MAX1280/MAX1281は、パワーダウンモードを使用している時、シリアルインタフェースにアクセスすることによって自動的にパワーアップし、この時の高速なターンオン時間によって、すべての変換の間の期間についてMAX1280/MAX1281をパワーダウンさせることが可能になります。この技法によって、サンプリングレートを低下させた時、消費電流を100μA以下に減少させることができます。

MAX1280/MAX1281は、20ピンのTSSOPパッケージで提供されます。MAX1280/MAX1281は、MAX146/MAX147 (詳細については、個々のデータシートを参照)の高速バージョンです。

## アプリケーション

- 携帯型のデータ記録
- データ収集
- 医療機器
- 電池駆動機器
- ペンデジタルタイザ
- プロセス制御

SPIおよびQSPIは、Motorola, Inc.の商標です。  
MICROWIREはNational Semiconductor Corp.の商標です。

## 特長

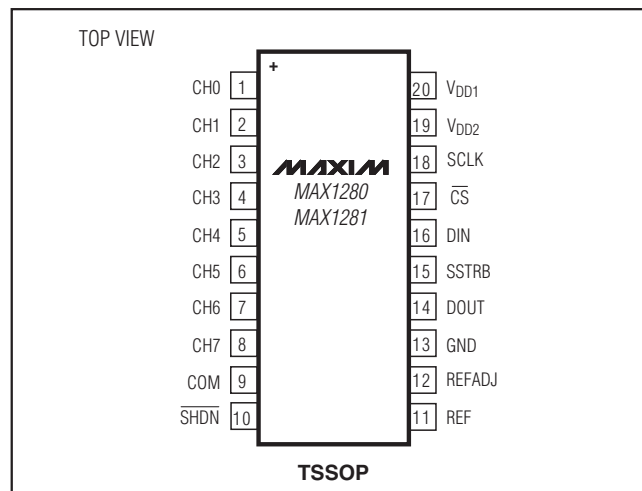
- ◆ 8チャンネルシングルエンドまたは4チャンネル擬似差動入力
- ◆ マルチプレクサおよびトラック/ホールドを内蔵
- ◆ 単一電源動作
  - +4.5V~+5.5V (MAX1280)
  - +2.7V~+3.6V (MAX1281)
- ◆ +2.5Vリファレンスを内蔵
- ◆ 400kspsのサンプリングレート (MAX1280)
- ◆ 低電力2.5mA (400ksps)
  - 1.3mA (パワーセーブモード)
  - 0.9mA (高速パワーダウンモード)
  - 2μA (フルパワーダウン)
- ◆ SPI/QSPI/MICROWIRE/TMS320互換の4線式シリアルインタフェース
- ◆ ソフトウェアによる設定が可能なユニポーラまたはバイポーラ入力
- ◆ 20ピンのTSSOPパッケージ

## 型番

PART	TEMP RANGE	PIN-PACKAGE	INL (LSB)
MAX1280BCUP+	0°C to +70°C	20 TSSOP	±1
MAX1280BEUP+	-40°C to +85°C	20 TSSOP	±1
MAX1281BCUP+	0°C to +70°C	20 TSSOP	±1
MAX1281BEUP+	-40°C to +85°C	20 TSSOP	±1

+は鉛(Pb)フリー/RoHS準拠パッケージを表しています。

## ピン配置



# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

MAX1280/MAX1281

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD_</sub> to GND .....	-0.3V to +6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)
V <sub>DD1</sub> to V <sub>DD2</sub> .....	-0.3V to +0.3V	20-Pin TSSOP (derate 7.0mW/°C above +70°C) .....
CH0-CH7, COM to GND .....	-0.3V to (V <sub>DD1</sub> + 0.3V)	Operating Temperature Ranges
REF, REFADJ to GND .....	-0.3V to (V <sub>DD1</sub> + 0.3V)	MAX128_BCUP .....
Digital Inputs to GND .....	-0.3V to +6V	MAX128_BEUP .....
Digital Outputs to GND .....	-0.3V to (V <sub>DD2</sub> + 0.3V)	Storage Temperature Range .....
Digital Output Sink Current .....	25mA	Lead Temperature (soldering, 10s) .....

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS—MAX1280

(V<sub>DD1</sub> = V<sub>DD2</sub> = +4.5V to +5.5V, COM = GND, f<sub>SCLK</sub> = 6.4MHz, 50% duty cycle, 16 clocks/conversion cycle (400ksps), external +2.5V at REF, REFADJ = V<sub>DD1</sub>, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL				±1.0	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			±1.0	LSB
Offset Error					±6.0	LSB
Gain Error (Note 3)					±7.0	LSB
Gain-Error Temperature Coefficient				±0.8		ppm/°C
Channel-to-Channel Offset-Error Matching				±0.1		LSB
<b>DYNAMIC SPECIFICATIONS</b> (100kHz sine-wave input, 2.5V <sub>P-P</sub> 400ksps, 6.4MHz clock, bipolar input mode)						
Signal-to-Noise plus Distortion Ratio	SINAD			70		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-81		dB
Spurious-Free Dynamic Range	SFDR			80		dB
Intermodulation Distortion	IMD	f <sub>IN1</sub> = 99kHz, f <sub>IN2</sub> = 102kHz		76		dB
Channel-to-Channel Crosstalk (Note 4)		f <sub>IN</sub> = 200kHz, V <sub>IN</sub> = 2.5V <sub>P-P</sub>		-78		dB
Full-Power Bandwidth		-3dB point		6		MHz
Full-Linear Bandwidth		SINAD > 68dB		350		kHz
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	t <sub>CONV</sub>		2.5			µs
Track/Hold Acquisition Time	t <sub>ACQ</sub>				468	ns
Aperture Delay				10		ns
Aperture Jitter				< 50		ps
Serial Clock Frequency	f <sub>SCLK</sub>		0.5		6.4	MHz
Duty Cycle			40		60	%

# 400ksps/300ksps、単一電源、低電力、8チャンネル、 リファレンス内蔵の12ビットシリアルADC

MAX1280/MAX1281

## ELECTRICAL CHARACTERISTICS—MAX1280 (continued)

( $V_{DD1} = V_{DD2} = +4.5V$  to  $+5.5V$ ,  $COM = GND$ ,  $f_{SCLK} = 6.4MHz$ , 50% duty cycle, 16 clocks/conversion cycle (400ksps), external  $+2.5V$  at REF,  $REFADJ = V_{DD1}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>ANALOG INPUTS (CH7–CH0, COM)</b>						
Input Voltage Range, Single-Ended and Differential (Note 6)	$V_{CH\_}$	Unipolar, $V_{COM} = 0$			$V_{REF}$	V
		Bipolar, $V_{COM}$ or $V_{CH\_} = V_{REF}/2$ , referenced to COM or $CH\_$			$\pm V_{REF}/2$	
Multiplexer Leakage Current		On/off leakage current, $V_{CH\_} = 0$ or $V_{DD1}$		$\pm 0.001$	$\pm 1$	$\mu A$
Input Capacitance				18		pF
<b>INTERNAL REFERENCE</b>						
REF Output Voltage	$V_{REF}$	$T_A = +25^\circ C$	2.480	2.500	2.520	V
REF Short-Circuit Current				30		mA
REF Output Temperature Coefficient	$TC V_{REF}$			$\pm 15$		ppm/ $^\circ C$
Load Regulation (Note 7)		0 to 1mA output load		0.1	2.0	mV/mA
Capacitive Bypass at REF			4.7		10	$\mu F$
Capacitive Bypass at REFADJ			0.01		10	$\mu F$
REFADJ Output Voltage				1.22		V
REFADJ Input Range		For small adjustments, from 1.22V		$\pm 50$		mV
REFADJ Buffer Disable Threshold		To power down the internal reference	1.33		$V_{DD1}$	V
Buffer Voltage Gain				2.05		V/V
<b>EXTERNAL REFERENCE</b> (Reference buffer disabled, reference applied to REF)						
REF Input Voltage Range		(Note 8)	1.0		$V_{DD1} + 50mV$	V
REF Input Current		$V_{REF} = 2.500V$ , $f_{SCLK} = 6.4MHz$		200	350	$\mu A$
		$V_{REF} = 2.500V$ , $f_{SCLK} = 0$			320	
		In power-down, $f_{SCLK} = 0$			5	
<b>DIGITAL INPUTS (DIN, SCLK, CS, SHDN)</b>						
Input High Voltage	$V_{INH}$		3.0			V
Input Low Voltage	$V_{INL}$				0.8	V
Input Hysteresis	$V_{HYST}$			0.2		V
Input Leakage	$I_{IN}$	$V_{IN} = 0$ or $V_{DD2}$			$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$			15		pF
<b>DIGITAL OUTPUTS (DOUT, SSTRB)</b>						
Output Voltage Low	$V_{OL}$	$I_{SINK} = 5mA$			0.4	V
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 1mA$	4			V
Three-State Leakage Current	$I_L$	$\overline{CS} = 5V$			$\pm 10$	$\mu A$
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = 5V$		15		pF

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

MAX1280/MAX1281

## ELECTRICAL CHARACTERISTICS—MAX1280 (continued)

( $V_{DD1} = V_{DD2} = +4.5V$  to  $+5.5V$ , COM = GND,  $f_{SCLK} = 6.4MHz$ , 50% duty cycle, 16 clocks/conversion cycle (400ksps), external  $+2.5V$  at REF, REFADJ =  $V_{DD1}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>POWER SUPPLY</b>							
Positive Supply Voltage (Note 9)	$V_{DD1}$ , $V_{DD2}$		4.5		5.5	V	
Supply Current	$I_{VDD1} + I_{VDD2}$	$V_{DD1} = V_{DD2} = 5.5V$	Operating mode (Note 10)		2.5	4.0	mA
			Reduced-power mode (Note 11)		1.3	2.0	
			Fast power-down (Note 11)		0.9	1.5	
			Full power-down (Note 11)		2	10	
Power-Supply Rejection	PSR	$V_{DD1} = V_{DD2} = 5V \pm 10\%$ , midscale input		$\pm 0.5$	$\pm 2.0$	mV	

## ELECTRICAL CHARACTERISTICS—MAX1281

( $V_{DD1} = V_{DD2} = +2.7V$  to  $+3.6V$ , COM = GND,  $f_{SCLK} = 4.8MHz$ , 50% duty cycle, 16 clocks/conversion cycle (300ksps), external  $+2.5V$  at REF, REFADJ =  $V_{DD1}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b> (Note 1)						
Resolution			12			Bits
Relative Accuracy (Note 2)	INL				$\pm 1.0$	LSB
Differential Nonlinearity	DNL	No missing codes over temperature			$\pm 1.0$	LSB
Offset Error					$\pm 6.0$	LSB
Gain Error (Note 3)					$\pm 7.0$	LSB
Gain-Error Temperature Coefficient				$\pm 1.6$		ppm/ $^\circ C$
Channel-to-Channel Offset-Error Matching				$\pm 0.2$		LSB
<b>DYNAMIC SPECIFICATIONS</b> (75kHz sine-wave input, 2.5V <sub>p-p</sub> , 300ksps, 4.8MHz clock, bipolar input mode)						
Signal-to-Noise plus Distortion Ratio	SINAD			70		dB
Total Harmonic Distortion	THD	Up to the 5th harmonic		-81		dB
Spurious-Free Dynamic Range	SFDR			80		dB
Intermodulation Distortion	IMD	$f_{IN1} = 73kHz$ , $f_{IN2} = 77kHz$		76		dB
Channel-to-Channel Crosstalk (Note 4)		$f_{IN} = 150kHz$ , $V_{IN} = 2.5V_{p-p}$		-78		dB
Full-Power Bandwidth		-3dB point		3		MHz
Full-Linear Bandwidth		SINAD > 68dB		250		kHz

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

MAX1280/MAX1281

## ELECTRICAL CHARACTERISTICS—MAX1281 (continued)

( $V_{DD1} = V_{DD2} = +2.7V$  to  $+3.6V$ ,  $COM = GND$ ,  $f_{SCLK} = 4.8MHz$ , 50% duty cycle, 16 clocks/conversion cycle (300ksps), external  $+2.5V$  at REF, REFADJ =  $V_{DD1}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	$t_{CONV}$	Normal operating mode	3.3			$\mu s$
Track/Hold Acquisition Time	$t_{ACQ}$	Normal operating mode			625	ns
Aperture Delay				10		ns
Aperture Jitter				< 50		ps
Serial Clock Frequency	$f_{SCLK}$	Normal operating mode	0.5		4.8	MHz
Duty Cycle			40		60	%
<b>ANALOG INPUTS (CH7–CH0, COM)</b>						
Input Voltage Range, Single-Ended and Differential (Note 6)	$V_{CH\_}$	Unipolar, $V_{COM} = 0$			$V_{REF}$	V
		Bipolar, $V_{COM}$ or $V_{CH\_} = V_{REF}/2$ , referenced to COM or $CH\_$			$\pm V_{REF}/2$	
Multiplexer Leakage Current		On/off leakage current, $V_{CH\_} = 0$ or $AV_{DD}$		$\pm 0.001$	$\pm 1$	$\mu A$
Input Capacitance				18		pF
<b>INTERNAL REFERENCE</b>						
REF Output Voltage	$V_{REF}$	$T_A = +25^\circ C$	2.480	2.500	2.520	V
REF Short-Circuit Current				15		mA
REF Output Temperature Coefficient	TC $V_{REF}$			$\pm 15$		ppm/ $^\circ C$
Load Regulation (Note 7)		0 to 0.75mA output load		0.1	2.0	mV/mA
Capacitive Bypass at REF			4.7		10	$\mu F$
Capacitive Bypass at REFADJ			0.01		10	$\mu F$
REFADJ Output Voltage				1.22		V
REFADJ Input Range		For small adjustments, from 1.22V		$\pm 50$		mV
REFADJ Buffer Disable Threshold		To power down the internal reference	1.33		$V_{DD1} - 1$	V
Buffer Voltage Gain				2.05		V/V
<b>EXTERNAL REFERENCE (Reference buffer disabled, reference applied to REF)</b>						
REF Input Voltage Range		(Note 8)	1.0		$V_{DD1} + 50mV$	V
REF Input Current		$V_{REF} = 2.500V$ , $f_{SCLK} = 4.8MHz$		200	350	$\mu A$
		$V_{REF} = 2.500V$ , $f_{SCLK} = 0$			320	
		In power-down, $f_{SCLK} = 0$			5	
<b>DIGITAL INPUTS (DIN, SCLK, CS, SHDN)</b>						
Input High Voltage	$V_{INH}$		2.0			V
Input Low Voltage	$V_{INL}$				0.8	V
Input Hysteresis	$V_{HYST}$			0.2		V
Input Leakage	$I_{IN}$	$V_{IN} = 0$ or $V_{DD2}$			$\pm 1$	$\mu A$
Input Capacitance	$C_{IN}$			15		pF

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

MAX1280/MAX1281

## ELECTRICAL CHARACTERISTICS—MAX1281 (continued)

( $V_{DD1} = V_{DD2} = +2.7V$  to  $+3.6V$ ,  $COM = GND$ ,  $f_{SCLK} = 4.8MHz$ , 50% duty cycle, 16 clocks/conversion cycle (300ksps), external  $+2.5V$  at REF,  $REFADJ = V_{DD1}$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>DIGITAL OUTPUTS (DOUT, SSTRB)</b>							
Output Voltage Low	$V_{OL}$	$I_{SINK} = 5mA$			0.4	V	
Output Voltage High	$V_{OH}$	$I_{SOURCE} = 0.5mA$	$V_{DD2} - 0.5V$			V	
Three-State Leakage Current	$I_L$	$\overline{CS} = 3V$			$\pm 10$	$\mu A$	
Three-State Output Capacitance	$C_{OUT}$	$\overline{CS} = 3V$		15		pF	
<b>POWER SUPPLY</b>							
Positive Supply Voltage (Note 9)	$V_{DD1}$ , $V_{DD2}$		2.7		3.6	V	
Supply Current	$I_{VDD1} + I_{VDD2}$	$V_{DD1} = V_{DD2} = 3.6V$	Operating mode (Note 10)		2.5	3.5	mA
			Reduced-power mode (Note 11)		1.3	2.0	
			Fast power-down (Note 11)		0.9	1.5	
			Full power-down (Note 11)		2	10	$\mu A$
Power-Supply Rejection	PSR	$V_{DD1} = V_{DD2} = 2.7V$ to $3.6V$ , midscale input	$\pm 0.5$		$\pm 2.0$	mV	

## TIMING CHARACTERISTICS—MAX1280

(Figures 1, 2, 6, 7;  $V_{DD1} = V_{DD2} = +4.5V$  to  $+5.5V$ ;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Period	$t_{CP}$		156			ns
SCLK Pulse Width High	$t_{CH}$		62			ns
SCLK Pulse Width Low	$t_{CL}$		62			ns
DIN to SCLK Setup	$t_{DS}$		35			ns
DIN to SCLK Hold	$t_{DH}$		0			ns
$\overline{CS}$ Fall to SCLK Rise Setup	$t_{CSS}$		35			ns
SCLK Rise to $\overline{CS}$ Rise Hold	$t_{CSH}$		0			ns
SCLK Rise to $\overline{CS}$ Fall Ignore	$t_{CSO}$		35			ns
$\overline{CS}$ Rise to SCLK Rise Ignore	$t_{CS1}$		35			ns
SCLK Rise to DOUT Hold	$t_{DOH}$	$C_{LOAD} = 20pF$	10	20		ns
SCLK Rise to SSTRB Hold	$t_{STH}$	$C_{LOAD} = 20pF$	10	20		ns
SCLK Rise to DOUT Valid	$t_{DOV}$	$C_{LOAD} = 20pF$			80	ns
SCLK Rise to SSTRB Valid	$t_{STV}$	$C_{LOAD} = 20pF$			80	ns
$\overline{CS}$ Rise to DOUT Disable	$t_{DOD}$	$C_{LOAD} = 20pF$	10		65	ns
$\overline{CS}$ Rise to SSTRB Disable	$t_{STD}$	$C_{LOAD} = 20pF$	10		65	ns
$\overline{CS}$ Fall to DOUT Enable	$t_{DOE}$	$C_{LOAD} = 20pF$			65	ns
$\overline{CS}$ Fall to SSTRB Enable	$t_{STE}$	$C_{LOAD} = 20pF$			65	ns
$\overline{CS}$ Pulse Width High	$t_{CSW}$		100			ns

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

## TIMING CHARACTERISTICS—MAX1281

(Figures 1, 2, 6, 7;  $V_{DD1} = V_{DD2} = +2.7V$  to  $+3.6V$ ;  $T_A = T_{MIN}$  to  $T_{MAX}$ ; unless otherwise noted.)

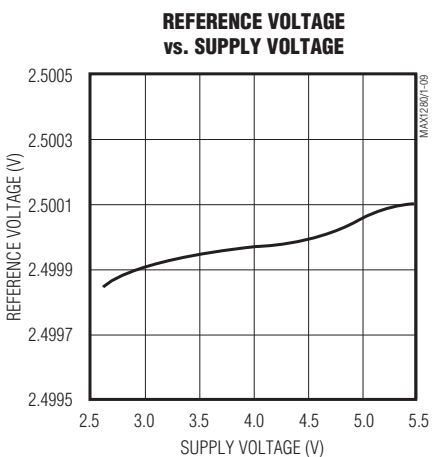
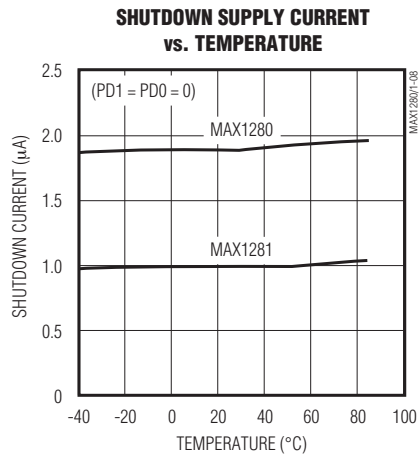
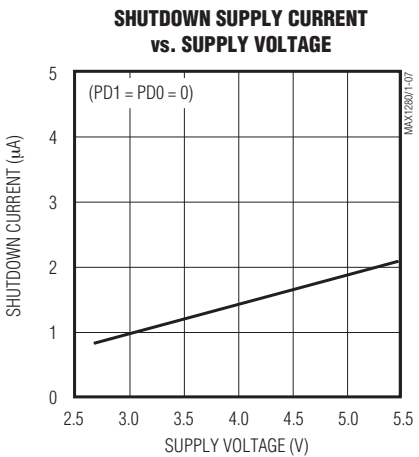
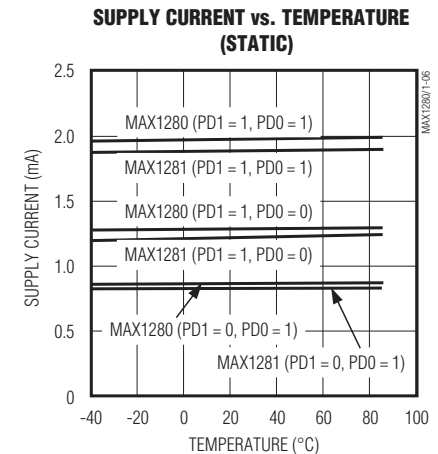
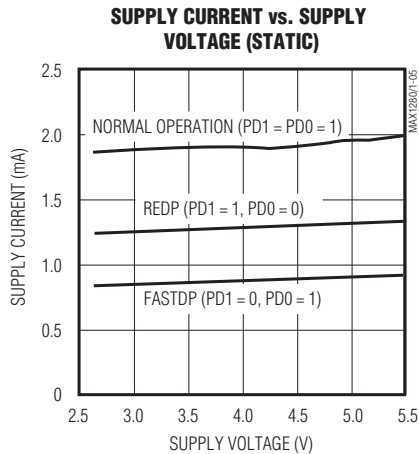
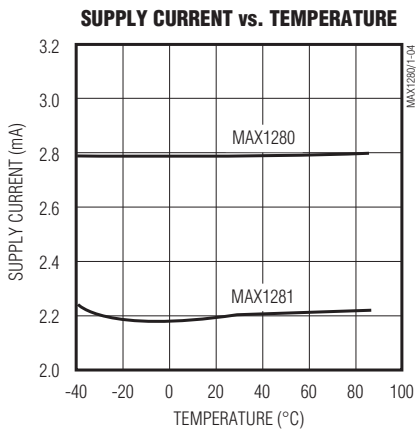
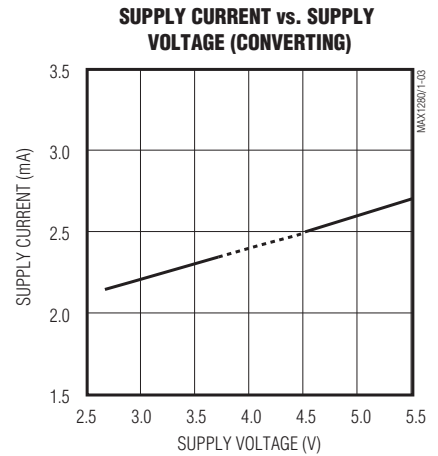
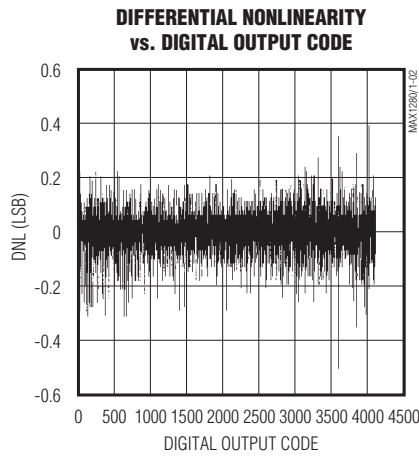
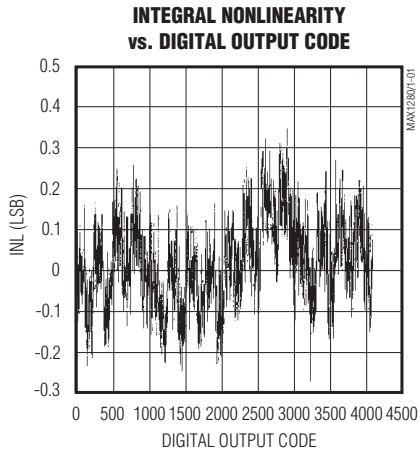
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SCLK Period	t <sub>CP</sub>		208			ns
SCLK Pulse Width High	t <sub>CH</sub>		83			ns
SCLK Pulse Width Low	t <sub>CL</sub>		83			ns
DIN to SCLK Setup	t <sub>DS</sub>		45			ns
DIN to SCLK Hold	t <sub>DH</sub>		0			ns
$\overline{CS}$ Fall to SCLK Rise Setup	t <sub>CSS</sub>		45			ns
SCLK Rise to $\overline{CS}$ Rise Hold	t <sub>CSH</sub>		0			ns
SCLK Rise to $\overline{CS}$ Fall ignore	t <sub>CSO</sub>		45			ns
$\overline{CS}$ Rise to SCLK Rise Ignore	t <sub>CS1</sub>		45			ns
SCLK Rise to DOUT Hold	t <sub>DOH</sub>	C <sub>LOAD</sub> = 20pF	13	20		ns
SCLK Rise to SSTRB Hold	t <sub>STH</sub>	C <sub>LOAD</sub> = 20pF	1	20		ns
SCLK Rise to DOUT Valid	t <sub>DOV</sub>	C <sub>LOAD</sub> = 20pF			100	ns
SCLK Rise to SSTRB Valid	t <sub>STV</sub>	C <sub>LOAD</sub> = 20pF			100	ns
$\overline{CS}$ Rise to DOUT Disable	t <sub>DOD</sub>	C <sub>LOAD</sub> = 20pF	13		85	ns
$\overline{CS}$ Rise to SSTRB Disable	t <sub>STD</sub>	C <sub>LOAD</sub> = 20pF	13		85	ns
$\overline{CS}$ Fall to DOUT Enable	t <sub>DOE</sub>	C <sub>LOAD</sub> = 20pF			85	ns
$\overline{CS}$ Fall to SSTRB Enable	t <sub>STE</sub>	C <sub>LOAD</sub> = 20pF			85	ns
$\overline{CS}$ Pulse Width High	t <sub>CSW</sub>		100			ns

- Note 1:** MAX1280 tested at  $V_{DD1} = V_{DD2} = +5V$ , MAX1281 tested at  $V_{DD1} = V_{DD2} = +3V$ ; COM = GND; unipolar single-ended input mode.
- Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the gain error and offset error have been nulled.
- Note 3:** Offset nulled.
- Note 4:** Ground “on” channel; sine wave applied to all “off” channels.
- Note 5:** Conversion time is defined as the number of clock cycles multiplied by the clock period; clock has 50% duty cycle.
- Note 6:** The absolute voltage range for the analog inputs (CH7–CH0, and COM) is from GND to  $V_{DD1}$ .
- Note 7:** External load should not change during conversion for specified accuracy. Guaranteed specification of 2mV/mA is a result of production test limitations.
- Note 8:** ADC performance is limited by the converter’s noise floor, typically 300 $\mu$ Vp-p.
- Note 9:** Electrical characteristics are guaranteed from  $V_{DD1(MIN)} = V_{DD2(MIN)}$  to  $V_{DD1(MAX)} = V_{DD2(MAX)}$ . For operations beyond this range, see the *Typical Operating Characteristics*. For guaranteed specifications beyond the limits, contact the factory.
- Note 10:** A<sub>IN</sub> = midscale. Unipolar mode. MAX1280 tested with 20pF on DOUT, 20pF on SSTRB, and f<sub>SCLK</sub> = 6.4MHz, 0 to 5V. MAX1281 tested with same loads, f<sub>SCLK</sub> = 4.8MHz, 0 to 3V. DOUT = FFF hex.
- Note 11:** SCLK = DIN = GND,  $\overline{CS} = V_{DD1}$ .

# 400ksp/s/300ksp/s、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

## 標準動作特性

(MAX1280:  $V_{DD1} = V_{DD2} = 5.0V$ ,  $f_{SCLK} = 6.4MHz$ ; MAX1281:  $V_{DD1} = V_{DD2} = 3.0V$ ,  $f_{SCLK} = 4.8MHz$ ;  $C_{LOAD} = 20pF$ ,  $4.7\mu F$  capacitor at REF,  $0.01\mu F$  capacitor at REFADJ,  $T_A = +25^\circ C$ , unless otherwise noted.)

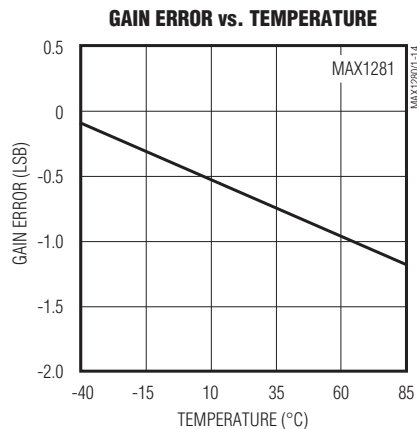
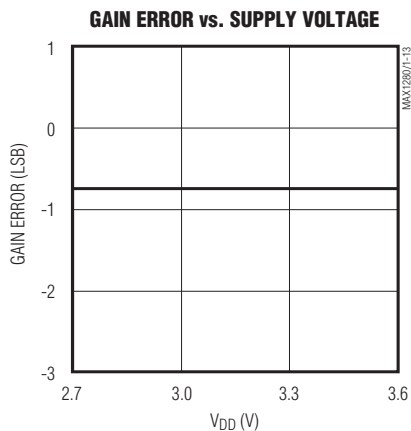
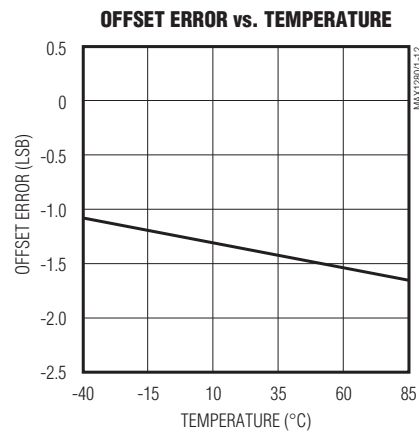
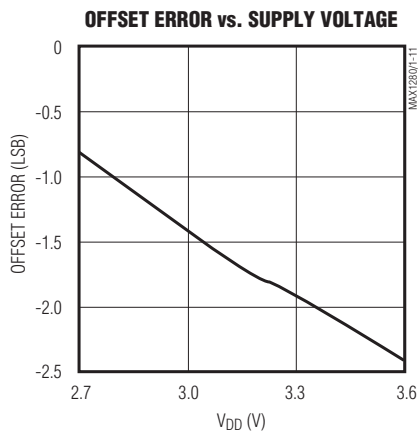
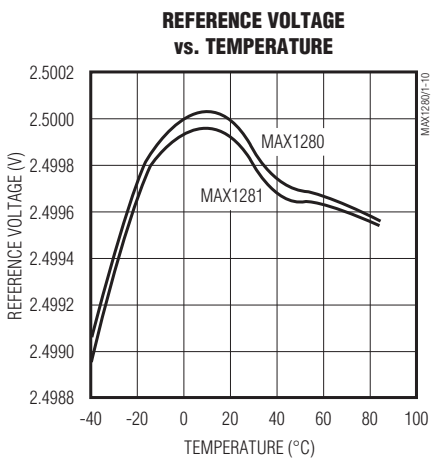


# 400ksp/s/300ksp/s、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

MAX1280/MAX1281

## 標準動作特性(続き)

(MAX1280:  $V_{DD1} = V_{DD2} = 5.0V$ ,  $f_{SCLK} = 6.4MHz$ ; MAX1281:  $V_{DD1} = V_{DD2} = 3.0V$ ,  $f_{SCLK} = 4.8MHz$ ;  $C_{LOAD} = 20pF$ ,  $4.7\mu F$  capacitor at REF,  $0.01\mu F$  capacitor at REFADJ,  $T_A = +25^\circ C$ , unless otherwise noted.)



# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

## 端子説明

端子	名称	機能
1-8	CH0-CH7	サンプリングアナログ入力
9	COM	アナログ入力の基準グランド。COMは、シングルエンドモードでのゼロコード電圧を設定します。 $\pm 0.5$ LSBに安定している必要があります。
10	$\overline{\text{SHDN}}$	アクティブローのシャットダウン入力。 $\overline{\text{SHDN}}$ をローにすることによって、デバイスはシャットダウンし、消費電流は $2\mu\text{A}$ (typ)に低減します。
11	REF	リファレンスバッファ出力/ADCのリファレンス入力。アナログデジタル変換のための基準電圧。内部リファレンスモード時に、リファレンスバッファは、REFADJで外部調整可能な公称 $+2.500\text{V}$ の出力を提供します。外部リファレンスモード時は、REFADJを $V_{\text{DD1}}$ に接続することによって、内部バッファをディセーブルします。
12	REFADJ	リファレンスバッファアンプ入力。リファレンスバッファアンプをディセーブルするためには、REFADJを $V_{\text{DD1}}$ に接続します。
13	GND	アナログおよびデジタルグランド
14	DOUT	シリアルデータ出力。データはSCLKの立上がりエッジでクロックアウトされます。 $\overline{\text{CS}}$ がハイの時、ハイインピーダンスになります。
15	SSTRB	シリアルストローブ出力。SSTRBは、MSB決定前の1クロック期間、ハイパルスを出します。 $\overline{\text{CS}}$ がハイの時、ハイインピーダンスになります。
16	DIN	シリアルデータ入力。データは、SCLKの立上がりエッジでクロックインされます。
17	$\overline{\text{CS}}$	アクティブローのチップセレクト。 $\overline{\text{CS}}$ がローではない限り、データはDINにクロックインされません。 $\overline{\text{CS}}$ がハイの時、DOUTおよびSSTRBはハイインピーダンスになります。
18	SCLK	シリアルクロック入力。クロックによってシリアルインタフェースのデータを入出力し、変換速度を設定します。(デューティサイクルは40%~60%の必要があります。)
19	$V_{\text{DD2}}$	正電源電圧
20	$V_{\text{DD1}}$	正電源電圧

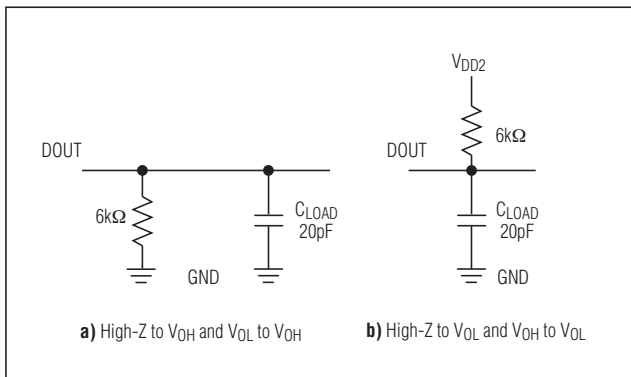


図1. イネーブル時間用負荷回路

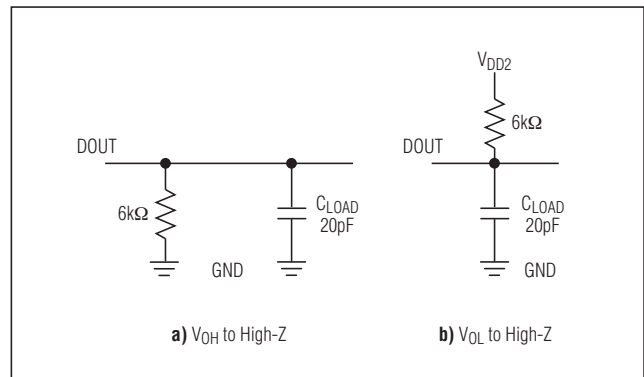


図2. ディセーブル時間用負荷回路

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

## 詳細

MAX1280/MAX1281アナログデジタル変換器(ADC)は、逐次比較変換方式および入力トラック/ホールド(T/H)回路を使用してアナログ信号を12ビットのデジタル出力に変換します。柔軟なシリアルインタフェースは、マイクロプロセッサ(μP)への容易なインタフェースを提供します。図3に、MAX1280/MAX1281のファンクションダイアグラムを示します。

## 擬似差動入力

図4の入力等価回路は、T/H、入力マルチプレクサ、入力コンパレータ、スイッチトキャパシタDAC、およびリファレンスで構成される、MAX1280/MAX1281の入力構成を示しています。

シングルエンドモード時、正入力(IN+)は、選択された入力チャンネルに接続され、負入力(IN-)はCOMに設定されます。差動モード時、IN+およびIN-は、CH0/CH1、CH2/CH3、CH4/CH5、とCH6/CH7の組み合わせから選択されます。表2および3に従ってチャンネルを設定してください。

MAX1280/MAX1281の入力構成は、IN+の信号だけがサンプルされることで、擬似差動となります。変換動作期間、リターン側(IN-)はサンプリングコンデンサに接続され、変換の期間中、GNDに対して±0.5 LSB (最良の結果を得るためには±0.1 LSB)以内に安定させる必要があります。

選択されたIN-に変化する信号が供給される場合、精度を維持するために振幅および周波数を制限する必要があります。±0.5 LSBの精度を維持するために、以下の

式で、最大信号振幅とその周波数の関係を決定します。IN-において正弦波信号を仮定すると、入力電圧は次式によって決定します。

$$v_{IN-} = (V_{IN-}) \sin(2\pi ft)$$

最大電圧変化は次式によって決定します。

$$\max \frac{dv_{IN-}}{dt} = (V_{IN-}) 2\pi f \leq \frac{1 \text{ LSB}}{t_{\text{CONV}}} = \frac{V_{\text{REF}}}{2^{12} t_{\text{CONV}}}$$

+2.5Vの基準電圧と2.5μsの変換時間(15/f<sub>SCLK</sub>)を使用した時、IN-の650mV<sub>p-p</sub>、60Hzの信号は、±0.5 LSBの誤差を発生します。IN-にDC基準電圧を使用する場合、この入力におけるノイズを最小化するために、GNDへ0.1μFのコンデンサを接続してください。

アキュイジション期間、正入力(IN+)として選択されたチャンネルは、コンデンサC<sub>HOLD</sub>を充電します。アキュイジション期間は、3サイクルのSCLKサイクルにわたり、入力コントロールワードの最終ビットの入力後、SCLKの下がりエッジで終了します。アキュイジション期間の最後にT/Hスイッチが開放し、C<sub>HOLD</sub>にIN+信号のサンプルとしての電荷を保持します。変換期間は、入力マルチプレクサがC<sub>HOLD</sub>をIN+からIN-へ切り替えることから開始されます。これによって、コンパレータ入力のノードZEROは不平衡状態になります。容量性DACは、ノードZEROを12ビット精度の範囲内でV<sub>DD1</sub>/2に回復させるために、変換サイクルの残りの期間で調整します。この動作は、12pF x (V<sub>IN+</sub> - V<sub>IN-</sub>)の電荷をC<sub>HOLD</sub>からバイナリ値で重み付けされた容量性DACに移動する動作と等価で、結果としてアナログ入力信号のデジタル表現を生成するものです。

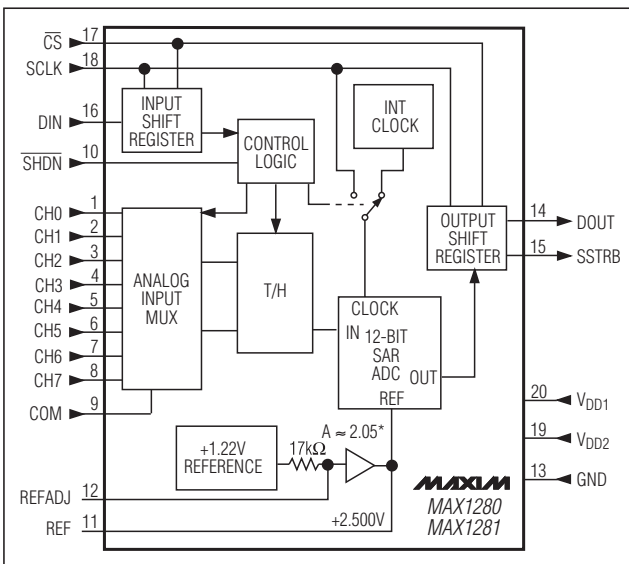


図3. ファンクションダイアグラム

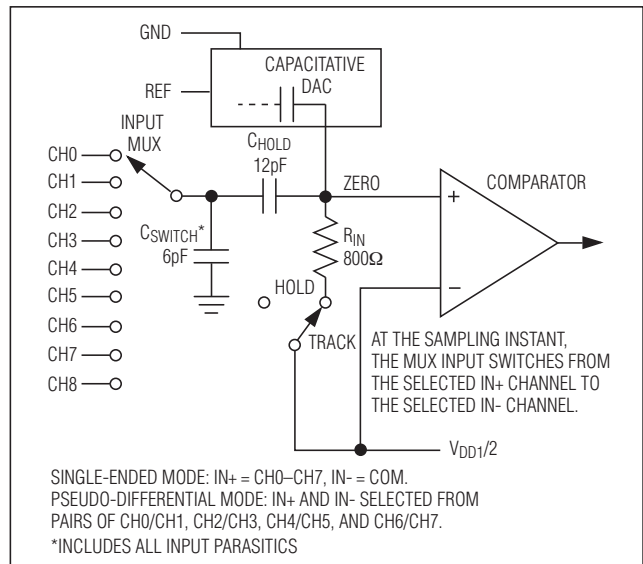


図4. 入力等価回路

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

## トラック/ホールド

T/Hは、8ビットコントロールワードの第5ビットがシフトインされた後の立下がりエッジで、トラックモードに入ります。コントロールワードの第8ビットがシフトインされた後の立下がりエッジで、ホールドモードに入ります。コンバータがシングルエンド入力として設定されている場合、IN-はCOMと接続され、コンバータは「+」の入力を変換します。コンバータが差動入力として設定されている場合、 $[(IN+) - (IN-)]$ の差が変換されます。変換終了時に、正入力はIN+に接続が戻され、 $C_{HOLD}$ は入力信号まで充電されます。

T/Hの入力信号の収集に必要な時間は、入力容量を充電する速さの関数です。入力信号の信号源インピーダンスが高い場合、アキュイジション時間が長くなり、変換と変換の間の時間をより長くする必要があります。アキュイジション時間、 $t_{ACQ}$ は、デバイスが信号を収集する最大時間であり、また、信号を収集するために必要な最小時間です。これは、以下の式によって計算されます。

$$t_{ACQ} = 9 \times (R_S + R_{IN}) \times 12pF$$

ここで、 $R_{IN} = 800\Omega$ 、 $R_S =$  入力信号の信号源インピーダンス。 $t_{ACQ}$ は、468ns (MAX1280)、または625ns (MAX1281)より小さくなることはありません。2k $\Omega$ 以下の信号源インピーダンスは、ADCのAC性能に大きく影響しないです。

## 入力帯域幅

ADCの入カトラッキング回路は、6MHz (MAX1280)、または3MHz (MAX1281)の小信号帯域幅を持っているため、高速な過渡現象のデジタル化、およびアンダーサンプリング技法を使用してADCのサンプリングレート

を超える帯域幅の周期的な信号を測定することが可能です。対象となる周波数帯にエイリアシングされる高周波信号を防止するために、アンチエイリアスフィルタが推奨されます。

## アナログ入力保護

アナログ入力を $V_{DD1}$ およびGNDへクランプする内部保護ダイオードは、チャンネル入力ピンを損傷させることなく、 $GND - 0.3V \sim V_{DD1} + 0.3V$ までのスイングを可能にします。しかし、フルスケール付近での正確な変換のために、入力は、 $V_{DD1}$ より50mV以上超えない、また、GNDより50mV以下に低下させない必要があります。

アナログ入力が電源電圧を50mV以上超える場合には、入力電流を2mA以下に抑えてください。

## 性能チェック回路

MAX1280/MAX1281のアナログ性能を迅速に評価するためには、図5の回路を使用してください。MAX1280/MAX1281は、個々の変換の前に、DINにコントロールバイトの書き込みを必要とします。DINを $V_{DD2}$ に接続することで、各変換と変換の間でパワーダウンせずに、CH7のシングルエンドユニポーラ変換をトリガする、\$FF (HEX)が入力されます。SSTRBは、12ビットの変換結果のMSBがDOUTからシフトアウトされる前に、1クロックの期間のハイパルスを出力します。CH7へのアナログ入力を変化させることで、DOUTからのビットシーケンスが変化します。1回の変換あたり合計16のクロックサイクルを必要とします。SSTRBとDOUT出力のすべての遷移は、標準でSCLKの立下がりエッジの20ns後に起こります。

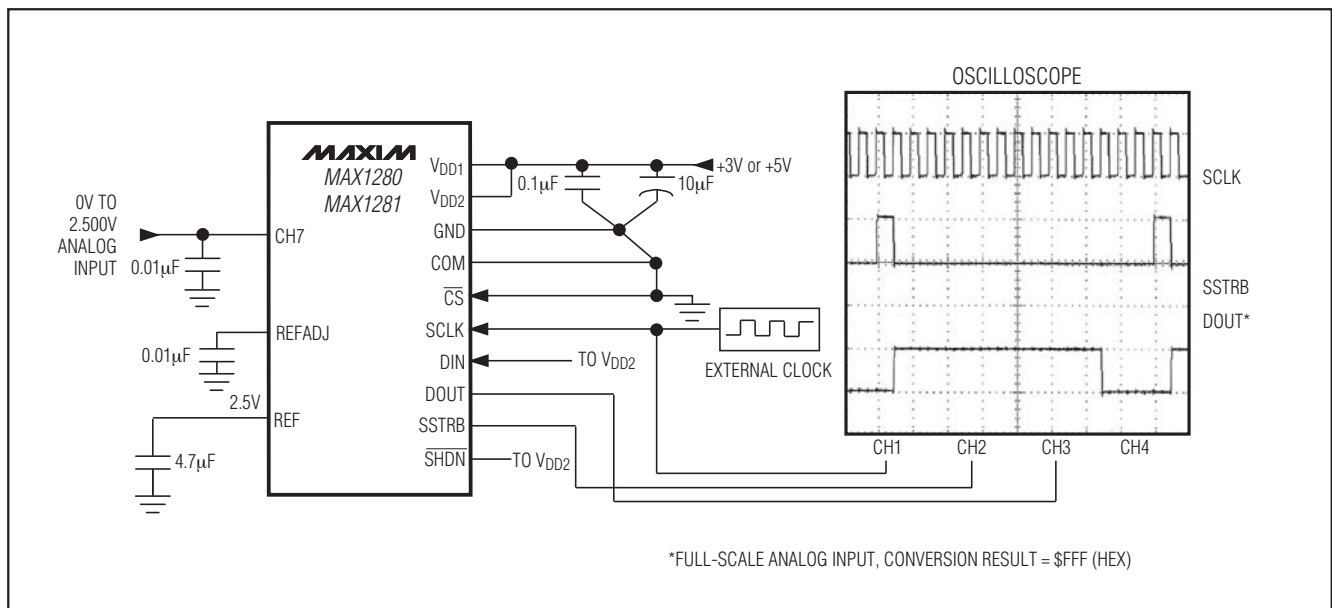


図5. 性能チェック回路

# 400ksp/s/300ksp/s、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

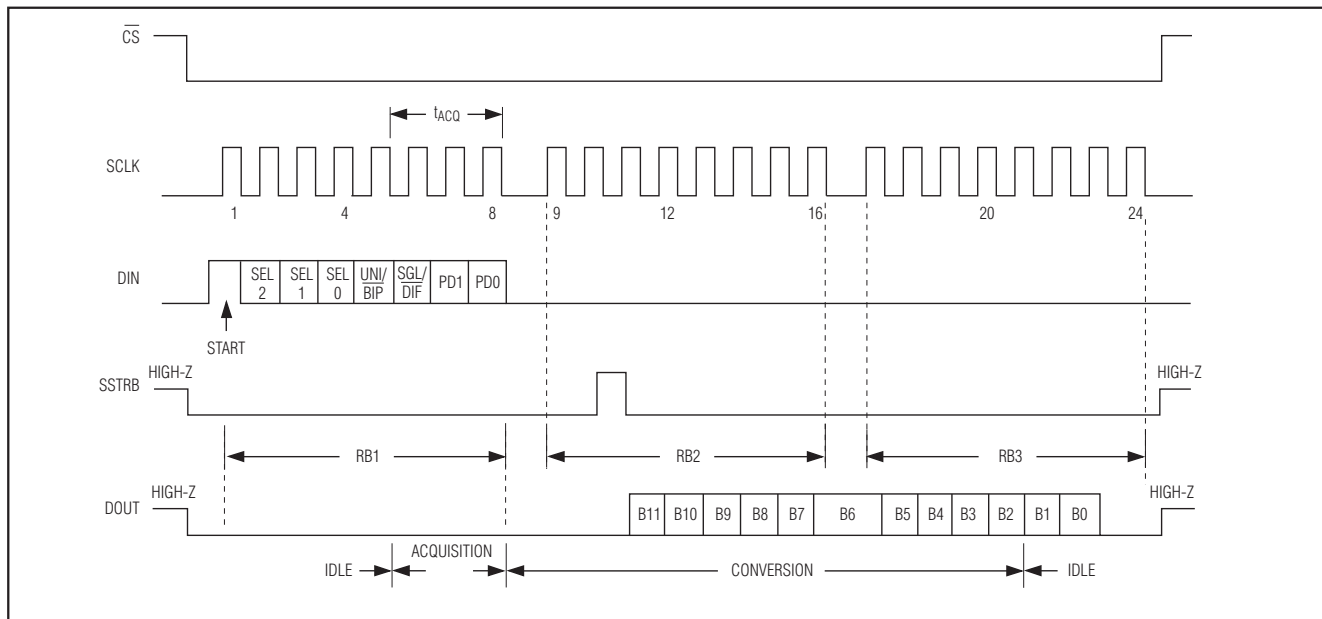


図6. 単一変換のタイミング

## 変換の開始

DINにコントロールバイトをクロックインすることによって、変換を開始します。 $\overline{CS}$ がローの時、SCLKの各立上がりエッジで、DINからMAX1280/MAX1281の内部シフトレジスタに1ビットがクロックインされます。 $\overline{CS}$ が立下がった後の最初に入力されるロジック「1」のビットがコントロールバイトのMSBを定義します。この最初の「スタート」ビットが入力されるまで、DINにクロックインされる任意の数のロジック「0」のビットは無効です。表1は、コントロールバイトのフォーマットを示しています。

MAX1280/MAX1281は、SPI/QSPIおよびMICROWIREデバイスに対応しています。SPIについては、SPIコントロールレジスタによって正しいクロックの極性およびサンプリングエッジを選択、CPOL = 0およびCPHA = 0を設定します。MICROWIRE、SPI、およびQSPIではすべてについて、1バイトを送出し、同時に1バイトを受け取ります。「標準動作回路」を使用した、変換を実行するための最も簡単なソフトウェアインタフェースでは、3回だけの8ビット転送を必要とします(ADCを設定する1回の8ビット転送、および12ビットの変換結果をクロックアウトする残りの2回の8ビット転送)。MAX1280/MAX1281のQSPI接続について、図17を参照してください。

## 簡単なソフトウェアインタフェース

CPUのシリアルインタフェースがマスタモードで動作していることを確認します。これによって、CPUはシリアルクロックを生成します。500kHz~6.4MHz (MAX1280)

または500kHz~4.8MHz (MAX1281)のクロック周波数を選択してください。

- 1) コントロールバイトを設定します。これをTB1とします。TB1は、Xが特定のチャンネル、選択された変換モード、およびパワーモードを示すバイナリ値の、1XXXXXXXの形式の必要があります。
- 2) CPUの汎用I/Oラインを使用して、 $\overline{CS}$ をローにします。
- 3) TB1を送出し、同時に、1バイトを受け取ります。これをRB1とします。RB1を無視します。
- 4) すべてゼロ(\$00 hex)の1バイトを送出し、同時に、バイト、RB2を受け取ります。
- 5) すべてゼロ(\$00 hex)の1バイトを送出し、同時に、バイト、RB3を受け取ります。
- 6)  $\overline{CS}$ をハイにします。

図6は、このシーケンスのタイミングを示しています。RB2およびRB3バイトには、3個の先頭ゼロと、1個の末尾ゼロに挟まれた変換結果を含んでいます。全変換時間は、シリアルクロックの周波数と8ビット転送の間のアイドル時間の関数になります。過度なT/Hドループを避けるために、全変換時間が120 $\mu$ sを超えないようにしてください。

## デジタル出力

ユニポーラ入力モードでは、出力はストレートバイナリです(図14)。バイポーラ入力モードでは、出力は2の補数です(図15)。データは、先頭がMSBの形式で、SCLKの立上がりエッジでクロックアウトされます。

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

MAX1280/MAX1281

表1. コントロールバイトのフォーマット

BIT 7 (MSB)	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0 (LSB)
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0
BIT	NAME	DESCRIPTION					
7 (MSB)	START	The first logic "1" bit after $\overline{CS}$ goes low defines the beginning of the control byte.					
6	SEL2	These three bits select which of the eight channels are used for the conversion (Tables 2 and 3).					
5	SEL1						
4	SEL0						
3	UNI/BIP	1 = unipolar, 0 = bipolar. Selects unipolar or bipolar conversion mode. In unipolar mode, an analog input signal from 0 to $V_{REF}$ can be converted; in bipolar mode, the differential signal can range from $-V_{REF}/2$ to $+V_{REF}/2$ .					
2	SGL/DIF	1 = single ended, 0 = differential. Selects single-ended or differential conversions. In single-ended mode, input signal voltages are referred to COM. In differential mode, the voltage difference between two channels is measured (Tables 2 and 3).					
1	PD1	Select operating mode.					
0 (LSB)	PD0						
	<b>PD1</b> <b>PD0</b> <b>Mode</b>						
	0        0        Full power-down						
	0        1        Fast power-down						
	1        0        Reduced Power						
	1        1        Normal Operation						

表2. シングルエンドモード時のチャンネル選択(SGL/ $\overline{DIF}$  = 1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+								-
0	0	1			+						-
0	1	0					+				-
0	1	1							+		-
1	0	0		+							-
1	0	1				+					-
1	1	0						+			-
1	1	1								+	-

表3. 擬似差動モード時のチャンネル選択(SGL/ $\overline{DIF}$  = 0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

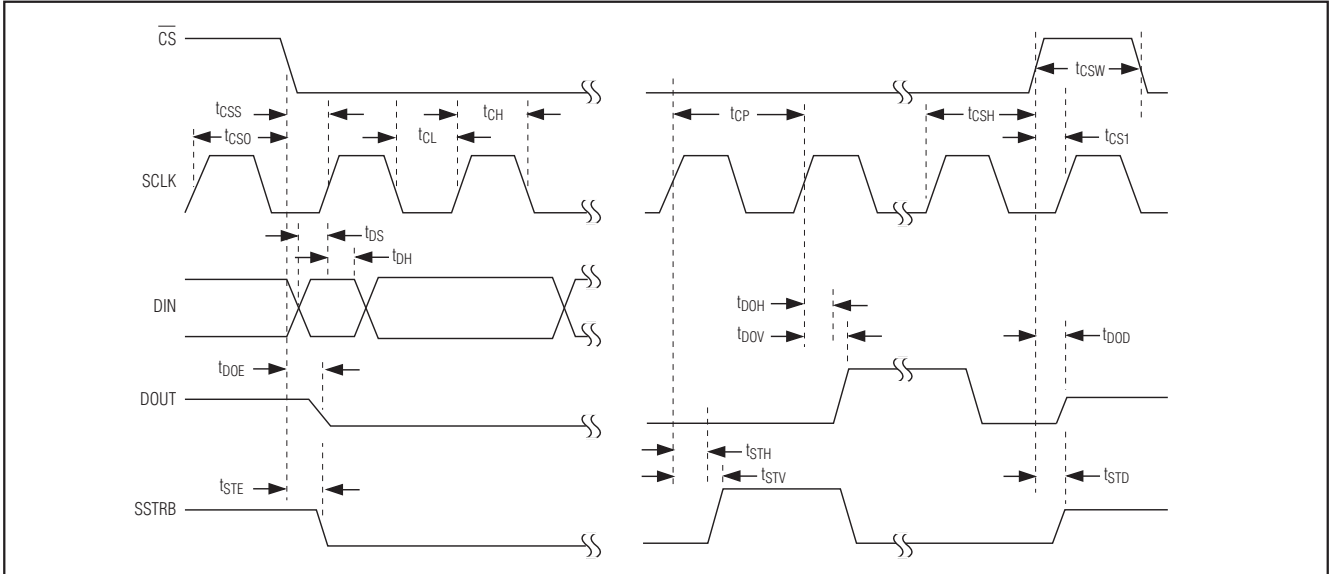


図7. シリアルインタフェースタイミングの詳細

## シリアルクロック

外部シリアルクロックは、データをシフトイン/アウトするだけでなく、アナログデジタル変換の各ステップを駆動します。SSTRBは、コントロールバイトの最終ビットの後の1クロック期間、ハイパルスを出します。逐次比較ビットが決定され、次の12個のSCLKの各立上がりエッジでDOUTに出力されます(図6)。CSがハイになる時、SSTRBおよびDOUTはハイインピーダンス状態になり、次のCSの立上がりエッジの後、SSTRBはロジックローを出します。図7にシリアルインタフェースタイミングの詳細を示します。

変換は120μs以下で完了する必要があります。完了しない場合には、サンプルホールドコンデンサのドループによって、変換結果を悪化させる可能性があります。

## データフレーミング

CSの立下がりエッジでは、変換は開始されません。DINに入力される最初のロジックハイは、スタートビットとして解釈され、コントロールバイトの最初のビットを定義します。コントロールバイトの第8ビット(PD0ビット)がDINにクロックインされた後、SCLKの立下がりエッジで変換が開始されます。スタートビットは次の様に定義されます。

コンバータがアイドルである任意の時点で(例えば、V<sub>DD1</sub>とV<sub>DD2</sub>が供給された後など)、CSがローの状態ではDINにクロックインされる最初のハイビット。

または

進行中の変換のビット6がDOUTピンにクロックアウトされた後のDINにクロックインされた最初のハイビット。

スタートビットが認識されると、現在の変換は、SHDNをローに引き下げることによってのみ終了されます。各変換と変換の間でCSをローにした状態でMAX1280/

MAX1281を動作させることが可能な最速の時間は、1回の変換について16クロックです。図8は、16 SCLK サイクルで各変換を実行するために必要なシリアルインタフェースタイミングを示します。CSがローに固定され、SCLKが連続な場合、最初に16個のゼロをクロックインすることによって、スタートビットを確実にする必要があります。

## アプリケーション情報

### パワーオンリセット

最初に電源が供給され、SHDNがローでない時、内部パワーオンリセット回路は、SSTRB = ローによる変換動作が可能となる、通常動作モードでMAX1280/MAX1281を起動します。MAX1280/MAX1281は、電源安定後にリセットのために10μsを必要とし、この期間内では変換を開始させないでください。CSがローの時、DINへの最初のロジック1は、スタートビットと解釈されます。変換を起動するまで、DOUTはゼロをシフトアウトします。さらに、内部リファレンスを使用する場合、リファレンスが安定するのを待ってください。

### パワーモード

コンバータを2種類の低電流動作モードの1つに、または変換と変換の間をフルパワーダウン状態にすることによって電力を節減することができます。DINコントロールバイト(表1および4)のビット1とビット0を通してパワーモードを選択、またはSHDNをGNDへ駆動することによって、コンバータを強制的にハードウェアシャットダウン状態にします。

ソフトウェアパワーダウンモードは、変換完了後に有効になります。SHDNは、すべてのソフトウェアパワーモードを無効にし、実行中のすべての変換を直ちに中止させます。

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

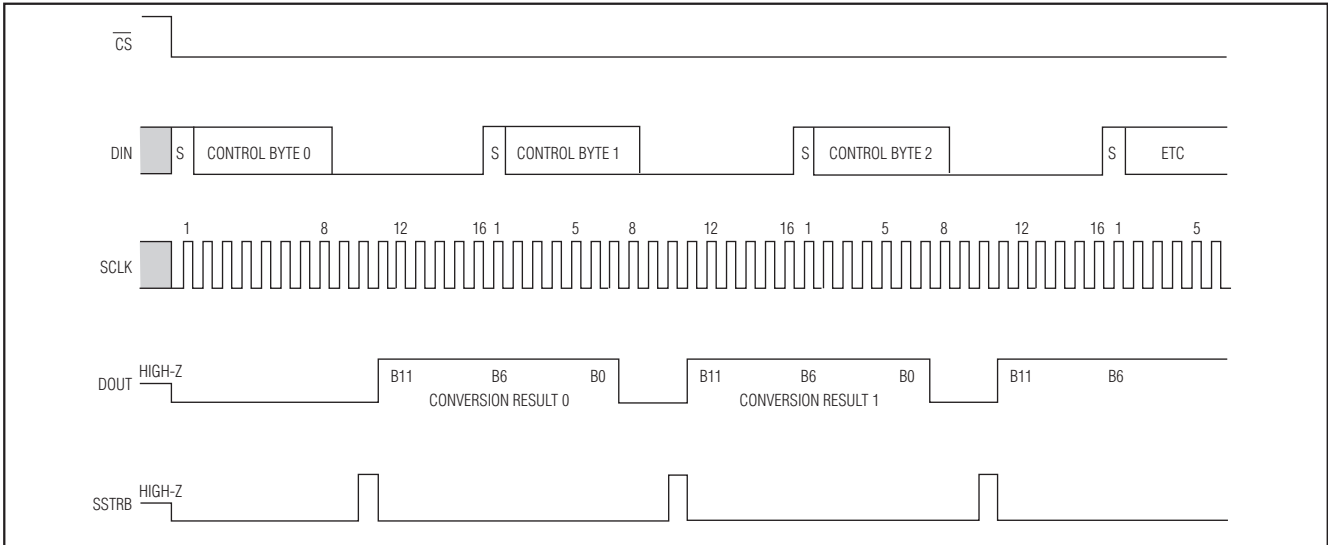


図8. 連続16クロック/変換のタイミング

表4. ソフトウェア制御のパワーモード

PD1/PD0	MODE	TOTAL SUPPLY CURRENT		CIRCUIT SECTIONS*	
		CONVERTING	AFTER CONVERSION	INPUT COMPARATOR	REFERENCE
00	Full Power-Down (FULLPD)	2.5mA	2μA	Off	Off
01	Fast Power-Down (FASTPD)	2.5mA	0.9mA	Reduced Power	On
10	Reduced-Power Mode (REDPD)	2.5mA	1.3mA	Reduced Power	On
11	Operating Mode	2.5mA	2.0mA	Full Power	On

\*変換と変換の間の回路動作。変換期間中、全回路は完全にパワーアップされています。

ソフトウェアパワーダウンモードでは、シリアルインタフェースは動作を継続し、変換を開始するための新規のコントロールバイト、およびフルパワーモードへの切り換えを待ちます。変換が完了すると、新規のコントロールバイトが書込まれるまで、デバイスは設定されたパワーモードになります。

パワーアップ遅延は、パワーダウン状態に依存します。ソフトウェアによる低電力モードでは、クロック速度を低下させた動作をしている場合、直ちに交換を開始させることができます(「パワーダウンシーケンシング」を参照)。パワーオンリセット期間中に、ソフトウェアフルパワーダウンモードを終了、またはハードウェアシャットダウンを終了した時、デバイスは、直ちにフルパワーモードになり、外部リファレンスを使用する場合は2μs後に交換を開始する準備が整います。内部リファレンスを使用する場合、図9に示す、フルパワーダウン(ソフトウェアまたはハードウェア)からの標準のパワーアップ遅延だけ待機する必要があります。

## ソフトウェアパワーダウン

ソフトウェアパワーダウンは、コントロールバイトのビットPD1とPD0を使用することで有効になります。ソフトウェアシャットダウンがアサートされた場合、ADCは、実行中の変換を完了すると、規定の低自己消費電流状態(2μA、0.9mA、または1.3mA)へパワーダウンします。

DINへの最初のロジック1は、スタートビットと解釈され、MAX1280/MAX1281をフルパワーモードにします。スタートビットに続く、データ入力ワード、またはコントロールバイトは、また次のパワーダウン状態を決定します。例えば、DINワードにPD1=0とPD0=1が含まれている場合、変換後に0.9mAのパワーダウン状態になります。

表4に、対応する消費電流および動作回路部分についての4種類のパワーモードの詳細を示します。ソフトウェアパワーダウンモード中に達成可能なデータ転送速度については、「パワーダウンシーケンシング」の項を参照してください。

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

## ハードウェアパワーダウン

$\overline{\text{SHDN}}$ をローにすることでコンバータをハードウェアシャットダウンします。ソフトウェアシャットダウンモードと異なり、変換は直ちに中止します。外部リファレンスを使用していて、 $\overline{\text{SHDN}}$ から通常動作に戻る時、MAX1280/MAX1281は、 $\overline{\text{SHDN}}$ を能動的にハイにしてから2 $\mu\text{s}$ 以内に完全にパワーアップすると考えることができます。内部リファレンスを使用する場合、リファレンスが安定した後に、変換を開始させる必要があります。この回復時間は、外付けのバイパスコンデンサとシャットダウン期間に依存します。

## パワーダウンシーケンシング

MAX1280/MAX1281の自動パワーダウンモードは、最大サンプルレートを下回る動作をさせる場合、かなりの電力を節減することができます。図10と11は、サンプリングレートの関数としての平均消費電流を示しています。

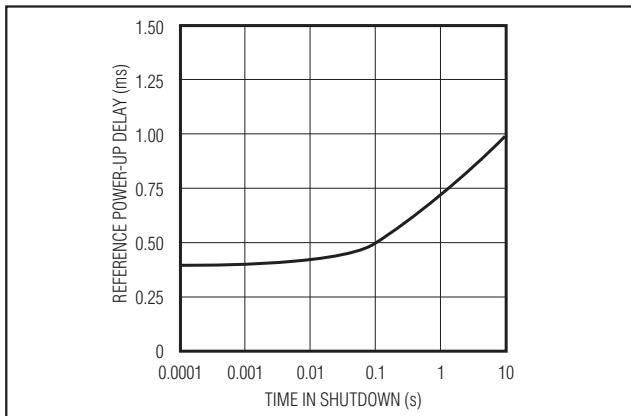


図9. リファレンスパワーアップ遅延 対 シャットダウン時間

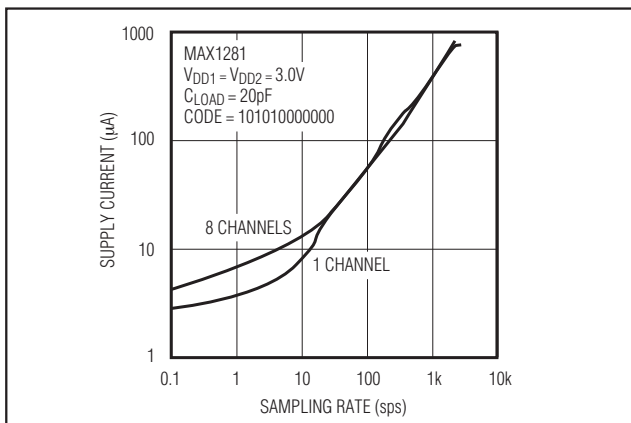


図10a. 平均消費電流 対 サンプルレート(FULLPDおよび内部リファレンスを使用)

## フルパワーダウンモードの使用

フルパワーダウンモード(FULLPD)は、チャンネル/秒あたり最大1000回以下までの変換時に最も低い消費電力を達成します。図10aは、内部リファレンスを使用し、最大のクロック速度でフルパワーダウンモード( $\text{PD1} = \text{PD0} = 0$ )を使用した、1または8チャンネル変換でのMAX1281の消費電力を示しています。REFADJに接続された0.01 $\mu\text{F}$ のバイパスコンデンサと内部の17k $\Omega$ のリファレンス抵抗で、時定数200 $\mu\text{s}$ のRCフィルタを構成しています。完全な12ビットの精度を達成するために、バイパスコンデンサが各変換の間で完全に放電される場合、パワーアップ後に、10倍、すなわち2msの時定数が必要とされます。FASTPDモード、またはフルパワーダウンモードの代わりに低電力モード(REDP)において、この2msの待機によって、さらに消費電力を減少させることができます。これは、図12aに示されたシーケンスを使用することで達成されます。

図10bは、FULLPDモード( $\text{PD1} = \text{PD0} = 0$ )、外部リファレンス、および最大クロック速度を使用した、1または8チャンネル変換でのMAX1281の消費電力を示しています。デバイスをパワーアップさせるための1回のダミーの変換が必要ですが、2番目の変換を開始するための待ち時間が不要で、従って、最大サンプリングレートまでにおいて、より低い消費電力が達成されます。

## 高速パワーダウンの使用およびパワーセーブモード

FASTPDとREDPモードは、最大サンプルレートに近い速度で最小の消費電力を達成します。図11は、FASTPDモード( $\text{PD1} = 0$ ,  $\text{PD0} = 1$ )、REDPモード( $\text{PD1} = 1$ ,  $\text{PD0} = 0$ )、および(比較のための)通常動作モード( $\text{PD1} = 1$ ,  $\text{PD0} = 1$ )におけるMAX1281の消費

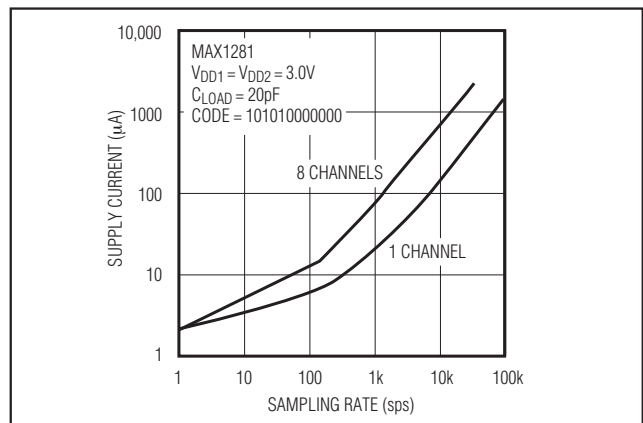


図10b. 平均消費電流 対 サンプリングレート(FULLPDおよび外部リファレンスを使用)

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

電力を示しています。この図は、内部リファレンスを使用した、最大のクロック速度における、特定のパワーダウンモードを使用した消費電力を示しています。MAX1280/MAX1281について、FASTPDまたはREDPにおけるクロック速度は、4.8MHzに制限する必要があります。FULLPDモードは、MAX1280/MAX1281が長期間停止状態で、間欠的な高速バースト変換が必要な

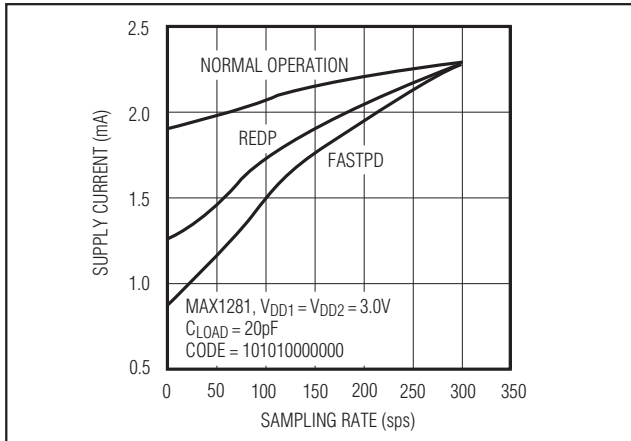


図11. 平均消費電流 対 サンプルレート(REDP、FASTPD および通常動作で内部リファレンスを使用)

アプリケーションにおいて、さらなる省電力を提供することができる場合があります。

## 内部および外部リファレンス

MAX1280/MAX1281は、内部または外部リファレンスによって使用することができます。外部リファレンスは、REFまたはREFADJピンに直接接続することができます。

内部バッファは、MAX1280/MAX1281の両方について、REFに2.5Vを供給するように設計されています。内部で調整された1.22Vのリファレンスは、+2.05V/Vのゲインでバッファされています。

## 内部リファレンス

内部リファレンスを使用したMAX1280/MAX1281のフルスケールレンジは、ユニポーラ入力で2.5V、およびバイポーラ入力で±1.25Vです。内部基準電圧は、図13の回路によって±100mVまで調整可能です。

## 外部リファレンス

外部リファレンスは、内部リファレンスバッファアンプの入力(REFADJ)または出力(REF)のどちらかに配置することができます。REFADJの入力インピーダンスは、標準で17kΩです。REFのDC入力抵抗は最小18kΩです。

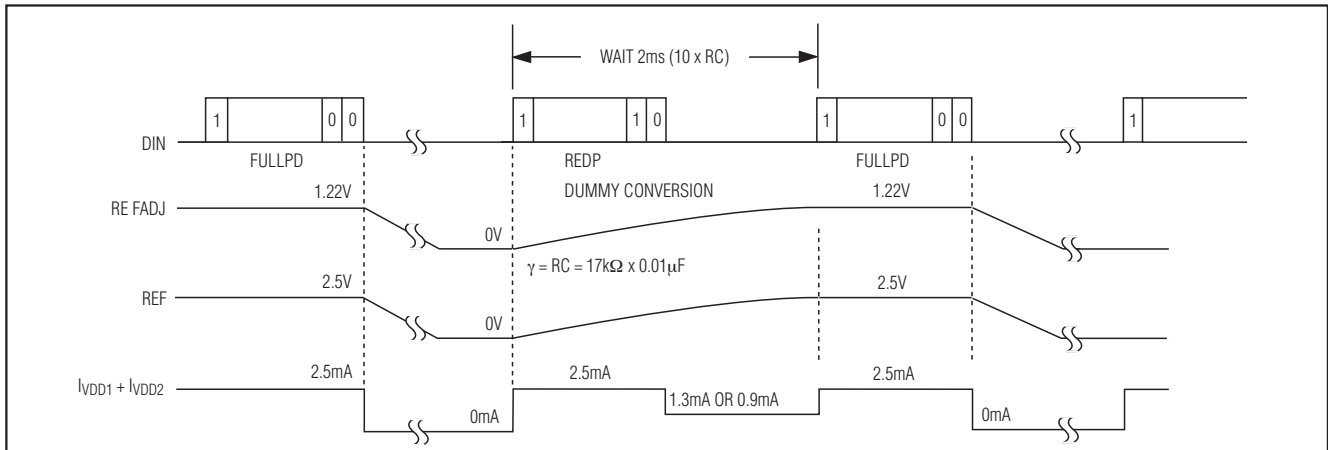


図12a. フルパワーダウンのタイミング

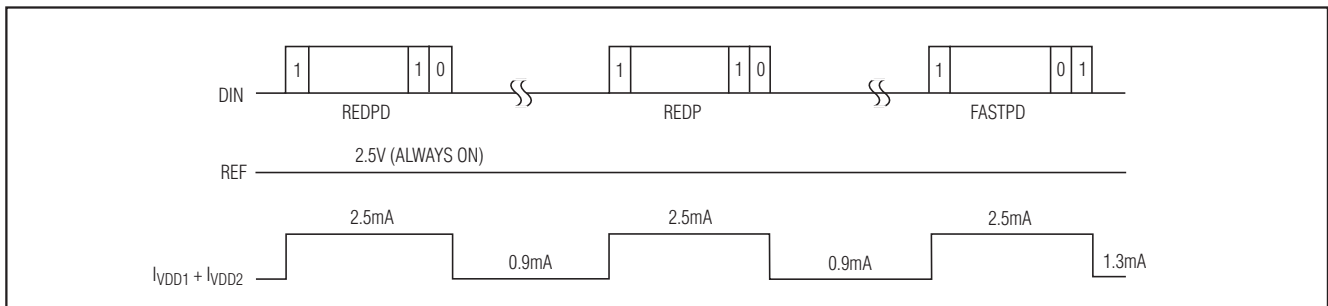


図12b. パワーセーブ/高速パワーダウンのタイミング

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

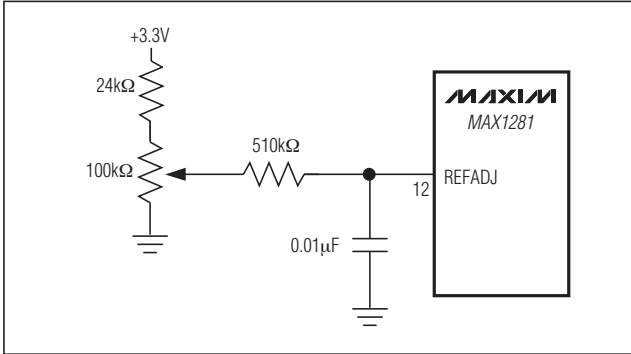


図13. MAX1281のリファレンス調整回路

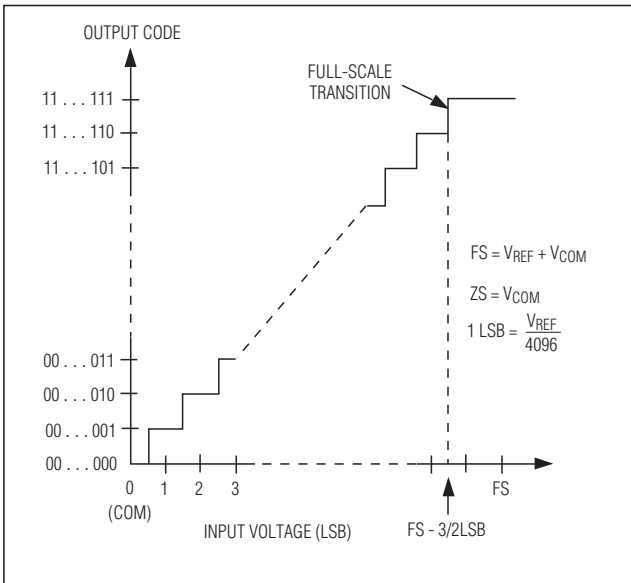


図14. ユニポーラの伝達関数、フルスケール(FS) =  $V_{REF} + V_{COM}$ 、ゼロスケール(ZS) =  $V_{COM}$

変換期間中、REFの外部リファレンスは、最大350μAのDC負荷電流供給能力を持ち、出力インピーダンスは10Ω以下である必要があります。リファレンスがより高い出力インピーダンスを持つ場合や、ノイズが大きい場合には、4.7μFのコンデンサを近接させてREFピンをバイパスしてください。

REFADJ入力を使用することで、外部リファレンスのバッファが不要になります。直接REF入力を使用するためには、REFADJをV<sub>DD1</sub>に接続することによって内部バッファをディセーブルしてください。

## 伝達関数

表5は、ユニポーラおよびバイポーラモードについてのフルスケール電圧レンジを示しています。図14は、公称の、ユニポーラ入出力(I/O)伝達関数を示し、図15は、バイポーラのI/O伝達関数を示しています。コード変遷は、連続する整数LSB値間の中間点で発生します。出力

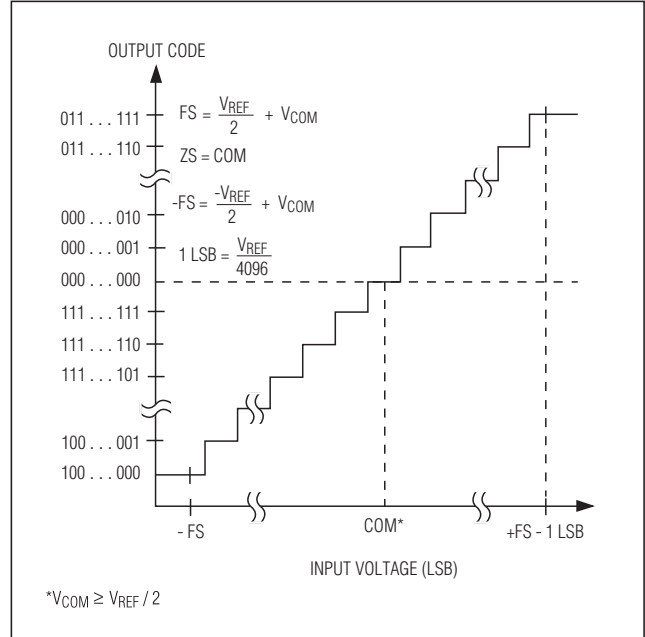


図15. バイポーラの伝達関数、フルスケール(FS) =  $V_{REF} / 2 + V_{COM}$ 、ゼロスケール(ZS) =  $V_{COM}$

コーディングは、ユニポーラおよびバイポーラ動作について、1 LSB = 610μVのバイナリです。

## レイアウト、グランド、およびバイパス

最大の性能を達成するために、プリント基板を使用してください。ワイヤーラッピングボードは、推奨されません。ボードのレイアウトは、デジタルとアナログの信号ラインを確実に、相互に分離させる必要があります。アナログとデジタル(特にクロック)ラインを互いに平行して、また、デジタルラインをADCパッケージ下に配置しないでください。

図16は、推奨されるシステムのグランド接続を示します。GNDで、1点のアナロググランド(スターグランド点)を設定してください。全アナロググランドを、スターグランドに接続してください。デジタルシステムのグランドをスターグランドに、この点を唯一の接続点として接続してください。動作ノイズを最小にするために、スター接続のグランドの電源へのグランドリターンは、低インピーダンスに、また、可能な限り短くする必要があります。

V<sub>DD1</sub>電源の高周波ノイズがADC内の高速コンパレータに影響を与える可能性があります。MAX1280/MAX1281の20ピンに近接して配置させた0.1μFと10μFのコンデンサで電源スターグランドへバイパスしてください。最良の電源ノイズ除去のために、コンデンサのリード長を最短にしてください。電源ノイズが非常に多い場合、ローパスフィルタとしての10Ωの抵抗を接続することができます(図16)。

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

表5. フルスケールおよびゼロスケール

UNIPOLAR MODE		BIPOLAR MODE		
Full Scale	Zero Scale	Positive Full Scale	Zero Scale	Negative Full Scale
$V_{REF} + V_{COM}$	COM	$V_{REF} / 2 + V_{COM}$	$V_{COM}$	$-V_{REF} / 2 + V_{COM}$

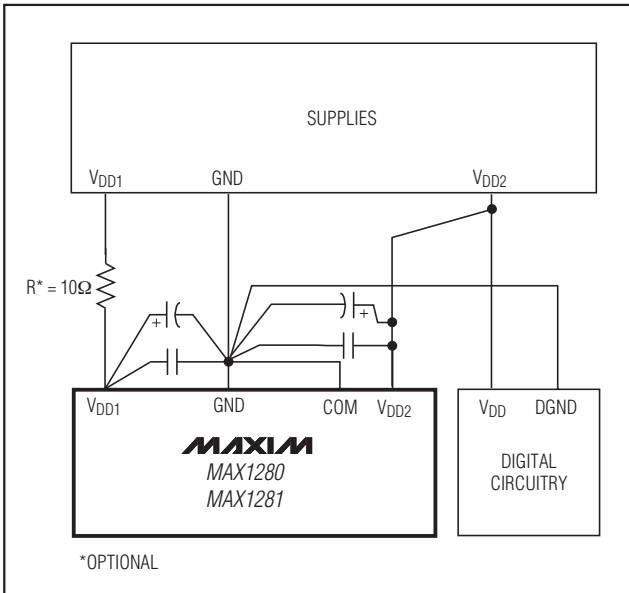


図16. 電源のグランド接続

## QSPIによる高速デジタルインタフェース

MAX1280/MAX1281は、図17 ( $f_{SCLK} = 4.0\text{MHz}$ 、 $CPOL = 0$ 、 $CPHA = 0$ )の回路を使用して、QSPIにインタフェースすることが可能です。このQSPIの回路は、各8チャンネル上での変換を行うようにプログラムすることができます。QSPIが固有のマイクロシーケンサを内蔵しているため、CPUに負荷を与えることなく、結果はメモリに保存されます。

## TMS320LC3xとのインタフェース

図18は、外部クロックモードで、TMS320へMAX1280/MAX1281をインタフェースするアプリケーション回路を示しています。このインタフェース回路のタイミング図を、図19に示します。

MAX1280/MAX1281の変換を開始させ、結果を読み出すためには、以下の手順を使用してください。

- 1) TMS320について、アクティブハイの出力クロックのCLKX (送信クロック)と、アクティブハイの入力クロックのCLKR (TMS320の受信クロック)を設定する必要があります。TMS320のCLKXとCLKRは、MAX1280/MAX1281のSCLK入力に接続します。

- 2) MAX1280/MAX1281の $\overline{CS}$ ピンは、MAX1280/MAX1281のDINピンへのデータのクロックインをイネーブルするためにTMS320のXF\_ I/Oポートによってローに駆動されます。
- 3) MAX1280/MAX1281の変換を開始させ、デバイスを通常動作モードにするために、8ビットワード(1XXXX11)、を書き込む必要があります。具体的なアプリケーション用の適切なXXXXXビット値を選択するためには、表1を参照してください。
- 4) MAX1280/MAX1281のSSTRB出力は、TMS320のFSR入力を介して監視されます。SSTRB出力の立下がりエッジは、変換が進行中で、MAX1280/MAX1281からのデータの受信準備ができていていることを示しています。
- 5) TMS320は、次のSCLKの16個の立上がりでそれぞれ1個のデータビットを読み取ります。これらのデータビットは、12ビットの変換結果とそれに続く無視する必要がある4ビットを表しています。
- 6) 次の変換が開始されるまで、 $\overline{CS}$ をハイにしてMAX1280/MAX1281をディセーブルしてください。

## 定義

### 積分非直線性

積分非直線性(INL)は、実際の伝達関数上の値と直線との偏差です。この直線は、オフセットとゲイン誤差をゼロにした場合、ベストストレートラインフィットまたは伝達関数のエンドポイント間に引かれた直線のどちらかとすることができます。MAX1280/MAX1281の静的な直線性のパラメータは、エンドポイント手法を使用して測定されています。

### 微分非直線性

微分非直線性(DNL)は、実際のステップ幅と1 LSBの理想値との差です。1 LSBより小さいDNL誤差の規格では、ミッシングコードがないこと、および伝達関数の単調増加性が保証されます。

### アパーチャジッタ

アパーチャジッタ( $t_{AJ}$ )は、サンプル間のサンプルからサンプルまでの時間変動です。

# 400ksp/s/300ksp/s、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

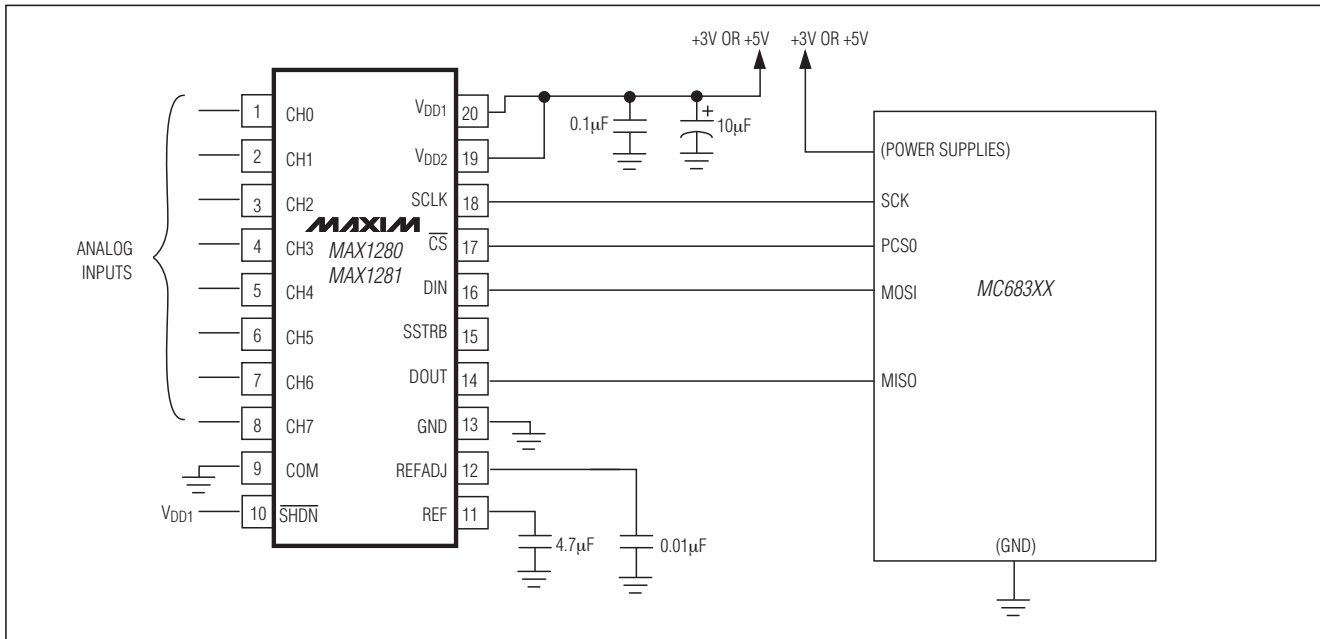


図17. QSPI接続

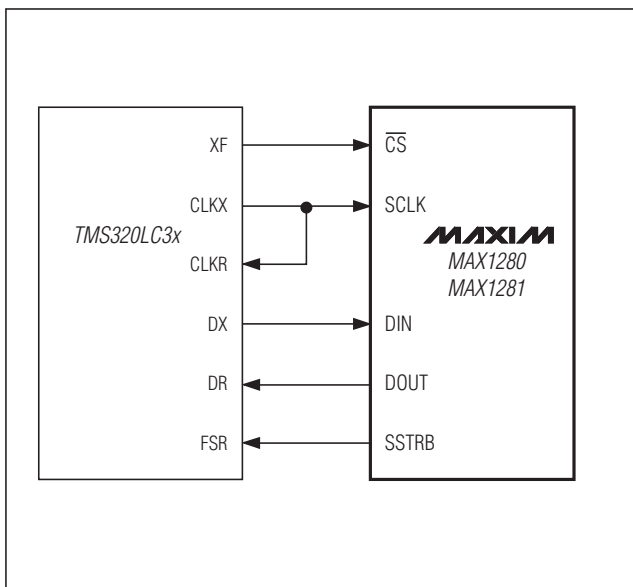


図18. MAX1280/MAX1281とTMS320のシリアルインタフェース

## アパーチャ遅延

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立下がりエッジと実際にサンプルが行われる瞬間の間の時間として定義されます。

## 信号対雑音比

デジタルサンプルから完全に再成された波形について、信号対雑音比(SNR)はRMS量子化誤差(残差)とフルスケールのアナログ入力(RMS値)との比です。理想的な理論上の最小アナログデジタル変換ノイズは、量子化誤差のみによって生じ、直接ADCの分解能(Nビット)に起因します。

$$SNR = (6.02 \times N + 1.76) \text{dB}$$

実際は、量子化ノイズのほかに、熱雑音、リファレンスのノイズ、クロックジッタなどを含めた他のノイズ源があります。従って、SNRは、全スペクトル成分から基本波、最初の5つの高調波、およびDCオフセットを除いたものが含まれる、RMSノイズとRMS信号との比を取ることによって計算されます。

## 信号対雑音比 + 歪み

信号対雑音比 + 歪み(SINAD)は、基本波入力周波数のRMS振幅と他のすべてのADCの出力信号の等価RMS値との比です。

$$SINAD \text{ (dB)} = 20 \times \log (\text{Signal}_{RMS} / \text{Noiser}_{RMS})$$

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

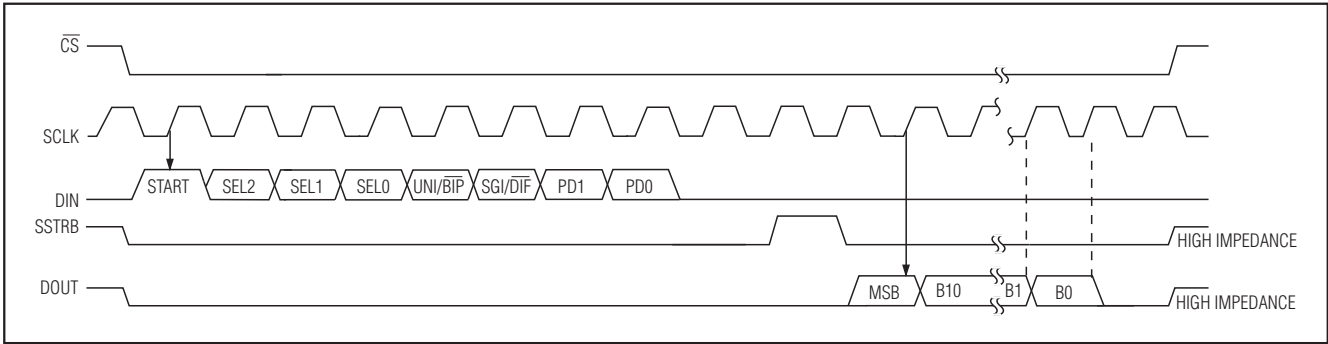


図19. MAX1280/MAX1281とTMS320のシリアルインタフェース

## 有効ビット数

有効ビット数(ENOB)は、特定の入力周波数とサンプリングレートにおけるADCの全体の精度を表します。理想的なADCの誤差は、量子化ノイズのみで構成されます。ADCのフルスケールレンジに等しい入力信号範囲で、次の様に有効ビット数を計算します。

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02$$

## 全高調波ひずみ(THD)

全高調波ひずみ(THD)は、基本波と入力信号の最初の5つの高調波のRMSの合計との比です。これは次のように表現されます。

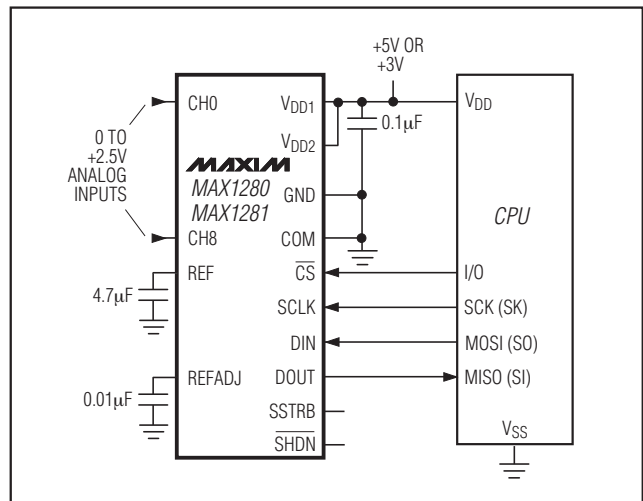
$$\text{THD} = 20 \times \log \left( \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2}}{V_1} \right)$$

ここで、 $V_1$ は基本波の振幅、 $V_2 \sim V_5$ は、それぞれ2次～5次の高調波の振幅です。

## スプリアスフリーダイナミックレンジ

スプリアスフリーダイナミックレンジ(SFDR)は、基本波(最大信号成分)のRMS振幅と、次に大きい歪み成分のRMS値との比です。

## 標準動作回路



# 400ksps/300ksps、単一電源、低電力、8チャンネル、 リファレンス内蔵の12ビットシリアルADC

## チップ情報

TRANSISTOR COUNT: 4286

PROCESS: BiCMOS

## パッケージ

最新のパッケージ図面情報およびランドパターンは、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)を参照してください。なお、パッケージコードに含まれる「+」、「#」、または「-」はRoHS対応状況を表したものでしかありません。パッケージ図面はパッケージそのものに関するものでRoHS対応状況とは関係がなく、図面によってパッケージコードが異なることがある点に注意してください。

パッケージタイプ	パッケージコード	ドキュメントNo.
20 TSSOP	U20-2	<b>21-0066</b>

MAX1280/MAX1281

# 400ksps/300ksps、単一電源、低電力、8チャンネル、リファレンス内蔵の12ビットシリアルADC

## 改訂履歴

版数	改訂日	説明	改訂ページ
0	5/00	初版	—
1	4/10	シングルパスのフロー認定のために仕様を変更し、鉛フリーの情報を追加。	1-5

マキシム・ジャパン株式会社 〒141-0032 東京都品川区大崎1-6-4 大崎ニューシティ 4号館 20F TEL: 03-6893-6600

Maximは完全にMaxim製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。Maximは随時予告なく回路及び仕様を変更する権利を留保します。

24 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**