

EVALUATION KIT  
AVAILABLE

MAXIM

# ブロードバンドアプリケーション用 1.8V、12ビット、170MSPS ADC

MAX1213

## 概要

MAX1213は、最高300MHzまでの高いIF周波数において優れたダイナミック性能が得られるように最適化されたモノリシック、12ビット、170MSPSのアナログデジタルコンバータ(ADC)です。この製品は、最高170MSPSの変換速度で動作し、消費電力はわずか975mWです。

MAX1213は、170MSPS及び最高250MHzまでの入力周波数において、スプリアスフリーダイナミックレンジ(SFDR)71.4dBcを実現します。10MHzにおける65.5dBの卓越した信号対雑音比(SNR)は、最高250MHzまでの入力トーンに対して平坦性(3dB以内)を維持します。このADCは、-68dBFSの優れた低ノイズフロアを備えているため、ケーブルヘッドエンドレシーバ及びセルラベースステーションのトランシーバにおけるパワーアンププリディストーションなど、広帯域アプリケーションに最適です。

MAX1213には1.8Vの単一電源が必要です。アナログ入力は、差動またはシングルエンドのいずれかで使えるように設計されており、ACまたはDC結合することができます。また、このADCは、選択可能な1/2分周のクロック回路を備えており、これによって、ユーザは340MHzという高いクロック周波数を使用することができます。これは、入力クロックソースの位相ノイズを軽減するために役立ちます。最良の性能を得るためには、低電圧差動信号(LVDS)のサンプリングクロックを推奨します。コンバータのデジタル出力は、LVDSに対応しており、データ形式として2の補数またはオフセットバイナリのいずれかを選択することができます。

MAX1213は、68ピンのエクスポートパッド(EP)付きQFNパッケージで提供され、工業用温度範囲(-40°C~+85°C)で動作が保証されています。

また、MAX1213とピンコンパチブルの8ビット及び10ビットのバージョンもあります。詳細については、MAX1121(8ビット、250MSPS)、MAX1122(10ビット、170MSPS)、MAX1123(10ビット、210MSPS)、及びMAX1124(10ビット、250MSPS)のデータシートを参照してください。表2を参照してください。

## アプリケーション

- 基地局パワーアンプ線形化
- ケーブルヘッドエンドレシーバ
- ワイヤレス及び有線ブロードバンド通信
- 通信テスト機器
- レーダ及び衛星サブシステム

## 特長

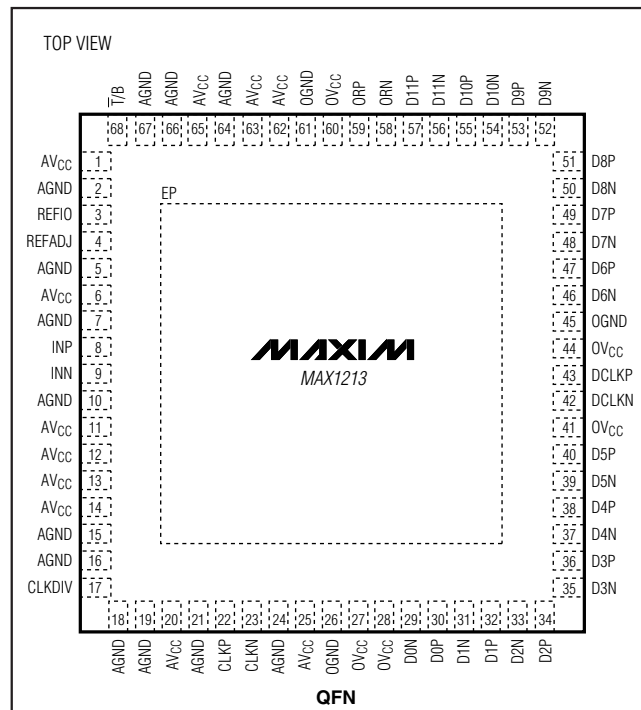
- ◆ 変換速度：170MSPS
- ◆ 低ノイズフロア：-68dBFS
- ◆ 卓越した低ノイズ特性
  - SNR = 65.2dB( $f_{IN} = 65\text{MHz}$ において)
  - SNR = 62.8dB( $f_{IN} = 250\text{MHz}$ において)
- ◆ 卓越したダイナミックレンジ
  - SFDR = 78dBc( $f_{IN} = 65\text{MHz}$ において)
  - SFDR = 71.4dBc( $f_{IN} = 250\text{MHz}$ において)
- ◆ 62.2dBのNPR( $f_{NOTCH} = 22\text{MHz}$ に対して)、及び35MHzのノイズ帯域幅
- ◆ 1.8Vの単一電源
- ◆ 消費電力：975mW( $f_{SAMPLE} = 170\text{MSPS}$ 、及び $f_{IN} = 65\text{MHz}$ において)
- ◆ トラック/ホールドアンプ内蔵
- ◆ 1.24Vのバンドギャップリファレンス内蔵
- ◆ 選択可能な1/2分周クロック入力内蔵
- ◆ データクロック出力付のLVDSデジタル出力
- ◆ MAX1213EVキット入手可能

## 型番

PART	TEMP RANGE	PIN-PACKAGE
MAX1213EGK	-40°C to +85°C	68 QFN-EP*

\* EP = エクスポートパッド

## ピン配置



MAXIM

Maxim Integrated Products 1

本データシートに記載された内容はMaxim Integrated Productsの公式な英語版データシートを翻訳したものです。翻訳により生じる相違及び誤りについては責任を負いかねます。正確な内容の把握には英語版データシートをご参照ください。

無料サンプル及び最新版データシートの入手には、マキシムのホームページをご利用ください。http://japan.maxim-ic.com

# ブロードバンドアプリケーション用 1.8V、12ビット、170Msps ADC

MAX1213

## ABSOLUTE MAXIMUM RATINGS

AV <sub>CC</sub> to AGND .....	-0.3V to +2.1V	ESD on All Pins (Human Body Model) .....	±2000V
OV <sub>CC</sub> to OGND .....	-0.3V to +2.1V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
AV <sub>CC</sub> to OV <sub>CC</sub> .....	-0.3V to +2.1V	68-Pin QFN (derate 41.7mW/°C above +70°C) .....	3333mW
AGND to OGND .....	-0.3V to +0.3V	Operating Temperature Range .....	-40°C to +85°C
Analog Inputs to AGND .....	-0.3V to (AV <sub>CC</sub> + 0.3V)	Junction Temperature .....	+150°C
All Digital Inputs to AGND .....	-0.3V to (AV <sub>CC</sub> + 0.3V)	Storage Temperature Range .....	-60°C to +150°C
REFIO, REFADJ to AGND .....	-0.3V to (AV <sub>CC</sub> + 0.3V)	Maximum Current into Any Pin .....	50mA
All Digital Outputs to OGND .....	-0.3V to (OV <sub>CC</sub> + 0.3V)	Lead Temperature (soldering, 10s) .....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(AV<sub>CC</sub> = OV<sub>CC</sub> = 1.8V, AGND = OGND = 0, f<sub>SAMPLE</sub> = 170MHz, differential sine-wave clock input drive, 0.1μF capacitor on REFIO, internal reference, digital output pins differential R<sub>L</sub> = 100Ω ±1%, T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted. ≥+25°C guaranteed by production test, <+25°C guaranteed by design and characterization. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>DC ACCURACY</b>						
Resolution			12			Bits
Integral Nonlinearity (Note 1)	INL	f <sub>IN</sub> = 10MHz, T <sub>A</sub> = +25°C	-1.5	±0.5	+1.5	LSB
		f <sub>IN</sub> = 10MHz (Note 2)	-2.35	±0.5	+2.35	
Differential Nonlinearity (Note 1)	DNL	T <sub>A</sub> = +25°C	-1	±0.25	+1	LSB
		No missing codes (Note 2)	-1	±0.25	+1.5	
Transfer Curve Offset	V <sub>OS</sub>	T <sub>A</sub> = +25°C (Note 1)	-2.5		+2.5	mV
Offset Temperature Drift				40		mV/°C
<b>ANALOG INPUTS (INP, INN)</b>						
Full-Scale Input Voltage Range	V <sub>FS</sub>	T <sub>A</sub> = +25°C (Note 1)	1375	1485	1585	mV <sub>P-P</sub>
Full-Scale Range Temperature Drift				130		ppm/°C
Common-Mode Input Range	V <sub>CM</sub>		1.365 ±0.15			V
Input Capacitance	C <sub>IN</sub>		3			pF
Differential Input Resistance	R <sub>IN</sub>		3.00	4.3	6.25	kΩ
Full-Power Analog Bandwidth	FPBW		900			MHz
<b>REFERENCE (REFIO, REFADJ)</b>						
Reference Output Voltage	V <sub>REFIO</sub>	T <sub>A</sub> = +25°C	1.18	1.24	1.30	V
Reference Temperature Drift			90			ppm/°C
REFADJ Input High Voltage	V <sub>REFADJ</sub>	Used to disable the internal reference	AV <sub>CC</sub> - 0.3			V
<b>SAMPLING CHARACTERISTICS</b>						
Maximum Sampling Rate	f <sub>SAMPLE</sub>		170			Msps
Minimum Sampling Rate	f <sub>SAMPLE</sub>			20		Msps
Clock Duty Cycle		Set by clock-management circuit	40–60			%
Aperture Delay	t <sub>AD</sub>		620			ps
Aperture Jitter	t <sub>AJ</sub>		0.2			psRMS

# ブロードバンドアプリケーション用 1.8V、12ビット、170Msps ADC

MAX1213

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{CC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 170MHz$ , differential sine-wave clock input drive,  $0.1\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega \pm 1\%$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.  $\geq +25^\circ C$  guaranteed by production test,  $< +25^\circ C$  guaranteed by design and characterization. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CLOCK INPUTS (CLKP, CLKN)</b>						
Differential Clock Input Amplitude		(Note 2)	200	500		mV <sub>p-p</sub>
Clock Input Common-Mode Voltage Range				1.15 ±0.25		V
Clock Differential Input Resistance	R <sub>CLK</sub>			11 ±25%		kΩ
Clock Differential Input Capacitance	C <sub>CLK</sub>			5		pF
<b>DYNAMIC CHARACTERISTICS (at -2dBFS)</b>						
Signal-to-Noise Ratio	SNR	$f_{IN} = 10MHz$ , $T_A = +25^\circ C$	64	65.5		dB
		$f_{IN} = 65MHz$ , $T_A = +25^\circ C$	64	65.2		
		$f_{IN} = 190MHz$		64		
		$f_{IN} = 250MHz$		62.8		
Signal-to-Noise and Distortion	SINAD	$f_{IN} = 10MHz$ , $T_A = +25^\circ C$	64	65.4		dB
		$f_{IN} = 65MHz$ , $T_A = +25^\circ C$	63.5	64.9		
		$f_{IN} = 190MHz$		62.9		
		$f_{IN} = 250MHz$		62.3		
Spurious-Free Dynamic Range	SFDR	$f_{IN} = 10MHz$ , $T_A = +25^\circ C$	77	85		dBc
		$f_{IN} = 65MHz$ , $T_A = +25^\circ C$	73	78		
		$f_{IN} = 190MHz$		69.7		
		$f_{IN} = 250MHz$		71.4		
Worst Harmonics (HD2 or HD3)		$f_{IN} = 10MHz$ , $T_A = +25^\circ C$		-85	-77	dBc
		$f_{IN} = 65MHz$ , $T_A = +25^\circ C$		-78	-73	
		$f_{IN} = 190MHz$		-69.7		
		$f_{IN} = 250MHz$		-71.4		
Two-Tone Intermodulation Distortion	TTIMD	$f_{IN1} = 209MHz$ at -7dBFS, $f_{IN2} = 210MHz$ at -7dBFS		-66.7		dBc
Noise Power Ratio	NPR	$f_{NOTCH} = 22MHz \pm 1MHz$ , noise BW = 35MHz, $A_{IN} = -9.1dBFS$		62.2		dB
<b>LVDS DIGITAL OUTPUTS (D0P/N-D11P/N, ORP/N)</b>						
Differential Output Voltage	$I_{VODI}$	$R_L = 100\Omega \pm 1\%$	250		400	mV
Output Offset Voltage	$OV_{OS}$	$R_L = 100\Omega \pm 1\%$	1.125		1.310	V

# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

MAX1213

## ELECTRICAL CHARACTERISTICS (continued)

( $AV_{CC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 170MHz$ , differential sine-wave clock input drive,  $0.1\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega \pm 1\%$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.  $\geq +25^\circ C$  guaranteed by production test,  $< +25^\circ C$  guaranteed by design and characterization. Typical values are at  $T_A = +25^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>LVCMOS DIGITAL INPUTS (CLKDIV, <math>\bar{T}/B</math>)</b>						
Digital Input Voltage Low	$V_{IL}$			$0.2 \times AV_{CC}$		V
Digital Input Voltage High	$V_{IH}$		$0.8 \times AV_{CC}$			V
<b>TIMING CHARACTERISTICS</b>						
CLK-to-Data Propagation Delay	$t_{PDL}$	Figure 4		1.85		ns
CLK-to-DCLK Propagation Delay	$t_{CPDL}$	Figure 4		4.815		ns
DCLK-to-Data Propagation Delay	$t_{PDL} - t_{CPDL}$	Figure 4 (Note 2)	2.5	2.965	3.4	ns
LVDS Output Rise Time	$t_{RISE}$	20% to 80%, $C_L = 5pF$		460		ps
LVDS Output Fall Time	$t_{FALL}$	20% to 80%, $C_L = 5pF$		460		ps
Output Data Pipeline Delay	$t_{LATENCY}$			11		Clock cycles
<b>POWER REQUIREMENTS</b>						
Analog Supply Voltage Range	$AV_{CC}$		1.70	1.80	1.90	V
Digital Supply Voltage Range	$OV_{CC}$		1.70	1.80	1.90	V
Analog Supply Current	$I_{AVCC}$	$f_{IN} = 65MHz$		483	555	mA
Digital Supply Current	$I_{OVCC}$	$f_{IN} = 65MHz$		58	67	mA
Analog Power Dissipation	$P_{DISS}$	$f_{IN} = 65MHz$		975	1120	mW
Power-Supply Rejection Ratio (Note 3)	PSRR	Offset		1.8		mV/V
		Gain		1.5		%FS/V

**Note 1:** Static linearity and offset parameters are computed from a best-fit straight line through the code transition points. The full-scale range (FSR) is defined as  $4095 \times$  slope of the line.

**Note 2:** Parameter guaranteed by design and characterization:  $T_A = T_{MIN}$  to  $T_{MAX}$ .

**Note 3:** PSRR is measured with both analog and digital supplies connected to the same potential.

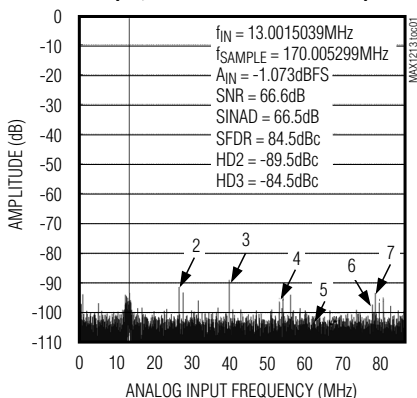
# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

MAX1213

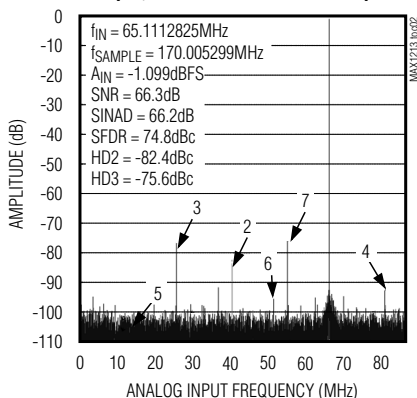
## 標準動作特性

( $V_{CC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 170MHz$ ,  $A_{IN} = -1dBFS$ ; see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive,  $0.1\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega$ ,  $T_A = +25^\circ C$ .)

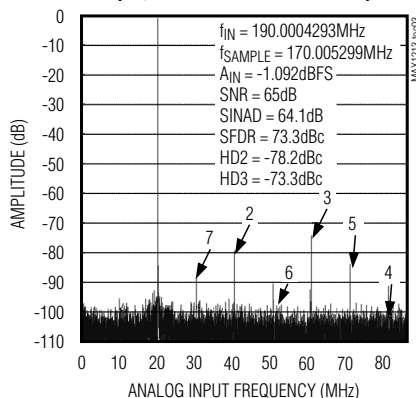
**FFT PLOT**  
(16,384-POINT DATA RECORD)



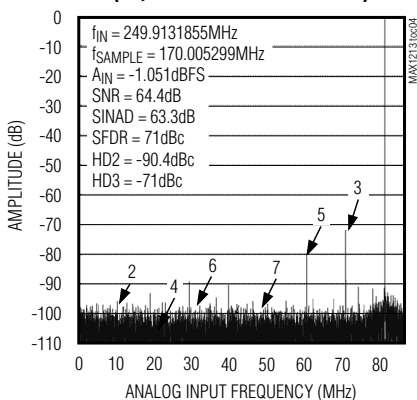
**FFT PLOT**  
(16,384-POINT DATA RECORD)



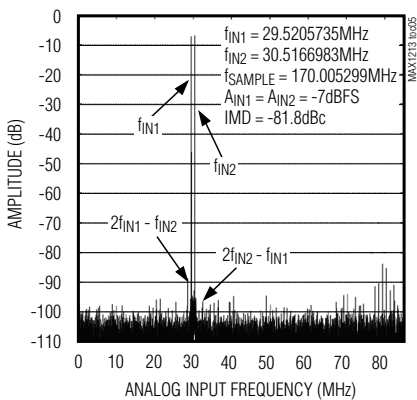
**FFT PLOT**  
(16,384-POINT DATA RECORD)



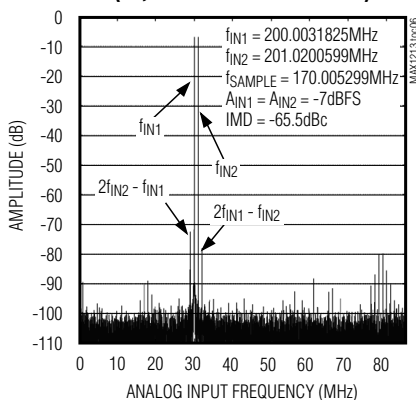
**FFT PLOT**  
(16,384-POINT DATA RECORD)



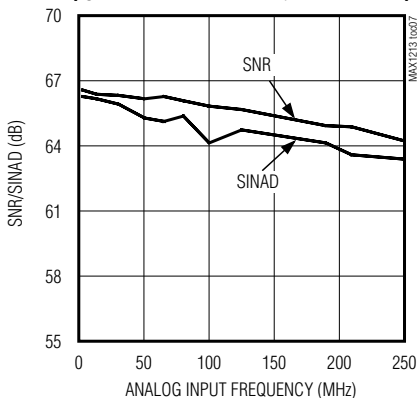
**TWO-TONE IMD PLOT**  
(16,384-POINT DATA RECORD)



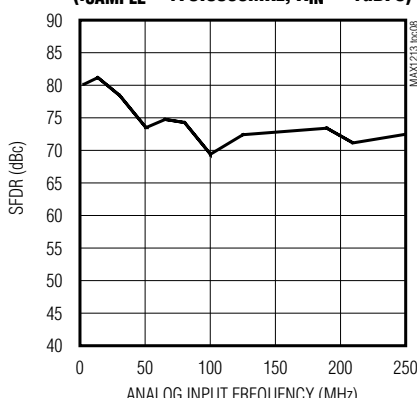
**TWO-TONE IMD PLOT**  
(16,384-POINT DATA RECORD)



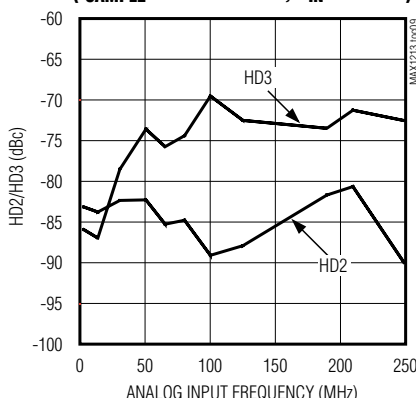
**SNR/SINAD vs. ANALOG INPUT FREQUENCY**  
( $f_{SAMPLE} = 170.0053MHz$ ,  $A_{IN} = -1dBFS$ )



**SFDR vs. ANALOG INPUT FREQUENCY**  
( $f_{SAMPLE} = 170.0053MHz$ ,  $A_{IN} = -1dBFS$ )



**HD2/HD3 vs. ANALOG INPUT FREQUENCY**  
( $f_{SAMPLE} = 170.0053MHz$ ,  $A_{IN} = -1dBFS$ )



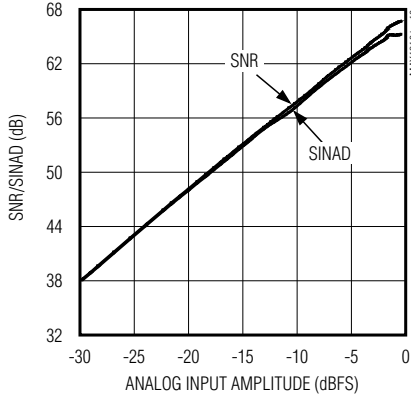
# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

MAX1213

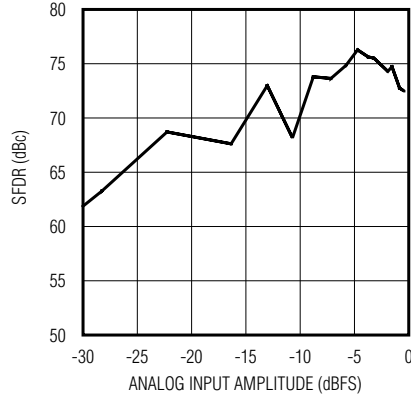
## 標準動作特性(続き)

( $V_{CC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 170MHz$ ,  $A_{IN} = -1dBFS$ ; see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive,  $0.1\mu F$  capacitor on REFIN, internal reference, digital output pins differential  $R_L = 100\Omega$ ,  $T_A = +25^\circ C$ .)

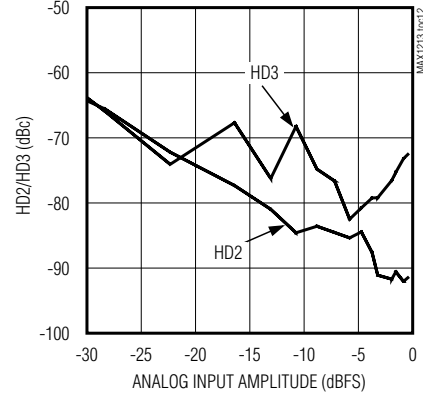
**SNR/SINAD vs. ANALOG INPUT AMPLITUDE**  
( $f_{SAMPLE} = 170.0053MHz$ ,  $f_{IN} = 65.1113MHz$ )



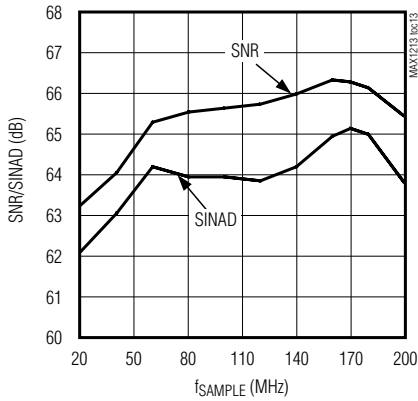
**SFDR vs. ANALOG INPUT AMPLITUDE**  
( $f_{SAMPLE} = 170.0053MHz$ ,  $f_{IN} = 65.1113MHz$ )



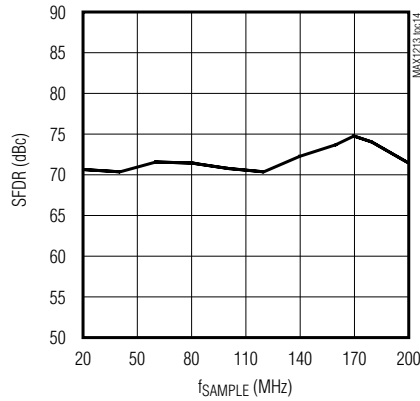
**HD2/HD3 vs. ANALOG INPUT AMPLITUDE**  
( $f_{SAMPLE} = 170.0053MHz$ ,  $f_{IN} = 65.1113MHz$ )



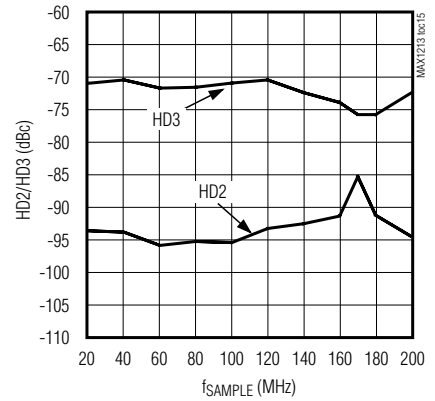
**SNR/SINAD vs.  $f_{SAMPLE}$**   
( $f_{IN} = 65MHz$ ,  $A_{IN} = -1dBFS$ )



**SFDR vs.  $f_{SAMPLE}$**   
( $f_{IN} = 65MHz$ ,  $A_{IN} = -1dBFS$ )



**HD2/HD3 vs.  $f_{SAMPLE}$**   
( $f_{IN} = 65MHz$ ,  $A_{IN} = -1dBFS$ )

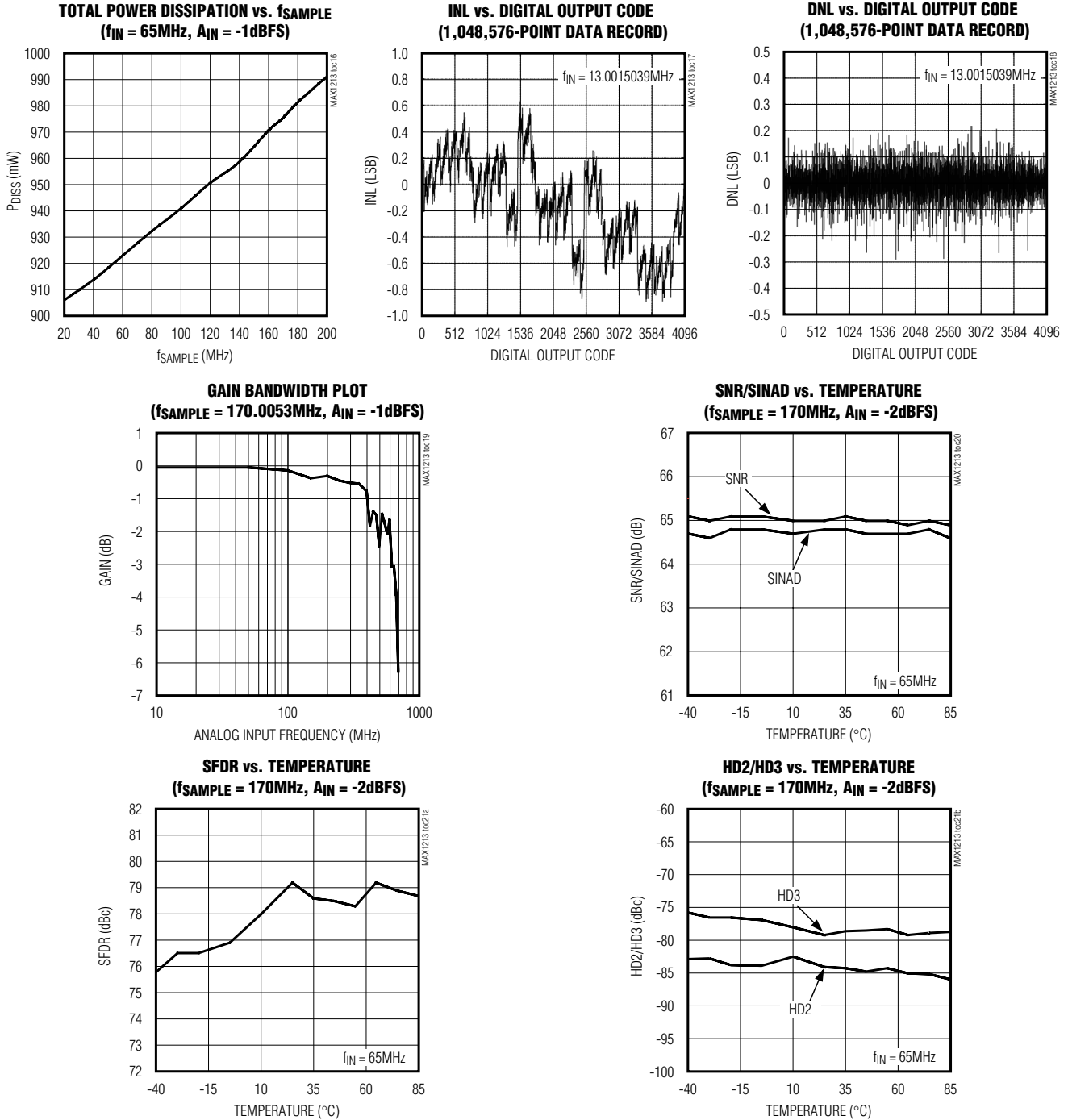


# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

MAX1213

## 標準動作特性(続き)

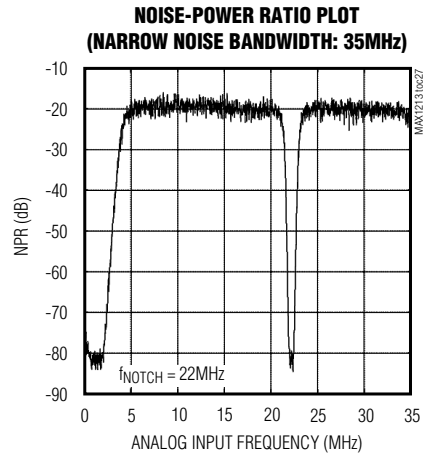
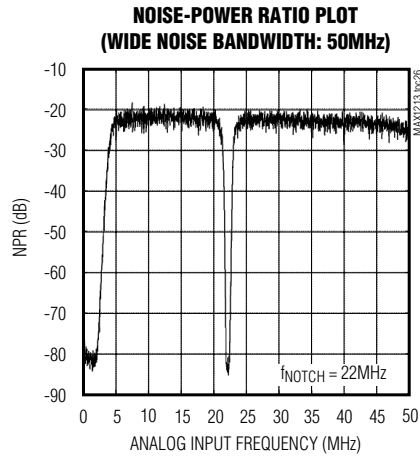
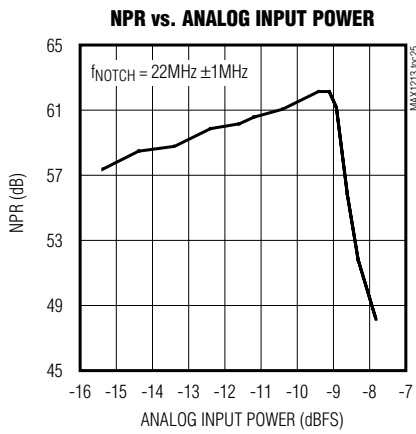
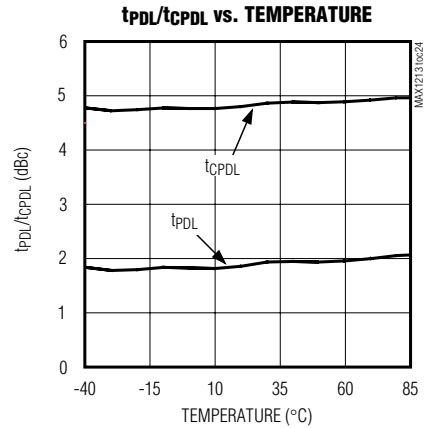
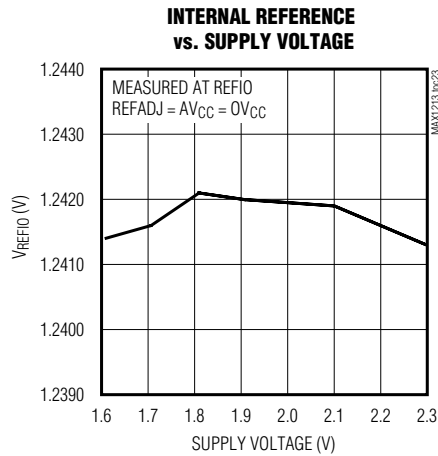
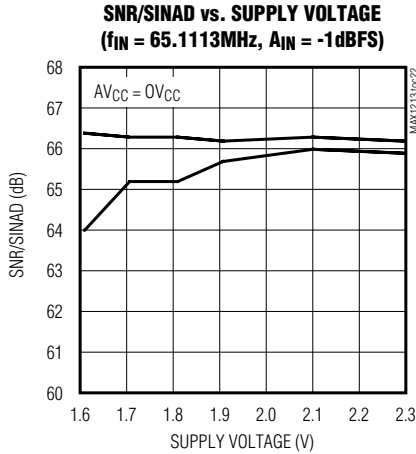
( $V_{CC} = OV_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 170MHz$ ,  $A_{IN} = -1dBFS$ ; see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive,  $0.1\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega$ ,  $T_A = +25^\circ C$ .)



# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

## 標準動作特性(続き)

( $A_{VCC} = 0V_{CC} = 1.8V$ ,  $AGND = OGND = 0$ ,  $f_{SAMPLE} = 170MHz$ ,  $A_{IN} = -1dBFS$ ; see each TOC for detailed information on test conditions, differential input drive, differential sine-wave clock input drive,  $0.1\mu F$  capacitor on REFIO, internal reference, digital output pins differential  $R_L = 100\Omega$ ,  $T_A = +25^\circ C$ .)



# ブロードバンドアプリケーション用 1.8V、12ビット、170Msps ADC

MAX1213

## 端子説明

端子	名称	機能
1, 6, 11-14, 20, 25, 62, 63, 65	AVCC	アナログ電源電圧。最良のデカップリング特性を得るために、並列接続した0.1 $\mu$ Fと0.22 $\mu$ Fのコンデンサで各ピンをバイパスしてください。
2, 5, 7, 10, 15, 16, 18, 19, 21, 24, 64, 66, 67	AGND	アナログコンバータのグラウンド
3	REFIO	リファレンス入力/出力。REFADJをハイに駆動すると、このI/Oポートによって、外部リファレンスソースをMAX1213に接続することができます。REFADJをローに駆動すると、内部の1.24Vバンドギャップリファレンスがアクティブになります。
4	REFADJ	リファレンス調整入力。REFADJとAGNDの間(FSRを減少)、またはREFADJとREFIOの間(FSRを増加)に抵抗器もしくはトリムポテンショメータを接続することによって、FSRを調整することができます。REFADJをAVCCに接続すると、REFIOに接続された外部ソースが内部リファレンスを不能とします。REFADJをAGNDに接続すると、内部リファレンスを使用してデータコンバータのFSRを決定することができます。
8	INP	正のアナログ入力端子
9	INN	負のアナログ入力端子
17	CLKDIV	クロック分周器入力。このLVCMOS対応入力は、コンバータのデジタル出力の更新速度を制御します。CLKDIVは、プルダウン抵抗器を内蔵しています。 CLKDIV = 0 : ADCは、入力クロックレートの1/2でデジタル出力を更新します。 CLKDIV = 1 : ADCは、入力クロックレートでデジタル出力を更新します。
22	CLKP	真のクロック入力。この入力は、コンバータの卓越した性能を維持するためにLVDS対応入力レベルを必要とします。
23	CLKN	コンプリメンタリクロック入力。この入力は、コンバータの卓越した性能を維持するためにLVDS対応入力レベルを必要とします。
26, 45, 61	OGND	デジタルコンバータのグラウンド。デジタル回路と出力ドライバのグラウンド接続端子。
27, 28, 41, 44, 60	OVCC	デジタル電源電圧。最良のデカップリング特性を得るために、0.1 $\mu$ Fのコンデンサでバイパスしてください。
29	D0N	コンプリメンタリ出力ビット0(LSB)
30	D0P	真の出力ビット0(LSB)
31	D1N	コンプリメンタリ出力ビット1
32	D1P	真の出力ビット1
33	D2N	コンプリメンタリ出力ビット2
34	D2P	真の出力ビット2
35	D3N	コンプリメンタリ出力ビット3
36	D3P	真の出力ビット3

# ブロードバンドアプリケーション用 1.8V、12ビット、170Msps ADC

MAX1213

## 端子説明(続き)

端子	名称	機能
37	D4N	コンプリメンタリ出力ビット4
38	D4P	真の出力ビット4
39	D5N	コンプリメンタリ出力ビット5
40	D5P	真の出力ビット5
42	DCLKN	コンプリメンタリクロック出力。この出力は、LVDS対応出力レベルを提供し、外付けデバイスをコンバータクロックに同期させるために使用することができます。
43	DCLKP	真のクロック出力。この出力は、LVDS対応出力レベルを提供し、外付けデバイスをコンバータクロックに同期させるために使用することができます。
46	D6N	コンプリメンタリ出力ビット6
47	D6P	真の出力ビット6
48	D7N	コンプリメンタリ出力ビット7
49	D7P	真の出力ビット7
50	D8N	コンプリメンタリ出力ビット8
51	D8P	真の出力ビット8
52	D9N	コンプリメンタリ出力ビット9
53	D9P	真の出力ビット9
54	D10N	コンプリメンタリ出力ビット10
55	D10P	真の出力ビット10
56	D11N	コンプリメンタリ出力ビット11(MSB)
57	D11P	真の出力ビット11(MSB)
58	ORN	アウトオブレンジ制御ビット用コンプリメンタリ出力。アウトオブレンジ状態が検出されると、ビットORNがローに遷移することによってこの状態のフラグを立てます。
59	ORP	アウトオブレンジ制御ビット用真の出力。アウトオブレンジ状態が検出されると、ビットORPがハイに遷移することによってこの状態のフラグを立てます。
68	T/B	2の補数またはバイナリ出力形式の選択。このLVCMOS対応入力、MAX1213のデジタル出力形式を制御します。T/Bはプルダウン抵抗器を内蔵しています。 T/B = 0 : 2の補数出力形式 T/B = 1 : バイナリ出力形式
—	EP	エクスポーズドパッド。エクスポーズドパッドはチップの裏面にあり、最適な性能を得るためにアナログ系統に接続する必要があります。

# ブロードバンドアプリケーション用 1.8V、12ビット、170Mpsps ADC

MAX1213

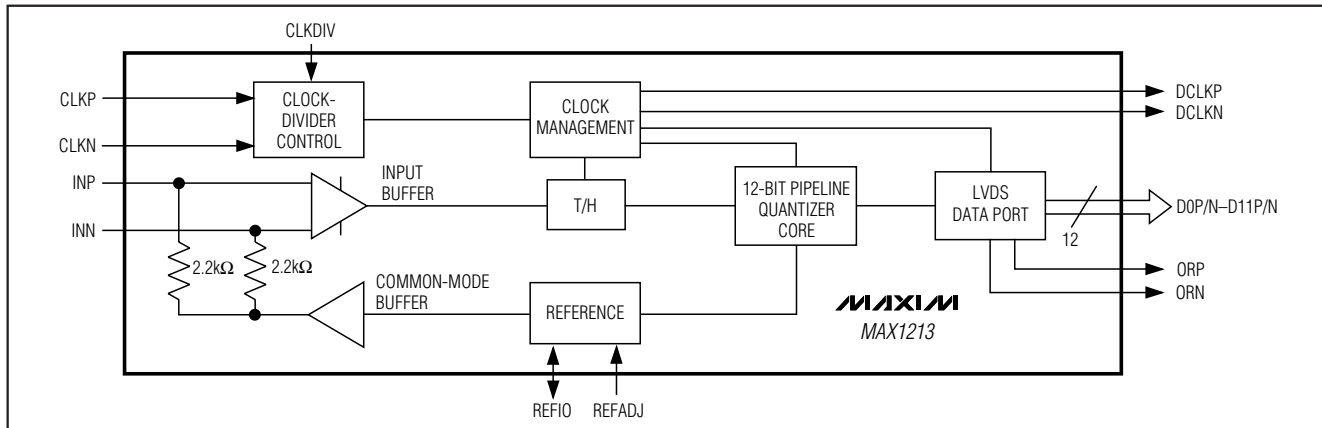


図1. MAX1213の簡略化ブロック図

## 詳細 動作原理

MAX1213では、高速変換、精度の最適化、及び線形化が可能な完全差動パイプライン構成が採用されるとともに、消費電力とダイサイズが最小化されています。

正(INP)及び負/コンプリメンタリアナログ入力端子(INN)が1.365Vのコモンモード電圧を中心として、それぞれが $\pm 0.371$ Vの差動アナログ入力電圧振幅を受け取ることで1.485V<sub>p-p</sub>の標準差動フルスケール信号振幅が得られます。入力INPとINNは、各T/H段に入る前にバッファされ、差動サンプリングクロック信号がハイに遷移するとサンプリングされます。

各パイプラインのコンバータ段は、その入力電圧をデジタル出力コードに変換します。最終段を除くすべての段で、入力電圧とデジタル出力コードの間の誤差が増幅されて次のパイプライン段に入っていきます。デジタル誤差補正機能が各パイプライン段でADCコンパレータのオフセットを補償し、ミッシングコードがないことを保証します。その結果、LVDS対応出力レベルのユーザ選択可能な2の補数またはオフセットバイナリ出力形式の12ビットパラレルデジタル出力ワードが得られます。MAX1213構成の詳細については、図1を参照してください。

## アナログ入力(INP、INN)

INPとINNは、MAX1213の完全差動入力です。差動入力は、通常、偶数次の高調波を良好に除去する機能を備えているため、各アナログ段を進む信号のAC性能を向上させることができます。MAX1213のアナログ入力は、1.365Vのコモンモード電圧で自己バイアスされており、1.485V<sub>p-p</sub>の差動入力電圧のスイングが可能です(図2)。両入力は、2k $\Omega$ の抵抗器を通じて自己バイアスされるため、標準差動入力抵抗が4k $\Omega$ となります。

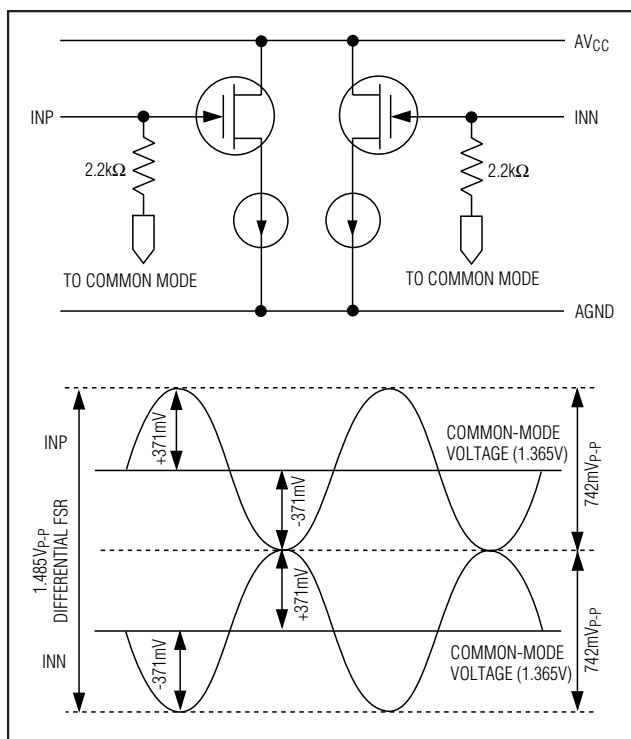


図2. 簡略化アナログ入力構成及び許容入力電圧範囲

最良のダイナミック性能を実現するために、MAX1213のアナログ入力はAC結合構成で駆動することを推奨します。この構成の詳細については、「シングルエンド、AC結合アナログ入力」の項をご覧ください。

## 内蔵リファレンス回路

MAX1213は1.24Vのバンドギャップリファレンス回路(図3)を内蔵しており、これは内部のリファレンススケールリングアンプとともにMAX1213のFSRを決定します。REFIOを0.1 $\mu$ FのコンデンサでAGNDにバイパスしてください。利得誤差を補償するかまたはADCのFSRを

# ブロードバンドアプリケーション用 1.8V、12ビット、170Msps ADC

MAX1213

拡大するために、REFADJとAGNDの間、またはREFADJとREFIOの間に抵抗器(たとえば、100kΩのトリムポテンシオメータ)を外付けすることによって、このバンドギャップリファレンスの電圧を間接的に調整することができます。この処理の詳細については、「アプリケーション情報」の項をご覧ください。

内部リファレンスをディセーブルするためには、REFADJをAV<sub>CC</sub>に接続してください。この構成では、コンバータのフルスケールを設定するために、外部の安定したリファレンスをREFIOに印加する必要があります。内部リファレンスをイネーブルするためには、REFADJをAGNDに接続してください。

## クロック入力(CLKP、CLKN)

MAX1213のクロック入力は差動LVDSクロック入力駆動用に設計されているため、最良のダイナミック性能を実現するために、このクロック入力はLVDS対応クロックで駆動することを推奨します。ADCのノイズ性能が低下しないよう、クロック信号源は高品質で低位相ノイズとする必要があります。クロック入力(CLKP、CLKN)は、内部で1.15Vにバイアスされており、0.5V<sub>p-p</sub>の標準差動信号でスイングし、通常はAC結合構成で駆動されます。CLKPとCLKNの適切な駆動方法に関する回路の詳細については、「差動、AC結合PECL対応クロック入力」の項を参照してください。クロック入力はシングルエンド入力信号でも動作しますが、これは推奨しません。

また、MAX1213はクロック処理回路(デューティサイクルイコライザ)を内蔵しており、この回路は、入力のCLKPとCLKNに印加されたクロック信号を処理して、

コンバータ性能が入力クロック源のデューティサイクル変動による影響を受けにくいデューティサイクル50%のクロック信号を確実に供給します。クロックのデューティサイクルイコライザは、外部からオフにすることが不可能で、データシートの仕様に従って正しく動作させるためには20MHzを超える最低クロック周波数を必要とすることにご注意ください。

## クロック出力(DCLKP、DCLKN)

MAX1213は差動クロック出力を備えており、これは外部ラッチまたはレシーバによってデジタル出力データをラッチするために使用することができます。また、クロック出力を使用して、外部のデバイス(FPGAなど)をADCに同期させることができます。DCLKPとDCLKNは、電圧レベルがLVDSに対応した差動出力です。CLKP(CLKN)の立上り(立下り)エッジとDCLKP(DCLKN)の立上りエッジの間には4.815nsの遅延時間があります。タイミングの詳細については、図4を参照してください。

## 1/2分周クロック制御(CLKDIV)

MAX1213は、システム内のクロックジッタを低減するためのクロック制御ライン(CLKDIV)を備えています。ADC内部の1/2クロック分周器をイネーブルするためには、CLKDIVをOGNDに接続してください。こうすると、データはADCの入力クロックレートの1/2で更新されます。CLKDIVは、プルダウン抵抗器を内蔵しており、この1/2分周モードを必要とするアプリケーションではこれを開放のままにしておくことが可能です。CLKDIVをOV<sub>CC</sub>に接続すると、1/2分周モードがディセーブルされます。

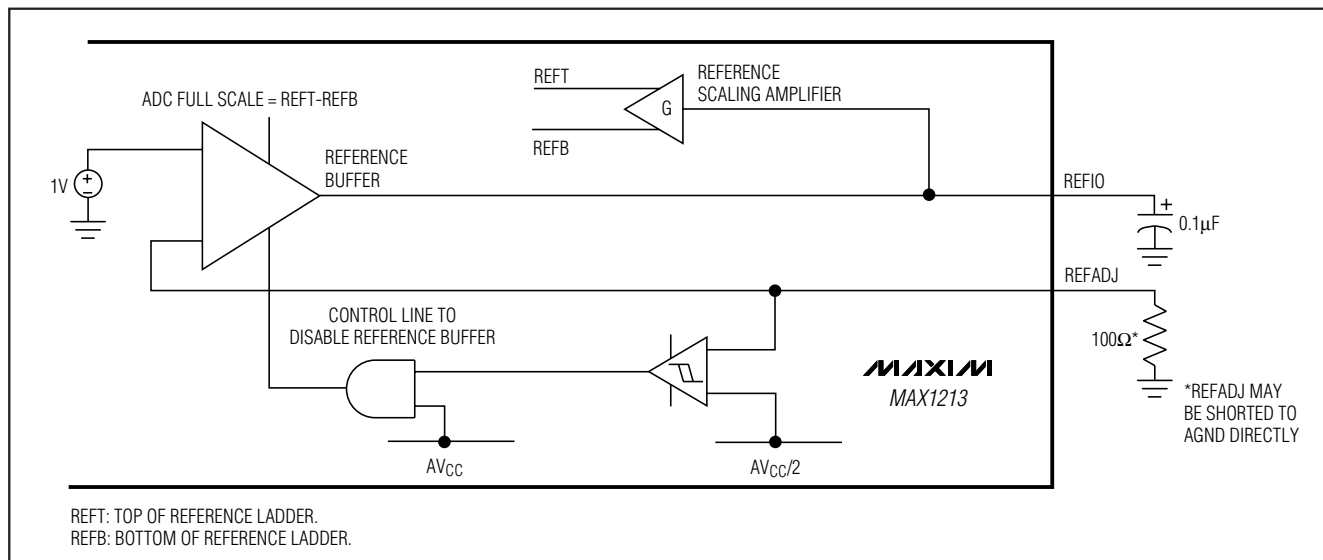


図3. 簡略化リファレンス構成

# ブロードバンドアプリケーション用 1.8V、12ビット、170Mpsps ADC

## システムのタイミング要件

図4は、クロック入力と出力、アナログ入力、サンプリング事象、及びデータ出力の関係を示します。MAX1213は、CLKP(CLKN)の立上り(立下り)エッジでサンプリングを行います。出力データはDCLKP(DCLKN)クロックの次の立上り(立下り)エッジで有効になりますが、11クロックサイクルの内部待ち時間があります。

## デジタル出力(D0P/N~D11P/N、DCLKP/N、ORP/N)及び制御入力 $\bar{T}/B$

デジタル出力のD0P/N~D11P/N、DCLKP/N、及びORP/NはLVDSに対応しており、D0P/N~D11P/Nのデータはバイナリまたは2の補数のいずれかの形式で提供されます(表1)。 $\bar{T}/B$ 制御ラインはLVCMOS対応入力で、ユーザはこの入力によって所望の出力形式を選択することができます。 $\bar{T}/B$ をローに駆動するとデータが2の補数形式で出力され、これをハイに駆動するとデータがオフセットバイナリ形式で12ビットパラレルバス上に出力されます。 $\bar{T}/B$ はプルダウン抵抗器を内蔵しており、

2の補数出力形式のみを使用するアプリケーションでは無接続のままにしておくこともできます。すべてのLVDS出力は、ほぼ1.2Vのコモンモード電圧を中心として0.371Vの標準電圧でシングルし、各伝送ラインペア(真またはコンプリメンタリ)の遠端において100Ωで終端する必要があります。LVDS出力は、1.7V~1.9Vの独立電源から給電されます。

MAX1213は、アウトオブレンジ状態のフラグを立てるためにもう一つ差動出力ペア(ORP、ORN)を備えています。アウトオブレンジ状態とは、正のフルスケールを超えた状態または負のフルスケールを下回る状態です。アウトオブレンジ状態は、ORP(ORN)がハイ(ロー)に遷移することで確認されます。

注：差動LVDS出力構成によって電源プレーンとグランドプレーンに対するシングルエンドトランジエントが低減されますが、デジタル出力における容量性負荷はできる限り小さくすることが望まれます。比較的大きな負荷を駆動する際はADCのデジタル出力にLVDSバッファを接続すると、総合性能が改善されてシステムのタイミング条件が緩和されます。

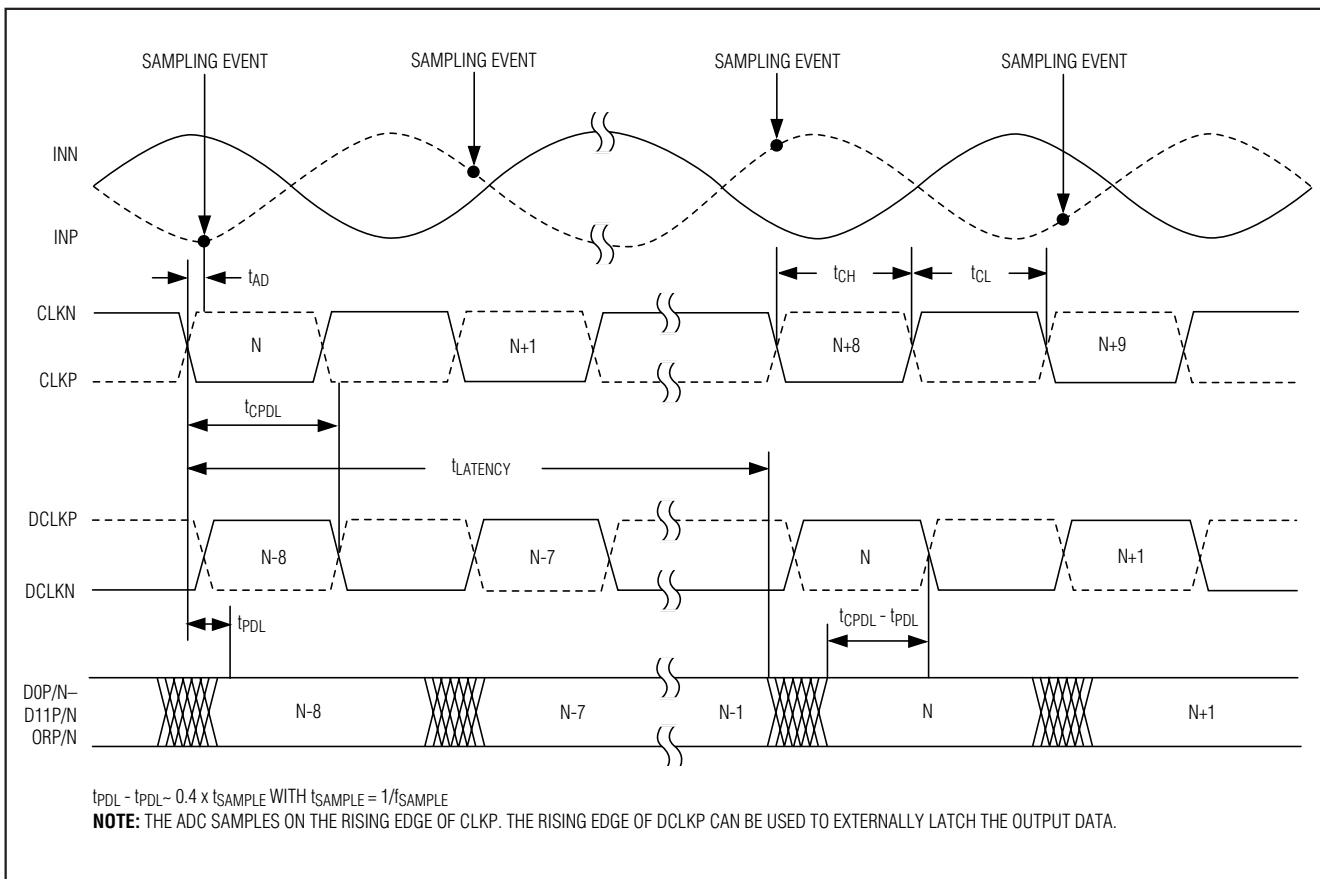


図4. システム及び出力のタイミング図



# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

## 差動、AC結合PECL対応クロック入力

MAX1213のダイナミック性能は、ノイズの非常に少ないクロックソースの使用を前提としています。クロックソースの位相ノイズフロアは、SNR性能に悪影響を与えます。クロック信号源のスプリアス信号も、ADCのダイナミックレンジに影響を及ぼします。MAX1213の好ましいクロッキング方法は、入力レベルがLVDSまたはPECL対応の入力レベルで差動的に行うことです。これらのロジックファミリはデータの遷移が高速であることから、クロック入力回路における遷移の不確実性がきわめて小さいため、SNR性能が改善されます。これを実現するためには、位相ノイズの小さい50Ωの逆終端クロック信号源をMC100LVEL 16などの高速差動レシーバにAC結合入力します(図7)。このレシーバは、データコンバータのクロック入力の駆動に必要なPECL出力を生成します。

## トランス結合、差動アナログ入力駆動

一般に、MAX1213では完全差動入力信号によって最良のSFDRとTHDが得られ、シングルエンド構成でADCの入力を駆動することは推奨されません。差動入力モードでは、INPとINNがバランスしているため通常は偶数次の高調波が少なく、ADC入力の各々に必要な信号

スイングがシングルエンド構成に比べて1/2で済みます。MAX1213がその最適なダイナミック性能を実現するためにシングルエンド信号を、必要とする完全差動信号に変換するためには、広帯域RFトランスが優れた選択肢を提供します。

ADCのダイナミックレンジを最大にするために、1:1トランス(たとえば、Mini-Circuit社のADT1-1WT)の二次側の上下端子とセンタタップ間に2つの独立した $24.9\Omega \pm 1\%$ の抵抗器(不平衡による影響を最小にするために許容範囲の小さい抵抗器を使用してください。0.5%が最適な選択肢と思われます。)を接続することによって、終端することを推奨します。この構成では、トランスの寄生成分の影響を抑制することによってADCのTHDとSFDRの性能が最適化されます。ただし、プリント基板が発生する並列容量とADCの寄生容量に信号源インピーダンスが結合することによって、ADCのフルパワー入力帯域幅がおよそ600MHzに制限されます。

高い入力周波数(100MHzを超える)におけるTHDとSFDRの性能をさらに強化するために、もう1つのトランス(図8)をシングルエンド-差動変換トランスと直列に接続する必要があります。このトランスは、高周波における偶数次高調波の増加を抑制します。

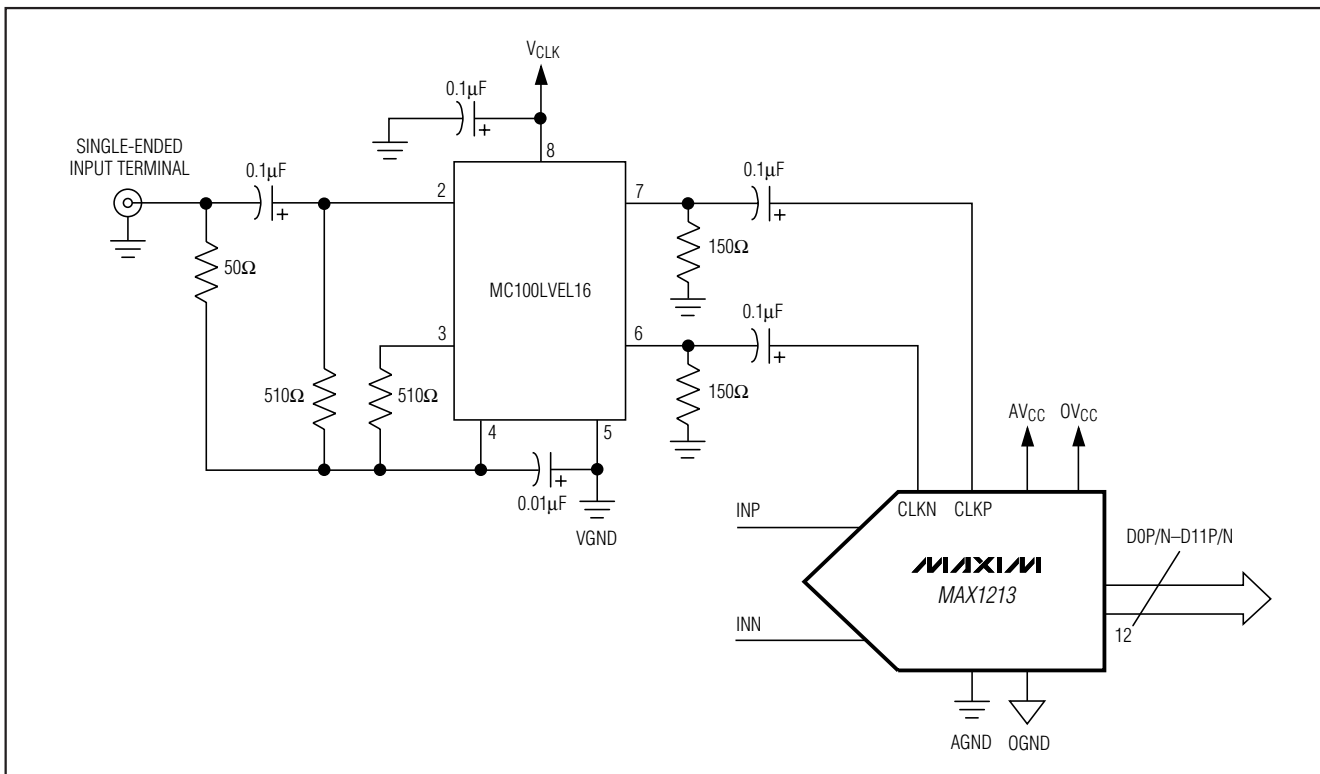


図7. 差動、AC結合PECL対応クロック入力の構成

# ブロードバンドアプリケーション用 1.8V、12ビット、170Msps ADC

## シングルエンド、AC結合アナログ入力

推奨しませんが、MAX1213はシングルエンドモードで使用することができます(図9)。アナログ信号は、0.1 $\mu$ Fのコンデンサを介して正入力のINPにAC結合するとともに、49.9 $\Omega$ の抵抗器でAGNDに対して終端することができます。負入力は、24.9 $\Omega$ の抵抗器で逆終端し、0.1 $\mu$ Fのコンデンサで交流的にグランドに接続します。

## グランド、バイパス、 及び基板レイアウトに関して

MAX1213には、高速データコンバータを対象とした基板レイアウト設計法が必要です。このADCでは、アナログ電源とデジタル電源が分離されています。アナログとデジタルの各電源電圧端子は、1.7V~1.9Vの範囲の入力電圧を受け入れます。両電源を共通にして1つの電源から給電することもできますが、独立した電源を使用して、デジタルスイッチング電流がアナログ電源回路に結合することによって生じる性能

低下を軽減することを推奨します。アナログ電源とデジタル電源(AV<sub>CC</sub>とOV<sub>CC</sub>)は、プリント基板の入口でそれぞれに対応するグランド(AGND、OGND)に対してフェライトビーズとコンデンサから構成される独立した回路網を使用して分離してください。

最適な性能を実現するために、47 $\mu$ Fのタンタルコンデンサ及び10 $\mu$ Fと1 $\mu$ Fの並列セラミックコンデンサから構成される独立した回路網を各電源に接続してください。さらに、ADCでは、各電源端子を独立の0.1 $\mu$ Fのセラミックコンデンサでバイパスする必要があります(図10)。これらのコンデンサは、ADCの電源端子に直接接続するか、もしくはMAX1213にできる限り近づけて接続してください。表面実装型コンデンサを選択し、できればコンバータと同じ側に取り付けてスペースを節約しインダクタンスを最小にしてください。これらのバイパスコンデンサを同じ側に近づけて配置することが可能でなければ、ピアを介してプリント基板の裏側に取り付けることもできます。

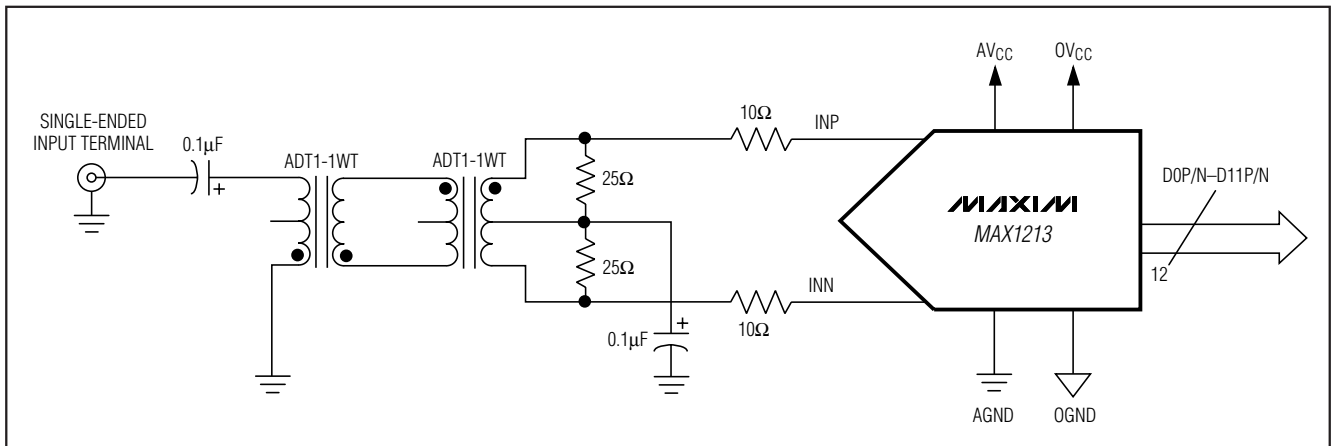


図8. 縦続接続トランスを使用して二次側を終端したアナログ入力構成

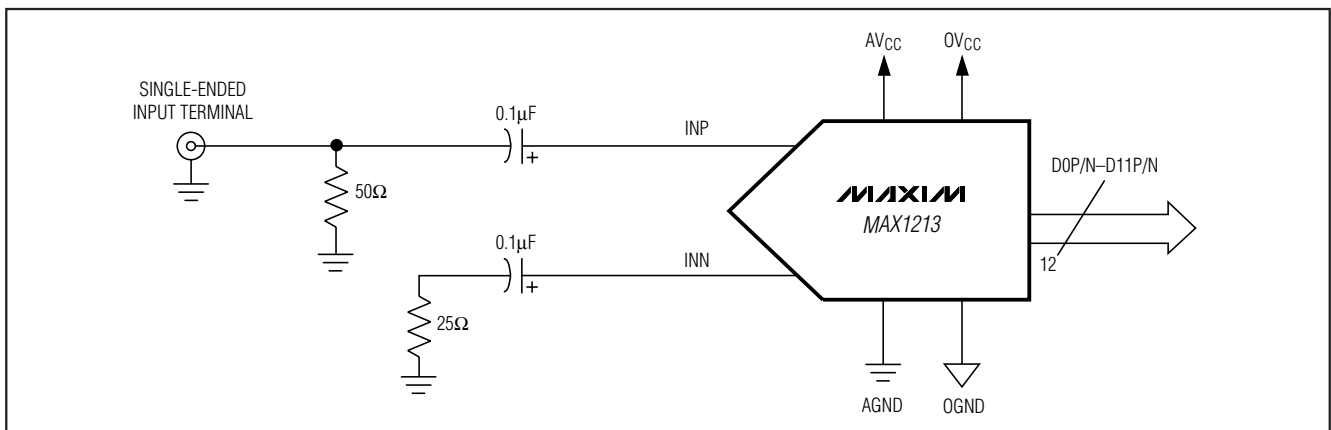


図9. シングルエンドAC結合アナログ入力構成

# ブロードバンドアプリケーション用 1.8V、12ビット、170Msps ADC

MAX1213

グラウンドプレーンと電源プレーンを分離した多層基板を使用すると、最高レベルの信号の健全性が実現します。アナロググラウンドとデジタルグラウンドがADCパッケージの一点で物理的に接続されるように配置する分割グラウンドプレーンの採用を検討してください。ノイズの多いデジタルグラウンド電流がアナロググラウンドプレーンと干渉しないように、2つのグラウンドプレーンを1点で接続する必要があります。ダイナミック電流が長い距離を流れて再び共通の電源グラウンドに戻った結果、大きい有害なグラウンドループが形成されるとすれば、重大な問題です。グラウンドループは、コンバータのアナログフロントエンドに結合することによって入力ノイズ環境が悪化し、スプリアスを活性化してノイズ性能の低下を招きます。

これとは別の方法として、もしグラウンドプレーンがノイズの多いデジタルシステムグラウンドから十分に分離されていれば、すべてのグラウンド端子が同じグラウンドプレーンを共有する方法を取ることができます。デジタル出力信号によるアナログ入力への結合を最小限にするために、デジタル出力バスをアナログ入力回路から注意して隔離してください。デジタルノイズの影響をさらに少なくするために、グラウンドリターンピアをレイアウトのいたるところに配置してデジタルスイッチング電流をADCにおけるノイズに敏感なアナログ領域からそらすこともできます。この方法は、分割グラウンドプレーンを必要としませんが、アナログフロントエンドとデジタル出力の間に非常に多くのグラウンド接続部を設ければ実現することができます。

MAX1213は、68ピンQFN-EPパッケージ(パッケージコード：G6800-4)に収納されており、設計のフレキシビリティが高く、熱放散性が良く、ADCのAC性能が最適化されています。エクスポーズドパッド(EP)はAGNDに半田付けする必要があります。

このパッケージでは、データコンバータのダイがEPリードフレームに接続されており、このフレームの裏側はパッケージの底面で露出して、パッケージのプリント基板側を向いています。このため、標準の赤外線(IR)フローソルダリング法によってパッケージを基板にしっかりと固着することができます。

放熱効率、MAX1213のエクスポーズドパッド付きパッケージの選択に関わる要因の1つです。エクスポーズドパッドは放熱効率を改善して、ADCとプリント基板のアナロググラウンド層との間で堅固なグラウンド接続を行います。

高速、高分解能データコンバータのデジタル出力トレースの経路を定める際には、十分な注意が必要です。トレースの長さを最小にし、すべてのデジタルトレースの容量性負荷を最小限(5pF以下)に抑えてADCにおけるノイズに敏感なアナログ領域への結合を防止することが不可欠です。LVDS出力トレースの経路は、ADCからLVDS負荷デバイスまでを特性インピーダンスが100Ωの差動ラインとして配線することをお奨めします。

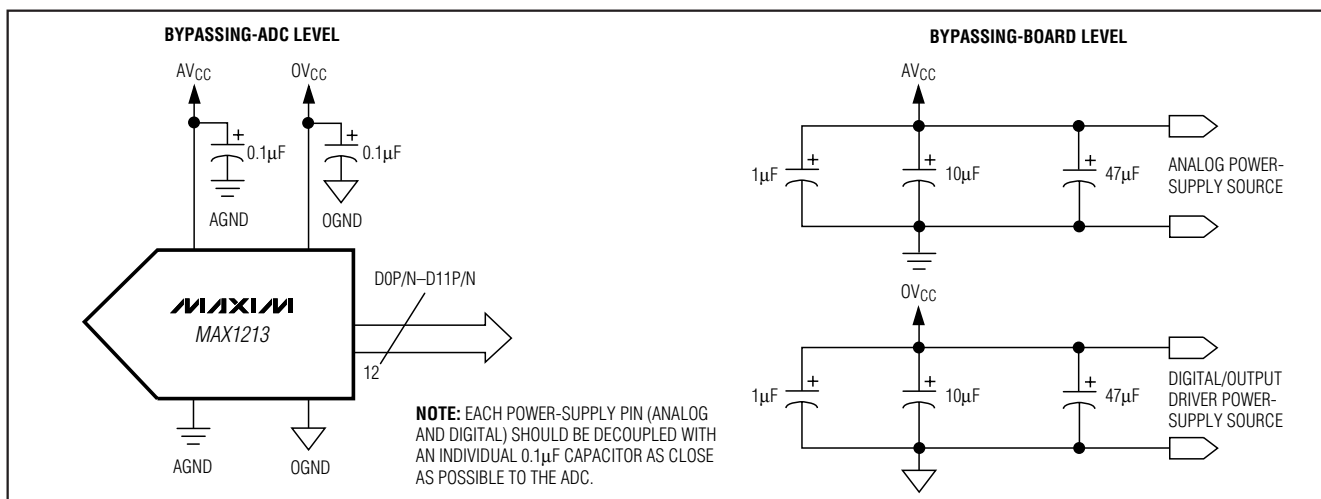


図10. MAX1213に推奨されるグラウンド、バイパス、及びデカップリング

# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

## 静的パラメータの定義

### Integral Nonlinearity(積分非直線性)(INL)

積分非直線性は、実際の伝達関数上の値の直線からのずれです。この直線は、オフセットと利得誤差をゼロにした後の最近似直線フィットまたは伝達関数の両端点を結んだ直線のいずれかです。しかし、MAX1213の静的直線性パラメータは、ヒストグラム法を用いて10MHzの入力周波数で測定されます。

### Differential Nonlinearity(微分非直線性)(DNL)

微分非直線性は、実際のステップ幅と1 LSBの理想値の差です。1 LSB以下のDNL誤差の仕様は、ミッシングコードのない単調伝達関数を保証するものです。MAX1213のDNL仕様は、10MHzの入力トーンに基づくヒストグラム法を用いて測定されます。

## 動的パラメータの定義

### Aperture Jitter(アパーチャジッタ)

図11はアパーチャジッタ( $t_{AJ}$ )を示します。これは、アパーチャ遅延における各サンプル間の変動です。

### Aperture Delay(アパーチャ遅延)

アパーチャ遅延( $t_{AD}$ )は、サンプリングクロックの立上りエッジと実際のサンプルが取り込まれた時点の間の時間として定義されます(図11)。

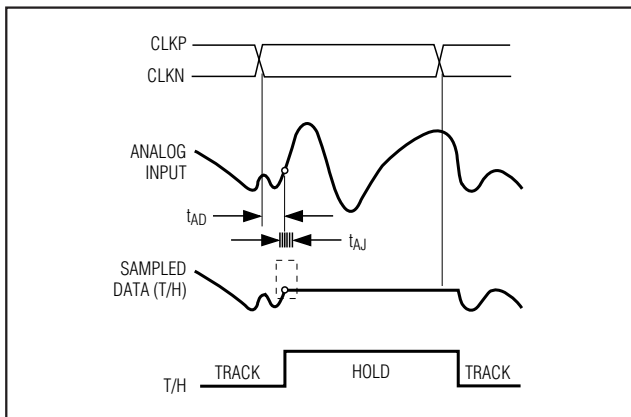


図11. Aperture Jitter/Delay(アパーチャジッタ/遅延)の仕様

### Signal-to-Noise Ratio(信号対雑音比)(SNR)

デジタルサンプルから完全に再現される波形の場合、理論的な最大SNRはフルスケールアナログ入力(RMS値)とRMS量子化誤差(残留誤差)との比です。理想的で理論的な最小のアナログ-デジタル変換雑音は、

量子化誤差のみによって生じるもので、ADCの分解能(Nビット)から次式によって直接求められます。

$$\text{SNR}_{[\text{max}]} = 6.02 \times N + 1.76$$

実際には、熱雑音、クロックジッタ、信号位相ノイズ、及び伝達関数の非線形性など、他のノイズ源もSNRの計算に影響を与えるため、ADCの信号対雑音比を決定する際にはこれらも考慮する必要があります。

### Signal-to-Noise Plus Distortion(信号対雑音+歪み)(SINAD)

SINADは、RMS信号と、基本波及びDCオフセットを除く全スペクトル成分との比をとることによって求められます。MAX1213の場合、SINADは曲線当てはめから計算されます。

### Spurious-Free Dynamic Range(スプリアスフリーダイナミックレンジ)(SFDR)

SFDRは、搬送周波数のRMS振幅(最大信号成分)と2番目に大きいノイズまたは高調波成分のRMS値との比です。SFDRは、通常、搬送周波数の振幅を基準としてdBcで測定されるか、またはADCのフルスケールレンジを基準としてdBFSで測定されます。

### Intermodulation Distortion(相互変調歪み)(IMD)

IMDは、相互変調積のRMS和と2つの基本波入力トーンとのRMS和との比です。これは、次式で表わされます：

$$\text{IMD} = 20 \times \log \left( \frac{\sqrt{V_{IM1}^2 + V_{IM2}^2 + \dots + V_{IM3}^2 + V_{IMn}^2}}{\sqrt{V_1^2 + V_2^2}} \right)$$

基本波入力トーンの振幅( $V_1$ と $V_2$ )は、-7dBFSにおける値です。相互変調積は下記の周波数における出力スペクトルの振幅です。

- 2次の相互変調積： $f_{IN1} + f_{IN2}$ 、 $f_{IN2} - f_{IN1}$
- 3次の相互変調積： $2 \times f_{IN1} - f_{IN2}$ 、 $2 \times f_{IN2} - f_{IN1}$ 、 $2 \times f_{IN1} + f_{IN2}$ 、 $2 \times f_{IN2} + f_{IN1}$
- 4次の相互変調積： $3 \times f_{IN1} - f_{IN2}$ 、 $3 \times f_{IN2} - f_{IN1}$ 、 $3 \times f_{IN1} + f_{IN2}$ 、 $3 \times f_{IN2} + f_{IN1}$
- 5次の相互変調積： $3 \times f_{IN1} - 2 \times f_{IN2}$ 、 $3 \times f_{IN2} - 2 \times f_{IN1}$ 、 $3 \times f_{IN1} + 2 \times f_{IN2}$ 、 $3 \times f_{IN2} + 2 \times f_{IN1}$

### Full-Power Bandwidth(フルパワー帯域幅)

-1dBFSの大振幅アナログ入力信号がADCに印加されて、デジタル変換結果の振幅が3dBだけ減少する点まで入力周波数が掃引されます。この-3dBの点がADCのフルパワー入力帯域幅周波数として定義されます。

# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

## Noise Power Ratio(ノイズパワー比)(NPR)

NPRは、通常、信号がノイズに似た周波数スペクトルを有する一般的な固有の直交振幅変調(QAM)搬送波である場合に、ケーブルシステムのリターン経路の特性を記述するために使用されます。多くのこうした搬送波は連続スペクトルで動作し、比較的広い帯域幅にわたるノイズのような信号を発生します。MAX1213のNPRを試験するためには、「ノイズのような」信号が高次のバンドパスフィルタを通過して、シミュレートされている信号とほぼ同じ帯域幅を持つ方形波のスペクトルノイズフロアを生成します。信号は、バンドパスフィルタに続いて狭い帯域遮断フィルタを通過し、ノイズフロアの中心で深いノッチを生成します。最後に、この信号はMAX1213に印加されて、そのデジタル化された結果が解析されます。ノッチ内部の信号のRMSノイズパワーは、FFTを使用してノッチ外部のRMSノイズレベルと比較されます。NPR試験では、ノッチ内部に適切なサンプル数がなければならぬため、十分に長いデータの記録が必要です。MAX1213のNPRは、標準的なケーブル信号環境を想定した35MHzと50MHzのノイズ帯域幅の信号に対して決定されています(試験の詳細と結果については、「標準動作特性」を参照してください)。

## ピンコンパチブルな 低速/低分解能バージョン

低分解能や高速を必要とするアプリケーションの場合は、MAX1213の他のファミリメンバーを参照してください。端子配列をこの高速ファミリの全メンバーに対して統一したことによって、アプリケーションは低分解能に照準を合せ易くなっています。別の分解能と速度等級を選択する場合は、表2を参照してください。

表2. MAX1213の低分解能/高速バージョン

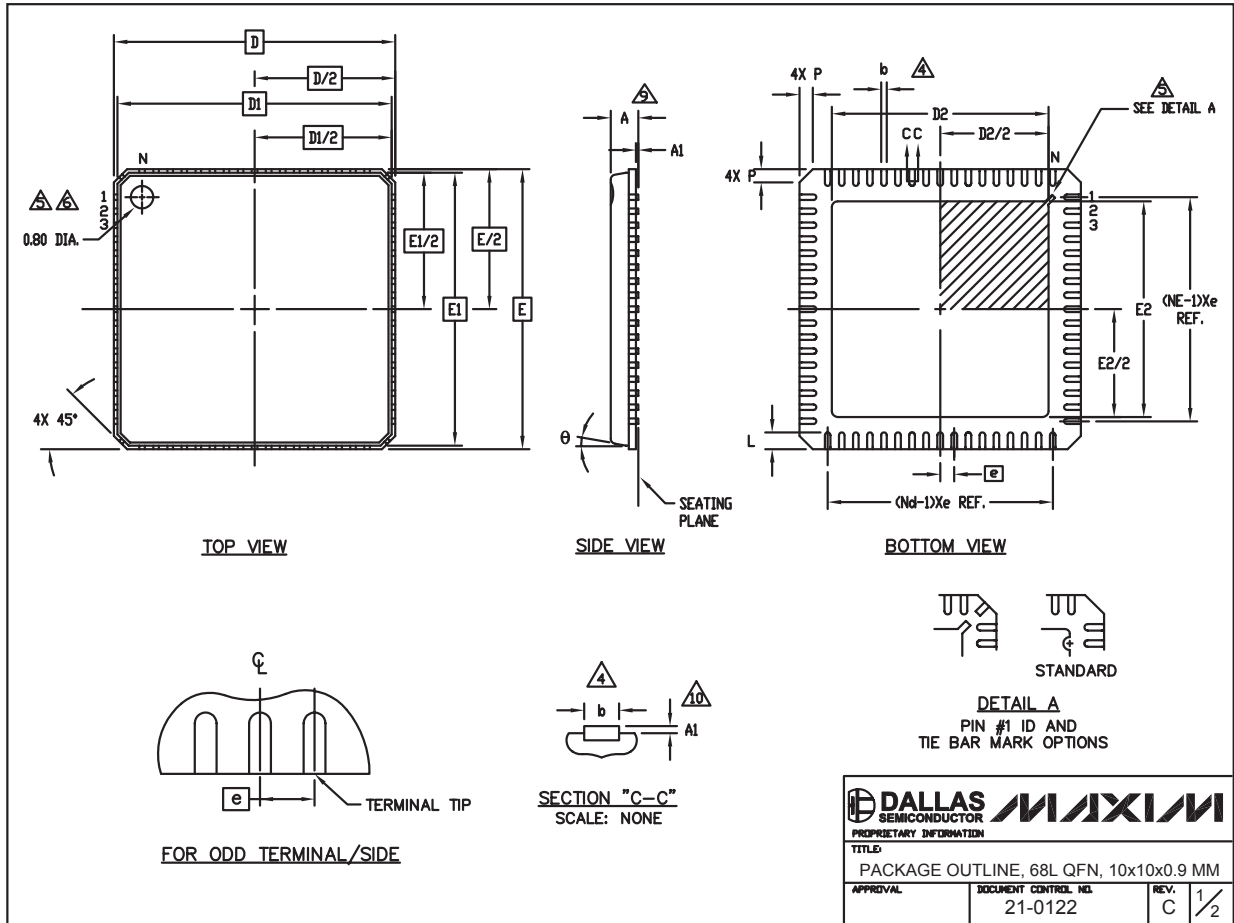
PART	RESOLUTION (BITS)	SPEED GRADE (Mps)
MAX1121	8	250
MAX1122	10	170
MAX1123	10	210
MAX1124	10	250

# ブロードバンドアプリケーション用 1.8V、12ビット、170Mps ADC

MAX1213

## パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)



# ブロードバンドアプリケーション用 1.8V、12ビット、170Mpsps ADC

MAX1213

## パッケージ(続き)

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、[japan.maxim-ic.com/packages](http://japan.maxim-ic.com/packages)をご参照下さい。)

SYMBOL	COMMON DIMENSIONS			NOTE
	MIN.	NOM.	MAX.	
A	—	0.90	1.00	
A1	0.00	0.01	0.05	11
b	0.18	0.23	0.30	4
D	10.00 BSC			
D1	9.75 BSC			
e	0.50 BSC			
E	10.00 BSC			
E1	9.75 BSC			
L	0.50	0.60	0.65	
N	68			3
Nd	17			3
Ne	17			3
θ	0		12°	
P	0	0.42	0.60	

1. DIE THICKNESS ALLOWABLE IS .012 INCHES MAXIMUM.
2. DIMENSIONING & TOLERANCES CONFORM TO ASME Y14.5M. - 1994.
3. N IS THE NUMBER OF TERMINALS.  
Nd IS THE NUMBER OF TERMINALS IN X-DIRECTION &  
Ne IS THE NUMBER OF TERMINALS IN Y-DIRECTION.
4. DIMENSION b APPLIES TO PLATED TERMINAL AND IS MEASURED BETWEEN 0.20 AND 0.25mm FROM TERMINAL TIP.
5. THE PIN #1 IDENTIFIER MUST BE LOCATED ON THE TOP SURFACE OF THE PACKAGE BY USING INDENTATION MARK OR OTHER FEATURE OF PACKAGE BODY. DETAILS OF PIN #1 IDENTIFIER IS OPTIONAL, BUT MUST BE LOCATED WITHIN ZONE INDICATED.  
EXACT SHAPE AND SIZE OF THIS FEATURE IS OPTIONAL.
7. ALL DIMENSIONS ARE IN MILLIMETERS.
8. PACKAGE WARPAGE MAX 0.10mm.
9. APPLIES TO EXPOSED SURFACE OF PADS AND TERMINALS
10. APPLIES ONLY TO TERMINALS.
11. MEETS JEDEC MO-220.

### EXPOSED PAD VARIATIONS

PKG CODE	D2			E2		
	MIN	NOM	MAX	MIN	NOM	MAX
G6800-2	7.55	7.70	7.85	7.55	7.70	7.85
G6800-4	5.65	5.80	5.95	5.65	5.80	5.95

	
<small>PROPRIETARY INFORMATION</small>	
<small>TITLE</small> PACKAGE OUTLINE, 68L QFN, 10x10x0.9 MM	
<small>APPROVAL</small>	<small>DOCUMENT CONTROL NO.</small> 21-0122
<small>REV.</small> C	<small>REV.</small> 2/2

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 \_\_\_\_\_ 21