

+5V、1 Msps、4/8チャンネル 8ビットADC、1 μ Aパワーダウン付

概要

MAX114/MAX118は、マイクロプロセッサ(μ P)コンパチブルの8ビット、4チャンネル/8チャンネル、アナログディジタルコンバータ(ADC)です。+5V単一電源で動作し、ハーフフラッシュ技法により変換時間660ns(1 Msps)を実現しています。パワーダウン(PWRDN)ピンにより、消費電流を1 μ A(typ)まで低減できます。パワーダウンモードから通常動作モードまでの復帰時間は200ns以下であるため、バーストモードアプリケーションでの消費電流を著しく低減することができます(バーストモードにあるADCは、指定された間隔で低電力状態からウェイクアップしてアナログ入力信号をサンプリングします)。MAX114/MAX118は、トラック/ホールド機能を備えているため、高速アナログ信号の数値化が可能です。

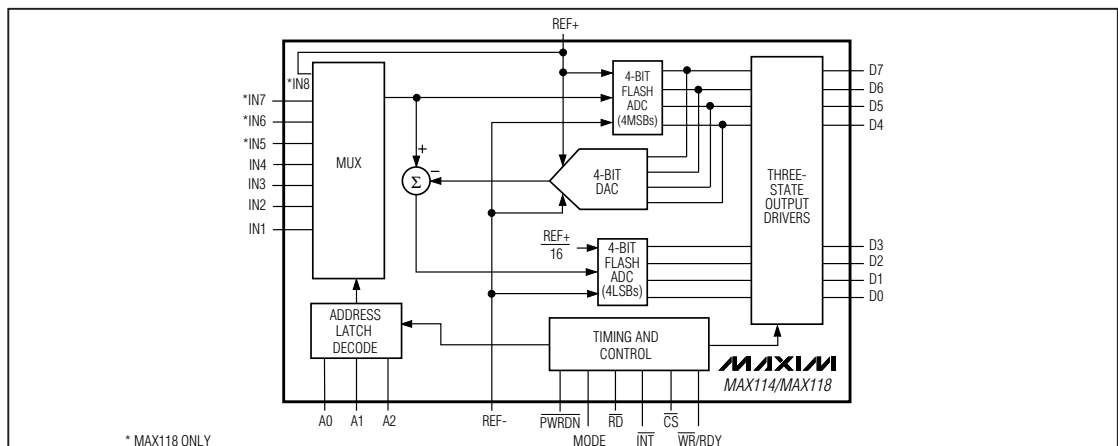
このADCは、外部インタフェースロジックなしにI/Oポート又はメモリアクセスとして扱うことができるため、 μ Pインタフェースが単純化されています。データ出力でラッチ付スリーステートバッファ回路を使用しているため、8ビットパラレル μ Pデータバス又はシステム入力ポートに直接接続できます。MAX114/MAX118は、レシオメトリック動作が可能な入力/リファレンス構成になっています。

4チャンネルのMAX114は、24ピンDIP又はSSOPパッケージで供給されており、8チャンネルのMAX118は28ピンDIP又はSSOPパッケージで供給されています。+3Vバージョンについては、MAX113/MAX117のデータシートを参照してください。

アプリケーション

高速DSP リモートデータ収集
ポータブル機器 通信機器

ファンクションダイアグラム



特長

- ◆ 電源: +5V単一
- ◆ アナログ入力チャンネル数: 4(MAX114)
8(MAX118)
- ◆ 低電力: 40mW(動作モード)
5 μ W(パワーダウンモード)
- ◆ 全末調整誤差: 1LSB以下
- ◆ 高速変換: 660ns/チャンネル
- ◆ 外部クロック不要
- ◆ 内部トラック/ホールド
- ◆ フルパワー帯域幅: 1MHz
- ◆ 内部接続の第8チャンネルによりリファレンス電圧監視 (MAX118)

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX114CNG	0°C to +70°C	24 Narrow Plastic DIP
MAX114CAG	0°C to +70°C	24 SSOP
MAX114C/D	0°C to +70°C	Dice*
MAX114ENG	-40°C to +85°C	24 Narrow Plastic DIP
MAX114EAG	-40°C to +85°C	24 SSOP
MAX114MRG	-55°C to +125°C	24 Narrow CERDIP**

ピン配置はデータシートの最後に記載されています。

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

**Contact factory for availability.

Ordering Information Continued on last page.

+5V、1 Msps、4/8チャネル 8ビットADC、1 μ Aパワーダウン付

ABSOLUTE MAXIMUM RATINGS

V _{DD} to GND	-0.3V to +7V	28-Pin Wide Plastic DIP
Digital Input Voltage to GND	-0.3V to (V _{DD} + 0.3V)	(derate 14.29mW/°C above +70°C)
Digital Output Voltage to GND	-0.3V to (V _{DD} + 0.3V)	28-Pin SSOP (derate 9.52mW/°C above +70°C)
REF+ to GND	-0.3V to (V _{DD} + 0.3V)	28-Pin Wide CERDIP
REF- to GND	-0.3V to (V _{DD} + 0.3V)	(derate 16.67mW/°C above +70°C)
IN ₋ to GND	-0.3V to (V _{DD} + 0.3V)	Operating Temperature Ranges
Continuous Power Dissipation (T _A = +70°C)		MAX114/MAX118C_
24-Pin Narrow Plastic DIP		(derate 13.33mW/°C above +70°C)
(derate 13.33mW/°C above +70°C)	1.08W	MAX114/MAX118E_
24-Pin SSOP (derate 8.00mW/°C above +70°C)	640mW	MAX114/MAX118M_
24-Pin Narrow CERDIP		(derate 12.50mW/°C above +70°C)
(derate 12.50mW/°C above +70°C)	1W	Storage Temperature Range
		-65°C to +150°C
		Lead Temperature (soldering, 10sec)
		+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = +5V \pm 5%, REF+ = 5V, REF- = GND, Read Mode (MODE = GND), T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ACCURACY (Note 1)						
Resolution	N		8			Bits
Total Unadjusted Error	TUE				± 1	LSB
Differential Nonlinearity	DNL	No-missing-codes guaranteed			± 1	LSB
Zero-Code Error					± 1	LSB
Full-Scale Error					± 1	LSB
Channel-to-Channel Mismatch					$\pm 1/4$	LSB
DYNAMIC PERFORMANCE						
Signal-to-Noise Plus Distortion Ratio	SINAD	MAX11_C/E, f _{SAMPLE} = 1MHz, f _{IN} = 195.8kHz	45			dB
		MAX11_M, f _{SAMPLE} = 740kHz, f _{IN} = 195.7kHz	45			
Total Harmonic Distortion	THD	MAX11_C/E, f _{SAMPLE} = 1MHz, f _{IN} = 195.8kHz			-50	dB
		MAX11_M, f _{SAMPLE} = 740kHz, f _{IN} = 195.7kHz			-50	
Spurious-Free Dynamic Range	SFDR	MAX11_C/E, f _{SAMPLE} = 1MHz, f _{IN} = 195.8kHz	50			dB
		MAX11_M, f _{SAMPLE} = 740kHz, f _{IN} = 195.7kHz	50			
Input Full-Power Bandwidth		V _{IN} = 5Vp-p		1		MHz
Input Slew Rate, Tracking			3.1	15		V/ μ s
ANALOG INPUT						
Input Voltage Range	V _{IN}		V _{REF-}		V _{REF+}	V
Input Leakage Current	I _{IN}	GND < V _{IN} < V _{DD}			± 3	μ A
Input Capacitance	C _{IN}			32		pF
REFERENCE INPUT						
Reference Resistance	R _{REF}		1	2	4	k Ω
REF+ Input Voltage Range			V _{REF-}		V _{DD}	V
REF- Input Voltage Range			GND		V _{REF+}	V

+5V、1 Msps、4/8チャンネル 8ビットADC、1μAパワーダウン付

MAX114/MAX118

ELECTRICAL CHARACTERISTICS (continued)

(V_{DD} = +5V ±5%, REF+ = 5V, REF- = GND, Read Mode (MODE = GND), T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOGIC INPUTS						
Input High Voltage	V _{INH}	\overline{CS} , \overline{WR} , \overline{RD} , \overline{PWRDN} , A0, A1, A2	2.4			V
		MODE	3.5			
Input Low Voltage	V _{INL}	\overline{CS} , \overline{WR} , \overline{RD} , \overline{PWRDN} , A0, A1, A2			0.8	V
		MODE			1.5	
Input High Current	I _{INH}	\overline{CS} , \overline{RD} , \overline{PWRDN} , A0, A1, A2			±1	μA
		\overline{WR}			±3	
		MODE		50	200	
Input Low Current	I _{INL}	\overline{CS} , \overline{WR} , \overline{RD} , \overline{PWRDN} , MODE, A0, A1, A2			±1	μA
Input Capacitance (Note 2)	C _{IN}	\overline{CS} , \overline{WR} , \overline{RD} , \overline{PWRDN} , MODE, A0, A1, A2		5	8	pF
LOGIC OUTPUTS						
Output Low Voltage	V _{OL}	I _{SINK} = 1.6mA, \overline{INT} , D0–D7			0.4	V
		RDY, I _{SINK} = 2.6mA			0.4	
Output High Voltage	V _{OH}	I _{SOURCE} = 360μA, \overline{INT} , D0–D7	4			V
Three-State Current	I _{LKG}	D0–D7, RDY, digital outputs = 0V to V _{DD}			±3	μA
Three-State Capacitance (Note 2)	C _{OUT}	D0–D7, RDY		5	8	pF
POWER REQUIREMENTS						
Supply Voltage	V _{DD}		4.75		5.25	V
V _{DD} Supply Current	I _{DD}	\overline{CS} = \overline{RD} = 0V, \overline{PWRDN} = V _{DD}	MAX11_C	8	15	mA
			MAX11_E/M	8	20	
Power-Down V _{DD} Current		\overline{CS} = \overline{RD} = V _{DD} , \overline{PWRDN} = 0V (Note 3)		1	10	μA
Power-Supply Rejection	PSR	V _{DD} = 4.75V to 5.25V, V _{REF} = 4.75V		±1/16	±1/4	LSB

Note 2: Guaranteed by design.

Note 3: Power-down current increases if logic inputs are not driven to GND or V_{DD}.

+5V、1 Msps、4/8チャンネル 8ビットADC、1μAパワーダウン付

TIMING CHARACTERISTICS

(V_{DD} = +4.75V, T_A = +25°C, unless otherwise noted.) (Note 4)

PARAMETER	SYMBOL	CONDITIONS		T _A = +25°C		T _A = T _{MIN} to T _{MAX}				UNITS	
				ALL GRADES			MAX11_C/E		MAX11_M		
				MIN	TYP	MAX	MIN	MAX	MIN		MAX
Conversion Time (WR-RD Mode)	t _{CWR}	t _{RD} < t _{INTL} , (Note 5)	C _L = 20pF C _L = 100pF	660 685		865		1125		ns	
Conversion Time (RD Mode)	t _{CRD}			700		875		975		ns	
Power-Up Time	t _{UP}			320		370		520		ns	
CS to RD, WR Setup Time	t _{CSS}			0		0		0		ns	
CS to RD, WR Hold Time	t _{CSH}			0		0		0		ns	
CS to RDY Delay	t _{RDY}	C _L = 50pF, R _L = 5.1kΩ to V _{DD}		70		85		100		ns	
Data-Access Time (RD Mode)	t _{ACC0}	C _L = 100pF (Note 5)		t _{CRD} + 50		t _{CRD} + 65		t _{CRD} + 75		ns	
RD to INT Delay (RD Mode)	t _{INTH}	C _L = 50pF		50 80		85		90		ns	
Data Hold Time	t _{DH}	(Note 6)		60		70		80		ns	
Minimum Acquisition Time	t _{ACQ}	(Note 7)		160		185		260		ns	
WR Pulse Width	t _{WR}			0.25 10		0.28 10		0.4 10		μs	
Delay Between WR and RD Pulses	t _{RD}			0.25		0.35		0.45		μs	
RD Pulse Width (WR-RD Mode)	t _{READ1}	t _{RD} < t _{INTL} , determined by t _{ACC1}		160		205		240		ns	
Data-Access Time (WR-RD Mode)	t _{ACC1}	t _{RD} < t _{INTL} , C _L = 100pF (Note 5)		185		235		275		ns	
RD to INT Delay	t _{RI}			150		185		220		ns	
WR to INT Delay	t _{INTL}	C _L = 50pF		380 500		610		700		ns	
RD Pulse Width (WR-RD Mode)	t _{READ2}	t _{RD} > t _{INTL} , determined by t _{ACC2}		65		75		85		ns	
Data-Access Time (WR-RD Mode)	t _{ACC2}	t _{RD} > t _{INTL} , C _L = 100pF (Note 5)		90		110		130		ns	
WR to INT Delay	t _{IHW}	Pipelined mode, C _L = 50pF		80		100		120		ns	
Data-Access Time after INT	t _{ID}	Pipelined mode, C _L = 100pF		45		60		70		ns	
Multiplexer Address Hold Time	t _{AH}			30		35		40		ns	

Note 4: Input control signals are specified with t_r = t_f = 5ns, 10% to 90% of 5V, and timed from a voltage level of 1.6V.

Note 5: See Figure 1 for load circuit. Parameter defined as the time required for the output to cross 0.8V or 2.4V.

Note 6: See Figure 2 for load circuit. Parameter defined as the time required for the data lines to change 0.5V.

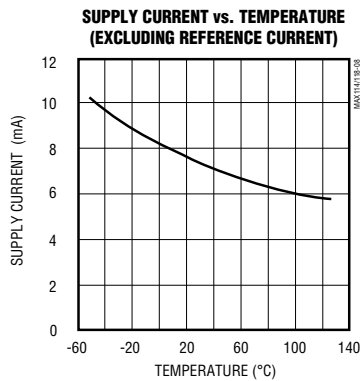
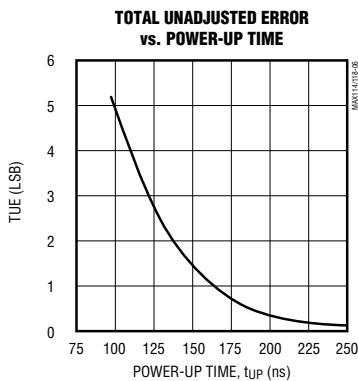
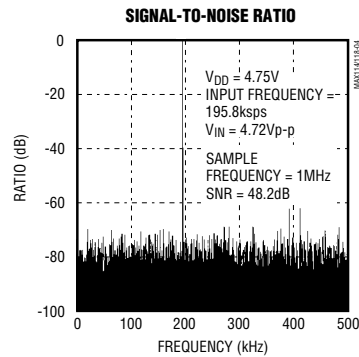
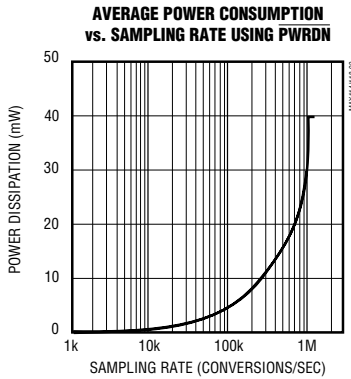
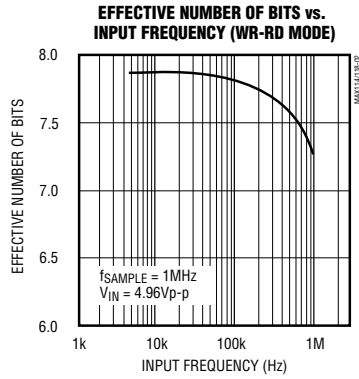
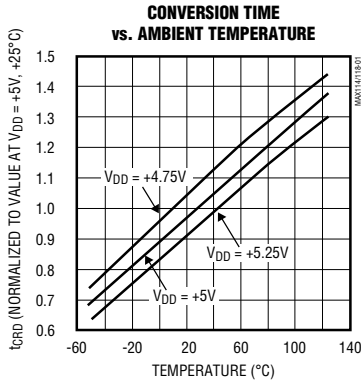
Note 7: Also defined as the Minimum Address-Valid to Convert-Start Time.

+5V、1 Msps、4/8チャンネル 8ビットADC、1 μ Aパワーダウン付

MAX114/MAX118

標準動作特性

($V_{DD} = +5V$, $T_A = +25^\circ C$, unless otherwise noted.)



+5V、1 Msps、4/8チャンネル 8ビットADC、1μAパワーダウン付

MAX114/MAX118

端子説明

端子		名称	機能
MAX114	MAX118		
—	1	IN6	アナログ入力チャンネル6
—	2	IN5	アナログ入力チャンネル5
1	3	IN4	アナログ入力チャンネル4
2	4	IN3	アナログ入力チャンネル3
3	5	IN2	アナログ入力チャンネル2
4	6	IN1	アナログ入力チャンネル1
5	7	MODE	モード選択入力。内部の50μA電流ソースによりローにプルダウンされています。MODE = 0 のとき、読取りモードが起動し、MODE = 1 のとき、書込み読取りモードが起動します(「デジタルインタフェース」の項を参照)。
6	8	D0	スリーステートデータ出力(LSB)
7, 8, 9	9, 10, 11	D1, D2, D3	スリーステートデータ出力
10	12	\overline{RD}	読取り入力。データにアクセスするには、 \overline{RD} がローであることが必要です(「デジタルインタフェース」の項を参照)。
11	13	\overline{INT}	割込み出力。変換が終了すると \overline{INT} はローになります(「デジタルインタフェース」の項を参照)。
12	14	GND	グランド
13	15	REF-	リファレンス範囲の下限。ゼロコード電圧を設定します。範囲はGND = < V _{REF-} < V _{REF+} です。
14	16	REF+	リファレンス範囲の上限。REF+はフルスケール入力電圧を設定します。範囲はV _{REF-} < V _{REF+} = V _{DD} です。内部でIN8にハード接続されています(表1)。
15	17	\overline{WR}/RDY	書込み制御入力/レディステータス出力(「デジタルインタフェース」の項を参照)。
16	18	\overline{CS}	チップセレクト入力。 \overline{WR} 又は \overline{RD} 入力が認識されるためには \overline{CS} がローであることが必要です。
17, 18, 19	19, 20, 21	D4, D5, D6	スリーステートデータ出力
20	22	D7	スリーステートデータ出力(MSB)
—	23	A2	マルチプレクサチャンネルアドレス入力(MSB)
21	24	A1	マルチプレクサチャンネルアドレス入力
22	25	A0	マルチプレクサチャンネルアドレス入力(LSB)
23	26	\overline{PWRDN}	パワーダウン入力。 \overline{PWRDN} がローのとき、消費電流が削減されます。
24	27	V _{DD}	正電源(+5V)
—	28	IN7	アナログ入力チャンネル7

+5V、1 Msps、4/8 チャンネル 8ビットADC、1μAパワーダウン付

詳細

コンバータの動作

MAX114/MAX118は、ハーフフラッシュ変換技法を使用しています(「ファンクションダイアグラム」を参照)。この技法では、2つの4ビットフラッシュADC部を使用して8ビットの結果を得ます。フラッシュADCは、15個のコンパレータを使用して未知の入力電圧をリファレンスラダーと比較し、上位4つのデータビットを提供します。内部D/Aコンバータ(DAC)は、最上位4ビット(MSB)を使用して最初のフラッシュ変換のアナログ結果と残余電圧(未知の入力電圧とDAC電圧の差)の両方を生成します。この残余電圧を再びフラッシュコンパレータと比較することにより、下位4つのデータビット(LSB)が得られます。

MAX114/MAX118は、内部アナログマルチプレクサを使用することにより、 μP の制御下で4つ(MAX114)又は8つ(MAX118)の異なるアナログ電圧を読取ることができます。MAX118のアナログチャンネルの内の1つであるIN8は内部でハード接続されており、これを選択すると常に $V_{\text{REF+}}$ が読取れます。

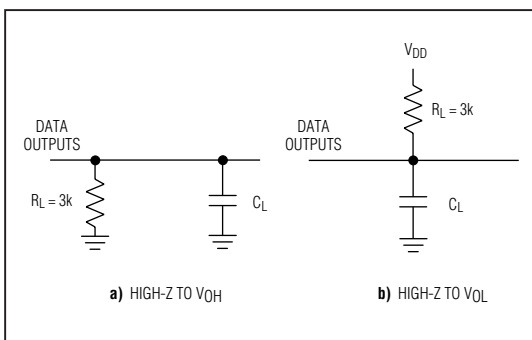


図1. データアクセス時間テスト用の負荷回路

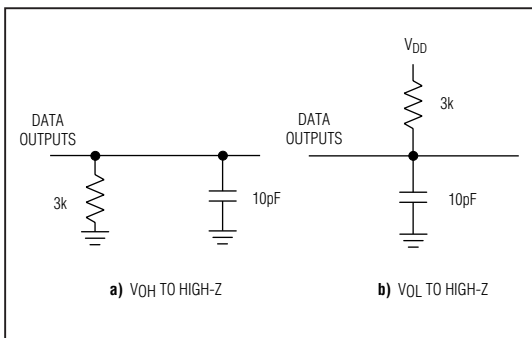


図2. データホールド時間テスト用の負荷回路

パワーダウンモード

バーストモードや低サンプリングレートのアプリケーションでは、変換と変換の間でMAX114/MAX118をシャットダウンし、消費電流をマイクロアンペアレベルに低減することができます(「標準動作特性」を参照)。PWRDNピンがロジックローになるとデバイスはシャットダウンし、消費電流は(+5V単一電源動作の場合)1μA(typ)に低減します。PWRDNがロジックハイになるとMAX114/MAX118はウェイクアップし、選択されたアナログ入力トラックモードになります。360ns後(これにはパワーアップ遅延及びトラック/ホールドアキュイジション時間の両方が含まれます)には信号が完全に取込まれ、新しい変換を始めることができます。パワーダウン機能が必要ない場合には、PWRDNを V_{DD} に接続してください。消費電流を最低限に抑えたいときは、パワーダウンモードでデジタル入力を電源電圧に保ってください。パワーダウン中にリファレンス電流を低減する方法については、「リファレンス」の項を参照してください。

デジタルインタフェース

MAX114/MAX118には、MODEピンで設定される2つの基本的なインタフェースモードがあります。MODEがローのとき、コンバータは読取りモードになり、MODEがハイのとき、コンバータは書込み読取りモードになります。A0、A1及びA2入力によりチャンネルの選択が制御されます(表1)。次の変換が始まる前にアドレスが有効でなければならない最小時間は t_{ACQ} です。

表1. 入力チャンネル選択の真理値表

MAX114		MAX118			SELECTED CHANNEL
A1	A0	A2	A1	A0	
0	0	0	0	0	IN1
0	1	0	0	1	IN2
1	0	0	1	0	IN3
1	1	0	1	1	IN4
—	—	1	0	0	IN5
—	—	1	0	1	IN6
—	—	1	1	0	IN7
—	—	1	1	1	IN8 (reads $V_{\text{REF+}}$ if selected)

読取りモード(MODE = 0)

読取りモードでは、変換及びデータアクセスは $\overline{\text{RD}}$ 入力によって制御されます(図3)。コンパレータ入力は、 t_{ACQ} の間アナログ入力電圧をトラッキングします。 $\overline{\text{CS}}$ 及び $\overline{\text{RD}}$ をローにすると変換が始まります。強制的に待機状態に設定できるマイクロプロセッサを使用している場合は、出力データが出てくるまで $\overline{\text{RD}}$ をローに維持してください。マイクロプロセッサは変換を開始し、

+5V、1 Msps、4/8チャンネル 8ビットADC、1 μ Aパワーダウン付

待機し、そして単一の読取り命令によりデータを読取ります。

読取りモードでは、 \overline{WR}/RDY がステータス出力(RDY)として設定されるため、 μ Pのレディ又は待機入力を駆動することができます。RDYはオープンコレクタ出力(内部プルアップなし)で、 \overline{CS} の立下がりエッジの後でローになり、変換完了時にハイになります。 \overline{WR}/RDY を使用しない場合は、未接続のままでかまいません。 \overline{INT} 出力は変換完了時にローになり、 \overline{CS} 又は \overline{RD} の立下がりエッジでハイに戻ります。

書き込み読取りモード(MODE = 1)

図4及び図5に書き込み読取りモードの動作シーケンスを示します。コンパレータ入力は、 t_{ACQ} の間だけアナログ入力電圧をトラッキングします。変換は \overline{WR} の立下がりエッジで開始されます。 \overline{WR} がハイに戻ると4つのMSBフラッシュの結果が出力バッファにラッチされ、4つのLSBフラッシュの変換が開始されます。変換が終了すると \overline{INT} がローになり、下位4つのデータビットが出力バッファにラッチされます。 \overline{RD} がローになるとデータにアクセスできます(「タイミング特性」を参照)。

最小アキュイジション時間(t_{ACQ})は、 \overline{INT} がローになってから別の変換を開始する(\overline{WR} がローになる)までに必要な時間です。

コンバータからデータを読み取る方法としては、内部遅延を使用する方法、遅延の前に読む方法及びパイプライン動作(後述)があります。

内部遅延を使用する方法

マイクロプロセッサは、 \overline{INT} 出力がローになるのを待ってからデータを読取ります(図4)。 \overline{INT} は \overline{WR} の立下がりエッジの後でローになりますが、これは変換が完了

して結果が出力ラッチに出ていることを示します。 \overline{CS} がローであれば、 \overline{RD} をローにすることによりデータ出力D0 ~ D7にアクセスできます。次に \overline{INT} が \overline{CS} 又は \overline{RD} の立下がりエッジでリセットされます。

最も速い変換：遅延の前に読む方法

図5に、変換時間を外部的に制御する方法を示します。内部で生成される遅延 t_{INTL} は、温度及び電源電圧に多少依存します。これを \overline{RD} でオーバーライドすることにより、最高速の変換を実現できます。 \overline{RD} は、 \overline{WR} の立下がりエッジの後、 \overline{INT} がローになる前にローになります。これで変換が完了し、変換結果を保持する出力バッファ(D0 ~ D7)がイネーブルされます。 \overline{INT} は \overline{RD} の立下がりエッジの後でもローになり、 \overline{RD} 又は \overline{CS} の立下がりエッジでリセットされます。従って、全変換時間は $t_{WR} + t_{RD} + t_{ACC1} = 660\text{ns}$ となります。

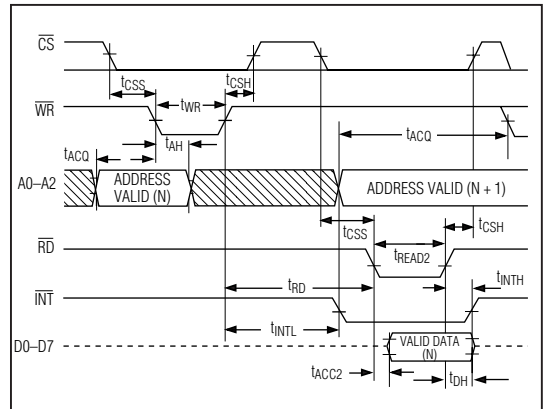


図4. 書き込み読取りモードのタイミング($t_{RD} > t_{INTL}$) (MODE = 1)

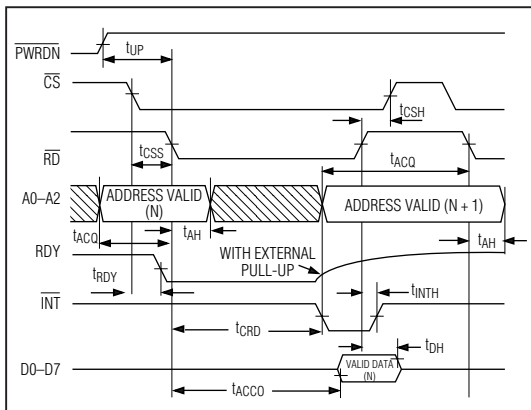


図3. 読取りモードのタイミング(MODE = 0)

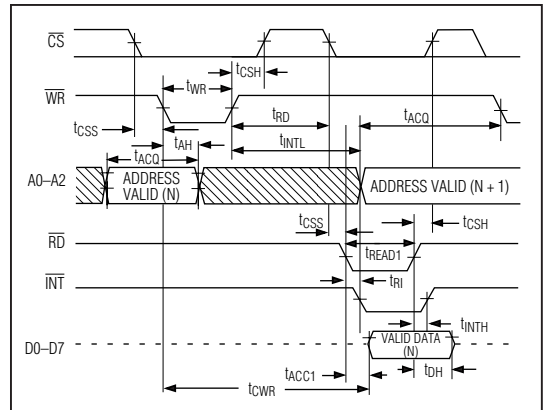


図5. 書き込み読取りモードのタイミング($t_{RD} < t_{INTL}$) (MODE = 1)

+5V、1 Msps、4/8チャンネル 8ビットADC、1μAパワーダウン付

MAX114/MAX118

パイプライン動作

上述の2つの標準的な書き込み読み取りモードに加えて、パイプライン動作も可能です。これは、 \overline{WR} と \overline{RD} をまとめて接続することにより実現できます(図6)。 \overline{CS} がローのときに \overline{WR} 及び \overline{RD} をローにすると、変換を開始すると同時に前の変換の結果を読み取ることができます。

アナログ回路に関する考慮

リファレンス

図7a、7b及び7cに、標準的なリファレンスの接続方法を示します。REF+及びREF-入力によりADCのアナログ入力範囲が設定されます(図10を参照)。REF-で全て0の出力コードに対応する入力が定義され、REF+で全て1の出力コードに対応する入力が定義されます。

REF+からREF-への内部抵抗は最低1kΩまで下がることがあり、MAX114/MAX118がシャットダウン状態

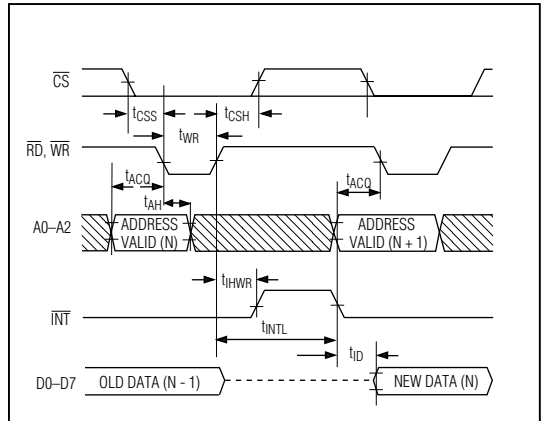


図6. パイプラインモードのタイミング($\overline{WR} = \overline{RD}$) (MODE = 1)

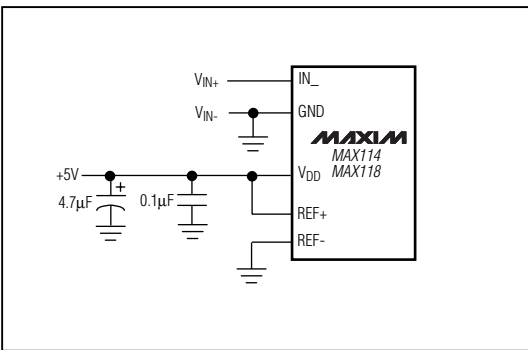


図7a. 電源をリファレンスとして使用

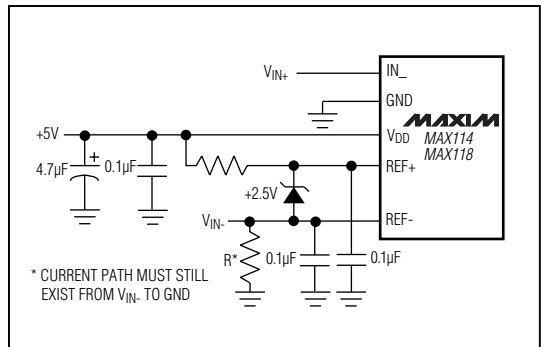


図7c. GNDを基準としない入力

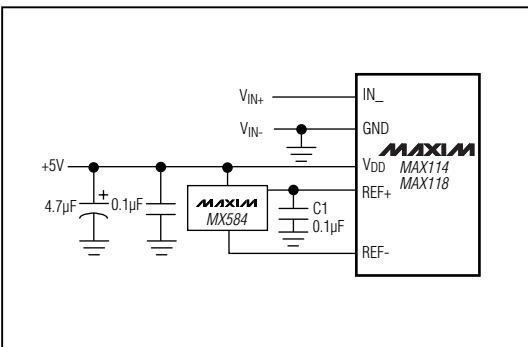


図7b. 外部リファレンス(フルスケール4.096V)

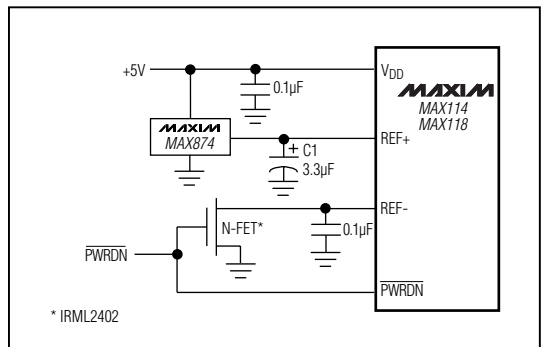


図7d. NチャンネルMOSFETを使用してパワーダウン時にリファレンス負荷をスイッチオフ

+5V、1 Msps、4/8チャンネル 8ビットADC、1 μ Aパワーダウン付

でも電流が流れます。図7dに、NチャンネルMOSFETをREF-に接続してパワーダウン時にこの電流経路を遮断する方法を示します。このFETには、ゲート駆動電圧が5Vのときにオン抵抗が2 Ω 以下のものを使用してください。図7dのようにREF-にスイッチがついている場合、新しい変換を開始するまでの待ち時間はパワーアップ遅延(t_{UP})とNチャンネルFETのターンオン時間の和になります。

REF+は頻繁に V_{DD} に接続されますが、図7dの回路では低電流、低ドロップアウトの4.096V電圧リファレンスであるMAX874を使用しています。MAX874ではリファレンスの抵抗に十分な電流を連続的に供給することができないため、この回路はMAX114/MAX118が通常はスタンバイ状態にあり、測定のために65 μ s以上の間隔でターンオンするようなアプリケーション向けとなっています。C1(REF+に接続されたコンデンサ)はスタンバイ期間中にMAX874によってゆっくりと充電され、短時間の測定期間中にリファレンス電流を供給します。C1として3.3 μ Fを使った場合、4~8回の変換を連続して行っても電圧の低下は1/2LSB以下です。これより大きなコンデンサを使うと誤差は更に小さくなります。C1には、セラミック又はタンタルコンデンサを使用してください。

最初のパワーアップ

電源投入時には変換を1回実行することによってMAX114/MAX118を初期化してください。そのときの出力データは無視してください。

バイパス

4.7 μ Fの電解コンデンサと0.1 μ Fのセラミックコンデンサを並列に接続して、 V_{DD} をGNDにバイパスしてください。コンデンサのリード線はできる限り短くしてください。

リファレンス入力は、図7a~7cに示すように0.1 μ Fコンデンサでバイパスしてください。

アナログ入力

図8に、MAX114/MAX118の入力等価回路を示します。変換が開始され \overline{WR} がローの場合、 V_{IN} は16個の0.6pFコンデンサに接続されます。このアキュジション期間中に、入力コンデンサは内部アナログスイッチの抵抗を通じて入力電圧まで充電します。さらに、約22pFの浮遊容量を充電する必要があります。入力は等価RCネットワークによってモデル化することができます(図9)。ソースインピーダンスが増加するにつれて、コンデンサの充電に要する時間が長くなります。

入力容量を標準の32pFとした場合、ソース抵抗800 Ω まではセットアップの問題が生じません。これより抵抗が大きくなるとアキュジション時間(t_{ACQ})を増やす必要があります。

内部保護ダイオードがアナログ入力を V_{DD} とGNDにクランプしているため、チャンネル入力ピンは(GND - 0.3V) ~ ($V_{DD} + 0.3V$)の範囲で、損傷を起こすことなくスイングできます。しかし、フルスケール付近で正確な変換を行うためには、入力が V_{DD} を50mV以上超えてはならず、GNDを50mV以上下回ってはなりません。

アナログ入力が電源を50mV以上超えた場合、オフチャンネルの保護ダイオードに2mA以上の順方向バイアスをかけないでください。この電流が過剰の場合、オンチャンネルの変換精度が劣化します。

トラック/ホールド

トラック/ホールドは、変換開始時(\overline{RD} がロー又は \overline{WR} がロー)にホールドモードに入ります。INTは変換終了時にローになり、その時トラック/ホールドはトラックモードに入ります。最小アキュジション時間 t_{ACQ} が経過すると次の変換を開始することができます。

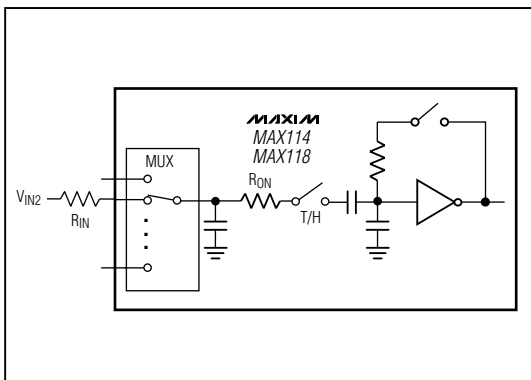


図8. 等価入力回路

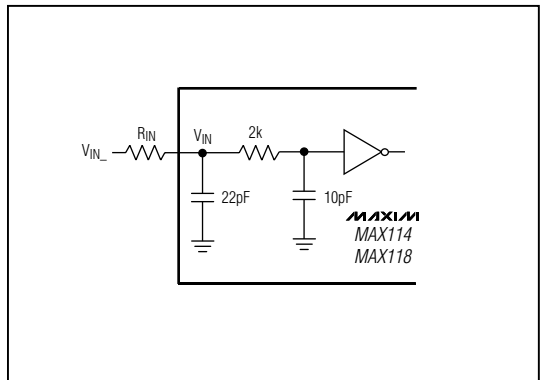


図9. RCネットワークによる等価入力モデル

+5V、1 Msps、4/8チャンネル 8ビットADC、1μAパワーダウン付

伝達関数

図10に、MAX114/MAX118の通常の伝達関数を示します。コード遷移は、隣り合う整数LSB値同士の間で起こります。出力コーディングはバイナリで、 $1\text{LSB} = (V_{\text{REF}+} - V_{\text{REF}-})/256$ となります。

変換レート

MAX114/MAX118の最大サンプリングレート(f_{MAX})は、書き込み読み取りモード($t_{\text{RD}} < t_{\text{INTL}}$)で実現され、次式で計算されます:

$$f_{\text{MAX}} = \frac{1}{t_{\text{WR}} + t_{\text{RD}} + t_{\text{RI}} + t_{\text{ACQ}}}$$

$$f_{\text{MAX}} = \frac{1}{250\text{ns} + 250\text{ns} + 150\text{ns} + 160\text{ns}}$$

$$f_{\text{MAX}} = 1.23\text{MHz}$$

ここで、 t_{WR} = 書き込みパルス幅、 t_{RD} = 書き込みと読み取りパルス間の遅延、 $t_{\text{RI}} = \overline{\text{RD}}$ と $\overline{\text{INT}}$ 間の遅延、そして t_{ACQ} = 最小アキュイジション時間、となっています。

信号対雑音比及び実効ビット数

信号対雑音歪み比(SINAD)は、基本入力周波数のRMS振幅とその他全てのADC出力信号の比です。出力帯域制限は、DCより上、ADCサンプルレートの1/2より下の範囲です。

理論上の最小A/Dノイズは量子化誤差から生じ、次のようにADCの分解能から直接求めることができます。 $\text{SNR} = (6.02N + 1.76)\text{dB}$ 。ここで、Nは分解能を表すビット数です。これによると完全な8ビットADCでも50dB以上は不可能です。

FFTプロット(「標準動作特性」を参照)は、195.8kHzの純粋なサイン波を1MHzのレートでサンプリングした結果を示しています。この出力FFTプロットは、様々なスペクトル帯域における出力レベルを表示します。

ADCの実効分解能(又は実効ビット数)は、分解能をSNRに変換する式を次のように変形することによって得られます。 $N = (\text{SINAD} - 1.76)/6.02$ (「標準動作特性」を参照)。

全高調波歪み

全高調波歪み(THD)は、入力信号の全ての高調波(DC以上でサンプルレートの1/2以下の周波数帯域内)のRMS和の、基本周波に対する比です。これは次式で計算されます。

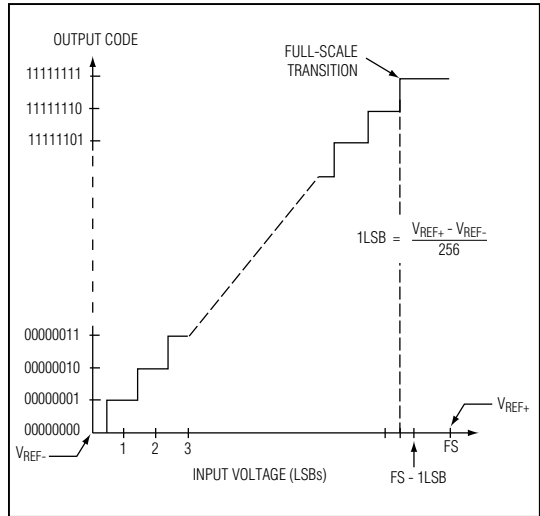


図10. 伝達関数

$$\text{THD} = 20\log \left[\frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + \dots + V_N^2}}{V_1} \right]$$

ここで、 V_1 は基本周波数のRMS振幅、 $V_2 \sim V_N$ は2次～N次の高調波の振幅です。

スプリアスフリーのダイナミックレンジ

スプリアスフリーのダイナミックレンジ(SFDR)は、基本周波数のRMS振幅と、次に大きな(DC以上でサンプルレートの1/2以下の周波数帯域内にある)スペクトル成分の振幅の比です。通常、このピークは入力周波数の高調波です。しかし、ADCの線形性が非常に良い場合には、ADCのノイズフロア内のランダムピークとしてのみ現れます。「標準動作特性」の信号対雑音比のグラフを参照してください。

+5V、1MSPS、4/8チャンネル 8ビットADC、1 μ Aパワーダウン付

型番(続き) _____

チップ情報 _____

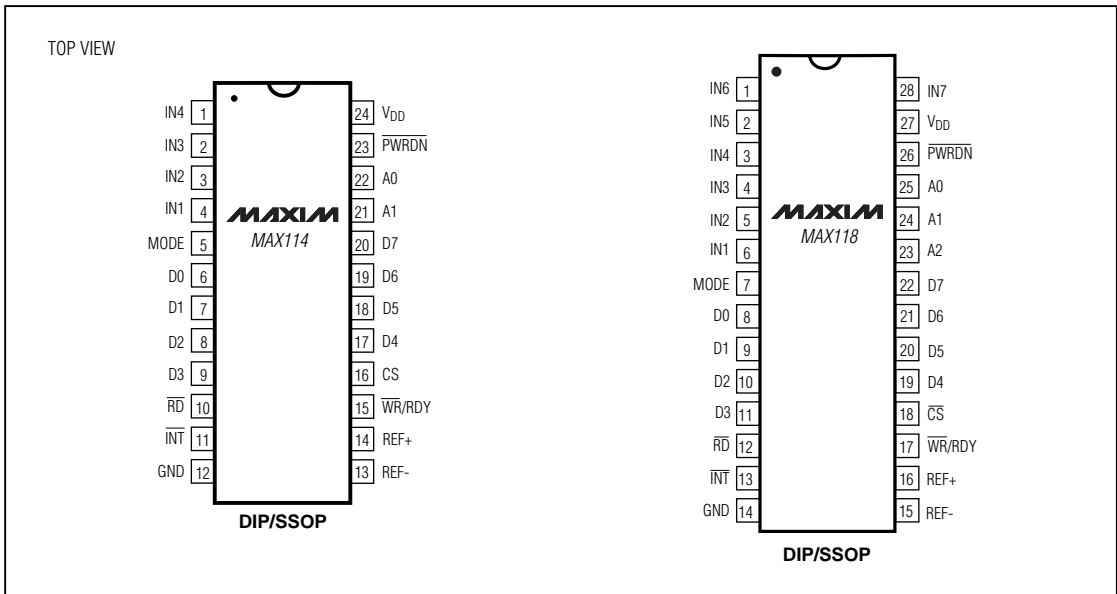
PART	TEMP. RANGE	PIN-PACKAGE
MAX118CPI	0°C to +70°C	28 Wide Plastic DIP
MAX118CAI	0°C to +70°C	28 SSOP
MAX118C/D	0°C to +70°C	Dice*
MAX118EPI	-40°C to +85°C	28 Wide Plastic DIP
MAX118EAI	-40°C to +85°C	28 SSOP
MAX118MJI	-55°C to +125°C	28 Wide CERDIP**

TRANSISTOR COUNT: 2011

*Dice are specified at $T_A = +25^\circ\text{C}$, DC parameters only.

**Contact factory for availability.

ピン配置 _____



販売代理店

マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**