

# MAX105評価キット

## 概要

MAX105評価キット(EVキット)は、完全実装試験済みの回路基板で、MAX105デュアルチャネル6ビット(800Msps)、又はMAX107デュアルチャネル6ビット(400Msps)高速アナログトゥデジタルコンバータ(ADC)の性能評価に必要な部品すべてを内蔵しています。MAX105 ADCは差動又はシングルエンドのアナログ入力を処理できます。EVキットでは、どちらのタイプの信号を用いてもADCを評価できます。ADCが発生するデジタル出力は、ユーザが準備した高速ロジックアナライザ又はデータ収集システムにより容易にサンプリングできます。EVキットはMAX105が実装された状態で供給されます。MAX107を評価するには、MAX105をMAX107で置き換えて下さい。

## 部品リスト

DESIGNATION	QTY	DESCRIPTION
C1, C5, C9, C13, C16, C18, C20, C22	8	47pF ±10%, +50V COG ceramic capacitors (0402) Murata GRM36COG470K050AD
C2, C6, C10, C14, C15, C17, C19, C21, C24–C28, C30	14	0.01µF ±10%, +16V X7R ceramic capacitors (0402) Murata GRM36X7R103K016AD
C3, C4, C7, C8, C11, C12	6	100pF ±5%, +50V COG ceramic capacitors (0402) Murata GRM36COG101J050AD
C23, C29	2	10µF ±10%, +25V tantalum capacitors (CASE D) AVX TAJD106K025R
L1–L4	4	Ferrite beads 600Ω at 100MHz, 500mA, 0.3Ω DCR Murata BLM21A601R
R1–R6	6	51.1Ω ±1% resistors (0402)
R7–R32	26	100Ω ±1% resistors (0402)
J1–J6	6	SMA connectors (edge-mounted)
JU1, JU2	0	Not installed 2-pin headers
JU4–JU55	52	2-pin headers
JU3	0	Not installed 3-pin header
AVCC, AGND, OVCC, OGND	4	Test point hooks
U1	1	MAX105ECS (80-pin TQFP-EP)
None	1	MAX105 PC board
None	1	MAX105 data sheet
None	1	MAX105 EV kit data sheet

## 特長

- ◆ 2つの整合した6ビット800Msps ADC
- ◆ 入力信号範囲：0.8V<sub>p-p</sub>
- ◆ デマルチプレクサによる差動LVDS出力
- ◆ デジタル出力へのロジックアナライザ接続が容易な角ピンヘッダ
- ◆ 互いに独立したアナログとデジタル電源及びグランド接続を有する4層プリント基板
- ◆ MAX105を搭載し、完全実装試験済み

## 型番

PART	TEMP. RANGE	IC PACKAGE
MAX105EVKIT	0°C to 70°C	80 TQFP-EP*

\* エクスポーズドパッド

## ADC選択表

PART	SPEED (Msps)
MAX105ECS	800
MAX107ECS	400

## 部品メーカー

SUPPLIER	PHONE	FAX
AVX	803-946-0690	803-626-3123
Murata	814-237-1431	814-238-0490

注記：上記部品メーカーに問い合わせる際には、MAX105を使用していることを明示して下さい。

# MAX105評価キット

## クイックスタート

### 試験機器

- DC電源：  
デジタル+3.3V、510mA  
アナログ+5.0V、350mA
- 位相ノイズの小さい入クロック発生器(例えば、HP8662A、HP8663A、又は同等品)
- アナログ入力信号発生器2台(例えば、HP8662A、HP8663A、又は同等品)
- ロジックアナライザ又はデータ収集システム(例えば、HP16500Cシリーズ、HP16517A 1.25Gbpsシングルエンド評価用状態モジュール)
- ユーザ選択のアナログバンドパスフィルタ(例えば、TTEバンドパス楕円フィルタ、又は同等品)
- デジタルポルトメータ
- バラン(例えば、MA/COM H-9-SMA)
- SMAコネクタによる50Ωターミネータ

MAX105EVキットは、完全実装試験済みの表面実装基板です。基板の取扱いについては以下のステップに従って下さい。すべての接続が終了するまで、電源を入れたりファンクションジェネレータをイネーブルしたりしないで下さい。

- 1) バランを経由して低位相ジッタの信号発生器をクロック入力CLK+とCLK-に接続します(図1)。シングルエンドクロック入力の場合は(図2)、振幅が500mV(354mV<sub>RMS</sub>+4dBm)の信号を信号発生器からCLK+入力に接続し、使用しないCLK-入力を50Ωの終端抵抗器でAGNDに終端します。
- 2) 差動動作の場合は、(380mV、270mV<sub>RMS</sub>(FS約0.5dB)正弦波試験信号をバランのコネクタAに接続します。バランのコネクタBを50Ωのターミネータで終端します。バランのコネクタCをアナログ入力VINI+(VINQ+)に接続します。バランのコネクタDをアナログ入力VINI-に接続します(図1)。シングルエンド動作の場合は、試験信号をVINI+(VINQ+)又はVINI-(VINQ-)のどちらかに加え、使用しない入力を50Ωの抵抗器でAGNDに終端します(図2)。最良の結果を得るには、重要な周波数に合わせて設計した狭帯域フィルタを用いて信号発生器の高調波歪みを低減します。
- 3) VINI及び/又はVINQ信号発生器をクロック発生器に位相ロックさせます。
- 4) HP16500などのロジックアナライザをHP16517プラグインモジュールと接続して、MAX105のI又は

Qチャンネルを監視します。ポッドレットがグランドに対してシングルエンド構成になっているため、場合によっては100Ωの終端抵抗器R7-R32を取り外してロジック信号のスイングを増加させる必要があることに注意して下さい。反射は、バック終端LVDSドライバにより吸収されます。

**注記：**IとQの両チャンネルを同時に監視するには、2つの状態モジュールが必要です。

- 5) ロジックアナライザのクロックをEVキットのDREADY+出力に接続して、ロジックアナライザがDREADY+信号の立下りエッジでトリガするように設定します。
- 6) +5V電源をAV<sub>CC</sub>というマークの付いたパッドに接続します。電源のグランドをAGNDというマークの付いたパッドに接続します。  
**注記：**MAX105には、互いに独立のAV<sub>CC</sub>IとAV<sub>CC</sub>Qの電源端子があります。
- 7) +3.3V電源をOV<sub>CC</sub>というマークが付いたパッドに接続します。電源のグランドをOGNDというマークの付いたパッドに接続します。AGNDとOGNDを電源と一緒に接続します。  
**注記：**MAX105には、互いに独立したOV<sub>CC</sub>IとOV<sub>CC</sub>Qの電源端子があります。
- 8) 両方の電源を入れ、続いて信号源の電源を入れます。ロジックアナライザを用いてMAX105から数値化された出力を取り込み、このデジタル記録をデータ解析用のPCに転送します。

## 詳細

MAX105EVキットは、800MHz(MAX107では400MHz)の最大クロック周波数でMAX105デュアルチャンネル、6ビットADCの性能の評価に使用します。MAX105 ADCは、差動又はシングルエンドのアナログ入力とクロック入力を処理できます。バランを利用すると、シングルエンドアナログ信号から差動信号をEVキットに対して発生することができます。

EVキットのプリント基板は、4層基板を使用して設計されており、MAX105の性能を50Ω環境で最適化しています。アナログとデジタルの各グランドプレーンを分離することにより、アナログ信号とデジタル信号のノイズ結合を最小にしています。EVキットには、アナログ電力プレーンに印加する+5.0V電源とデジタル電力プレーンに印加する+3.3V電源が必要です。出力には、基板周囲全体に設けられた2本のピンヘッダ(表1)からアクセスします。プリント基板最上層のシルクスクリーンには、部品の参照図が示されています。

表1. LVDS出力と機能の説明

LVDS OUTPUT SIGNALS	EV KIT HEADER LOCATION	FUNCTIONAL DESCRIPTION
P5I+, P5I- (MSB) P4I+, P4I- P3I+, P3I- P2I+, P2I- P1I+, P1I- P0I+, P0I- (LSB)	JU52, JU53 JU48, JU49 JU44, JU45 JU12, JU13 JU40, JU41 JU36, JU37	Primary in-phase differential outputs from MSB to LSB. "+" indicates the true value, "-" denotes the complementary outputs
A5I+, A5I- (MSB) A4I+, A4I- A3I+, A3I- A2I+, A2I- A1I+, A1I- A0I+, A0I- (LSB)	JU54, JU55 JU50, JU51 JU46, JU47 JU18, JU19 JU42, JU43 JU38, JU39	Auxiliary in-phase differential outputs from MSB to LSB. "+" indicates the true value, "-" denotes the complementary outputs
P5Q+, P5Q- (MSB) P4Q+, P4Q- P3Q+, P3Q- P2Q+, P2Q- P1Q+, P1Q- P0Q+, P0Q- (LSB)	JU6, JU7 JU10, JU11 JU16, JU17 JU22, JU23 JU27, JU26 JU31, JU30	Primary quadrature differential outputs from MSB to LSB. "+" indicates the true value, "-" denotes the complementary outputs
A5Q+, A5Q- (MSB) A4Q+, A4Q- A3Q+, A3Q- A2Q+, A2Q- A1Q+, A1Q- A0Q+, A0Q- (LSB)	JU4, JU5 JU8, JU9 JU14, JU15 JU20, JU21 JU25, JU24 JU29, JU28	Auxiliary quadrature differential outputs from MSB to LSB. "+" indicates the true value, "-" denotes the complementary outputs
DOR+, DOR-	JU33, JU32	Out-of-range signal's true and complementary outputs
DREADY+, DREADY-	JU34, JU35	Data Ready LVDS output latch clock. Output data changes on the rising edge of DREADY+

## 電源

最良の性能を得るためには、MAX105EVキットのアナログ電源とデジタル電源を分離する必要があります。ADCのデジタル部(OVCC)への給電には+3.3V(10%電源を使用します。ADCのアナログ部(AVCC)への給電には独立の+5.0V(5%電源を使用します。フェライトビーズを用いてアナログ電源の高周波ノイズを除去しています。フェライトビーズは、100MHzでのインピーダンスが600Ωです。

## クロック

クロック信号CLK±は、SMAコネクタJ3とJ4からAC結合されます。DCバイアスレベルは、内部でリファレンス電圧に設定されます。MAX105のクロック入力抵抗は5kΩです。ただし、EVキットのクロック入力抵抗は、外部抵抗器により50Ωに設定されます。AC結合の差動正弦波信号をCLK±のSMAコネクタに印加することが

できます(図3)。この信号は1.4V<sub>REF</sub>の振幅を超えてはなりません。標準クロック周波数は、MAX105の場合800MHzです(MAX107の場合400MHz)。

## I/Q入力信号

入力信号はAC結合されています。DCバイアスレベルは、内部でリファレンス電圧V<sub>REF</sub>に設定されます。MAX105のアナログ入力抵抗は、各入力とも2kΩです。ただし、EVキットのI/Q入力抵抗は、外部抵抗器により50Ωに設定します。シングルエンド動作では、アナログ入力の1つに信号を印加し、もう一方のコンプリメンタリ入力を50Ωの抵抗器でグラウンドに終端して下さい。

**注記：**差動信号をADCに印加する時、ADCの正と負の入力端子が、それぞれバランに供給された入力信号の半分を受け取ります。+2.5Vのコモンモード電圧がデバイス内で発生しますが、これはAC結合コンデンサで阻止されます。

# MAX105評価キット

## リファレンス

内蔵のリファレンスは公称出力が+2.5Vです。この電圧は、ADCコア内の抵抗器ラダーを駆動するために処理されます。バッファを通したリファレンス電圧もアナログ入力のDCバイアス電圧として利用できます。

## デマルチプレクシングとLVDS出力

各ADCは、800MHzの6つの差動出力(2の補数コード)を備えており、これは内蔵デマルチプレクサの後に400MHzの12差動出力にファンアウトされます。低電源電圧のCMOS DSPチップとインタフェースするために、すべての出力をLVDS対応の電圧レベルにしてあります。LVDS出力は、コモンモードが約1.25Vで、差動で約±270mVまでスイングします。差動出力インピーダンスはおよそ100Ωです。詳しくは、IEEE規格1596.3を参照して下さい。

\* 注記：HP16500CとHP16517A高速状態モジュールを用いたシングルエンドデータ収集の場合に出力信号のスイングを大きくするには、すべての100Ω終端抵抗器(R7-R32)を取り外します。

## アウトオブレンジ(DOR)信号

アウトオブレンジ信号(DOR+、DOR-)は、I又はQのいずれかの入力(FS未満である時や+FSを超えた時、ハイフラグを立てます。アウトオブレンジ信号はADC出力データと待ち時間が同じであるか、あるいは同じようにデマルチプレクスされます。800MHzシステムでは、DOR+とDOR-に400MHzのクロックが使われます。

## データレディ(DREADY)出力

シングルエンドのデータ収集モードでは、ロジックアナライザのクロックインタフェースをEVキットのヘッダJU34又はJU35のDREADY出力に接続します。主と補助の両出力はDREADYの立上りエッジで変化するので、ロジックアナライザを立下りエッジでトリガするように設定します。DREADYとデータ出力は、内部において時系列で配列されていて、有効データウインドウのほぼ中央にDREADYの立下りエッジを配置し、ロジックアナライザに対するセットアップ時間とホールド時間が最大になるようにしています。

表2. MAX105EVキットの各層

LAYER	DESCRIPTION
Layer I, Top Layer	Components, Headers, Connectors, Test Pads, AVCC, OVCC, AGND, OGND, Analog 50Ω microstrip lines. 100Ω Termination Resistors
Layer II, Ground Plane	AGND, AGNDI, AGNDQ, AGNDR, OGND, OGNDI, OGNDQ
Layer III, Power Plane	AVCC, AVCCl, AVCCQ, AVCCR, OVCC, OVCCl, OVCCQ
Layer IV, Bottom Layer	AGND, Components

## 基板レイアウト

MAX105EVキットは、4層プリント基板設計を採用し(図4)、高速信号に対して最適化してあります。基板は、比誘電率が3.9( $\epsilon_R=3.9$ )の低損失GETekコア材で製作されています。MAX105EVキット基板に使用されているGETek材は、高周波特性と熱特性が標準FR4基板材料と比べて優れています。高速信号はすべて、差動マイクロストリップ伝送ラインを用いて配線されています。

## 特殊レイアウトの検討

基板のレイアウトでは、回路のアナログ部分とデジタル部分を分離するために特に注意を払っています。すべてのデジタルLVDS出力の場合と同様に、アナログ及びクロック入力には50Ωのマイクロストリップ伝送ラインを使用しています。電源プレーンは、複数のストリップに分離して回路の各部(例えば、AVCClとAVCCQ、又はOVCClとOVCCQ)間を絶縁しています。すべての差動出力は、真とコンプリメンタリの各デジタル出力の間を100Ωの終端抵抗器で適切に終端してあります。

プリント基板は、50Ωのマイクロストリップラインのトレース長をできる限り合わせるために円形にしています。50Ωのマイクロストリップラインの電気的長さは、数ps以内で合わせてレイアウトに依存する遅延を最小限に抑えています。MAX105EVキット基板の伝播遅延は約130ps/inchです。

差動マイクロストリップのライン幅は2.5milで、グランドプレーンの高さは標準GETekコアの厚さと同じ14milです。表2は、EVキットのプリント基板の各層を示します。

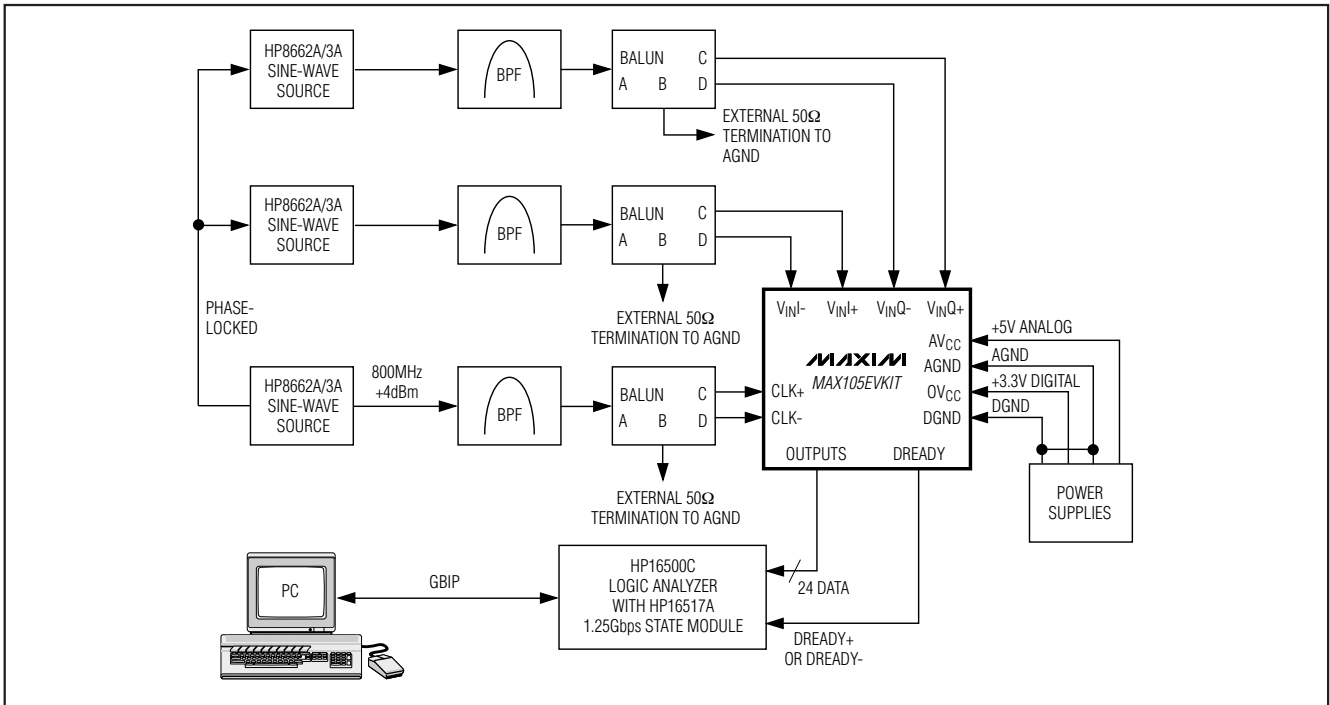


図1. 差動アナログ入力、差動クロック駆動、シングルエンドデータ収集の標準評価設定

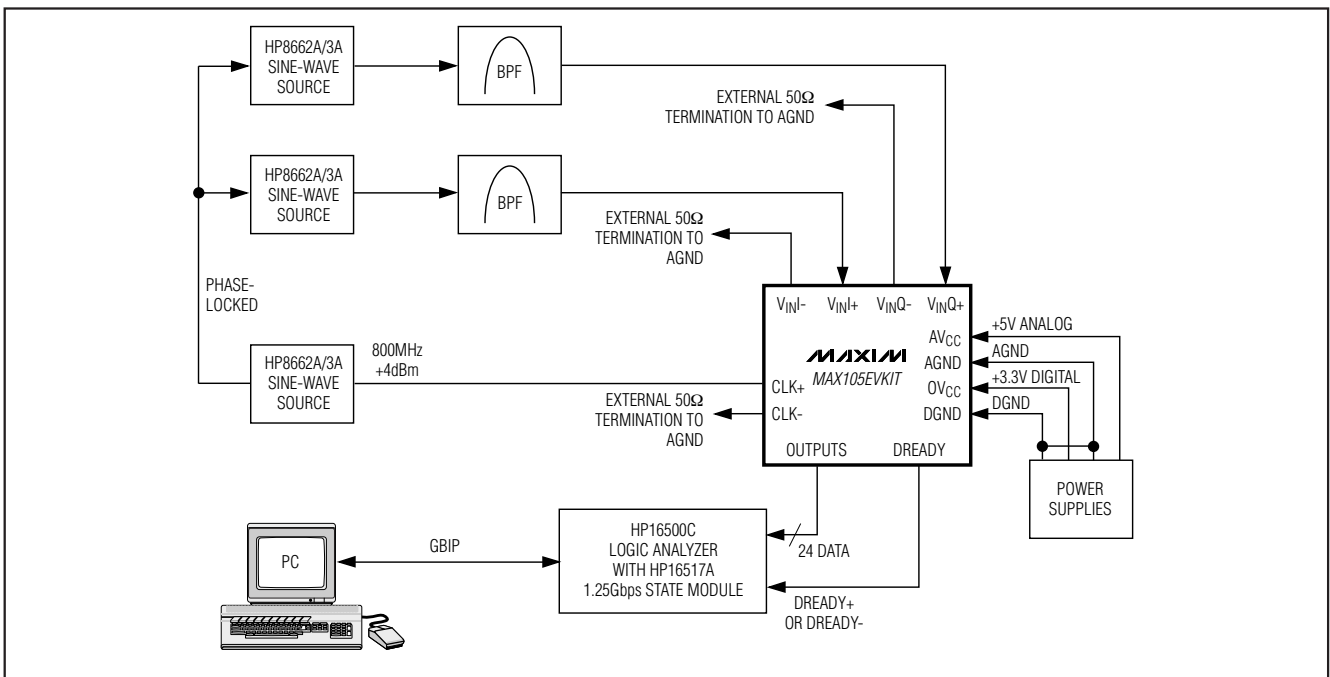


図2. シングルエンドアナログ入力、シングルエンドクロック駆動、シングルエンドデータ収集の標準評価設定

# MAX105評価キット

Evaluates: MAX105/MAX107

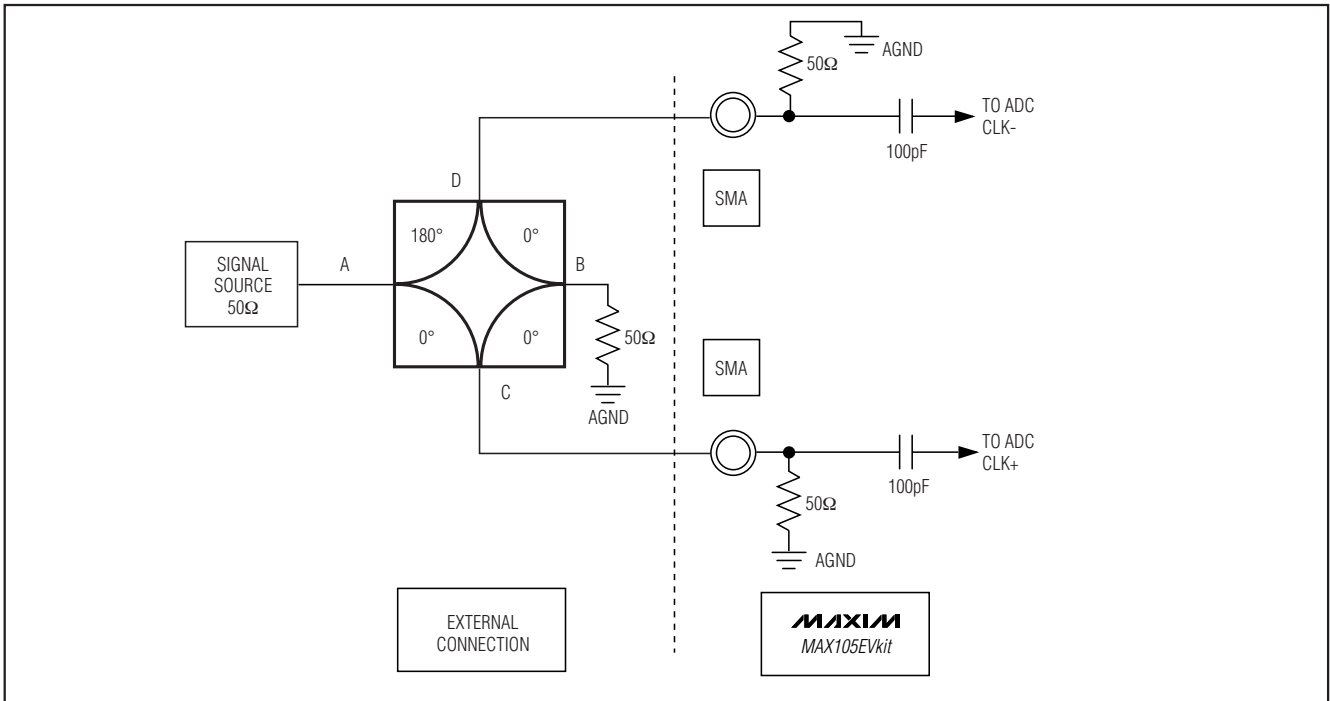


図3. AC結合、差動クロック駆動

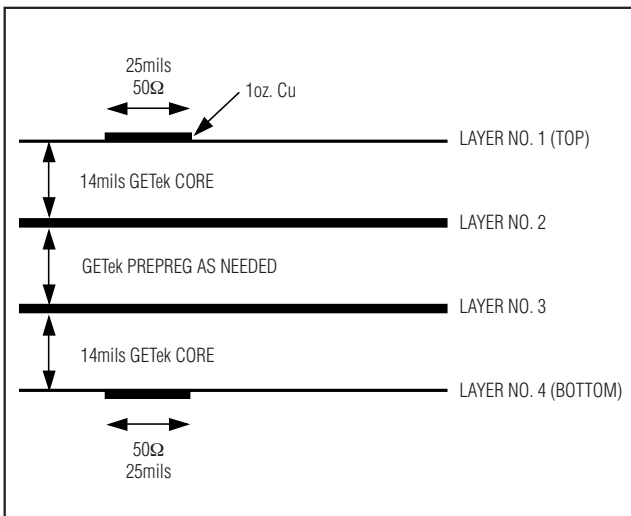


図4. プリント基板スタッキング

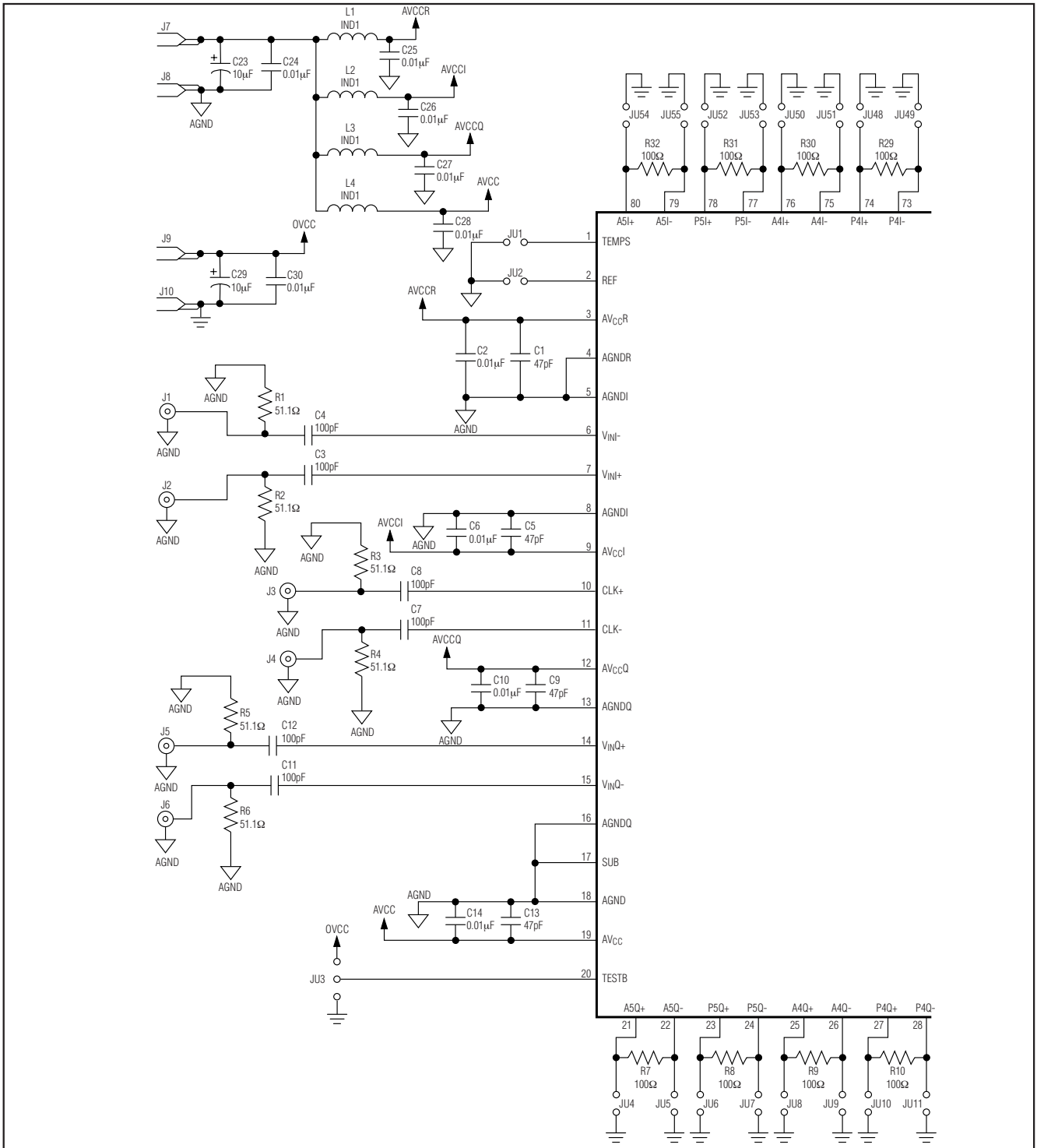


図5a. MAX105EVキットの概略図

# MAX105評価キット

Evaluates: MAX105/MAX107

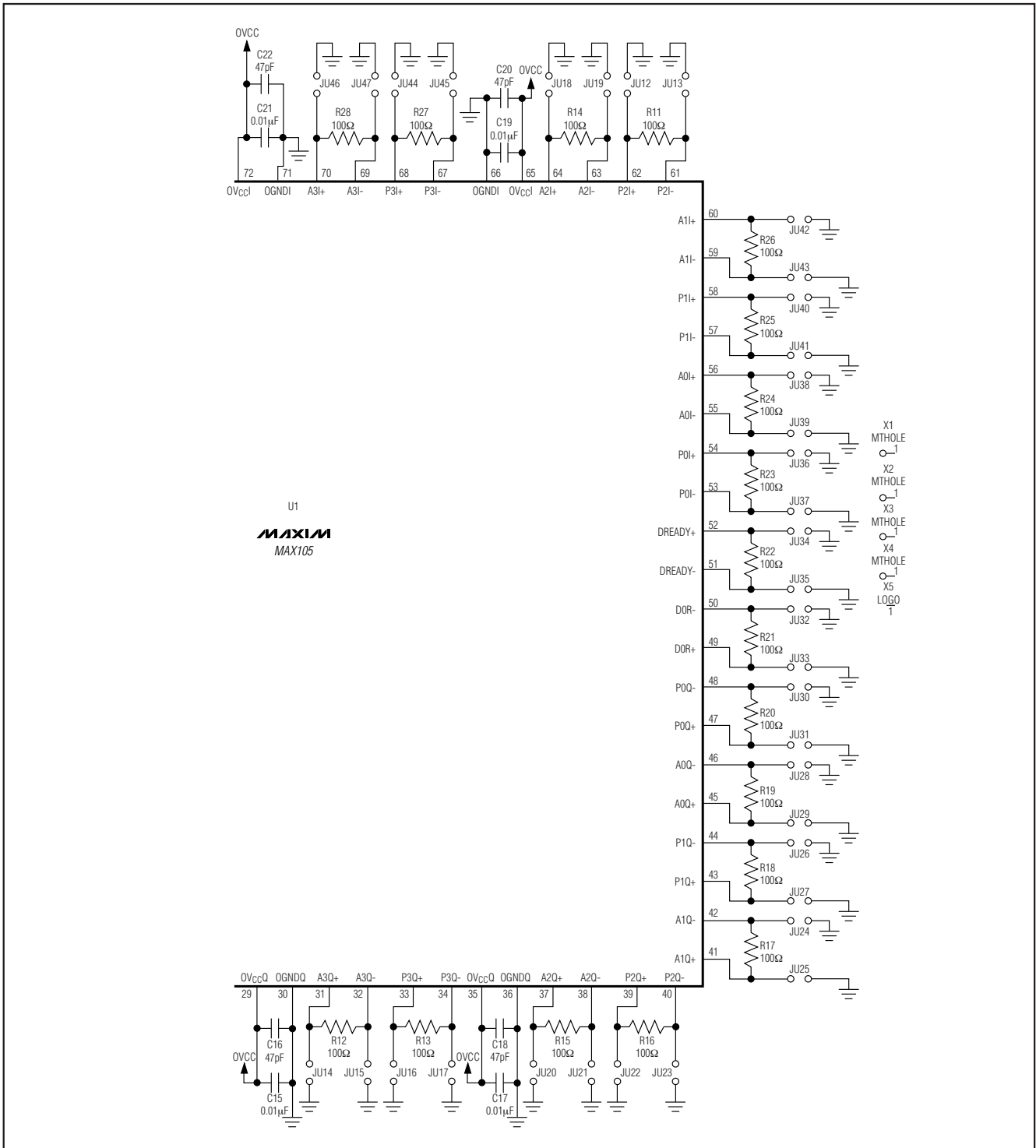


図5b. MAX105EVキットの概略図(続き)

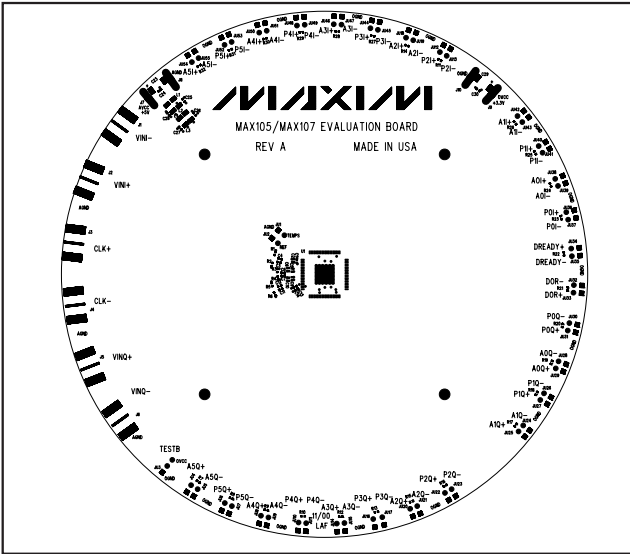


図6. MAX105EVキットの部品配置ガイド(部品面側)

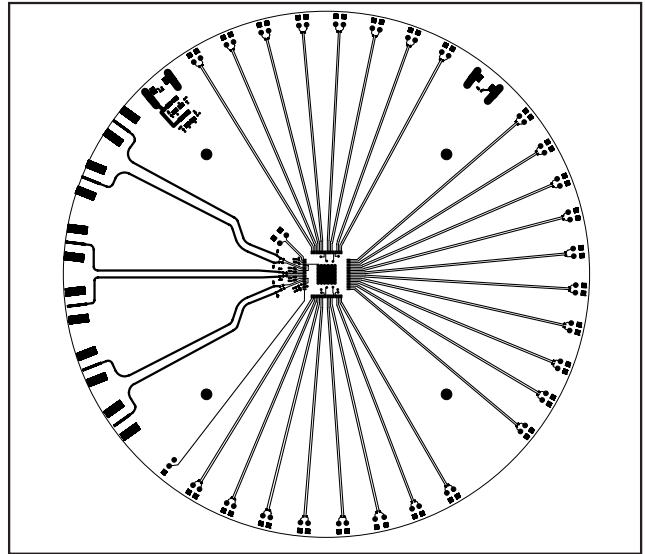


図7. MAX105EVキットのプリント基板レイアウト(部品面側)

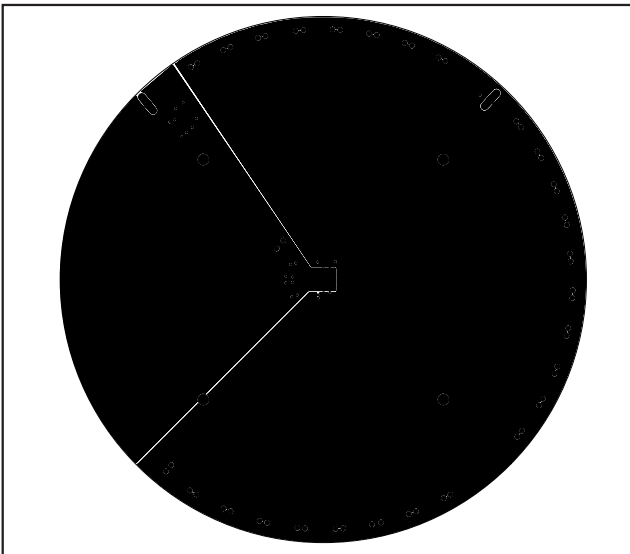


図8. MAX105EVキットのプリント基板レイアウト(内層、グランドプレーン)

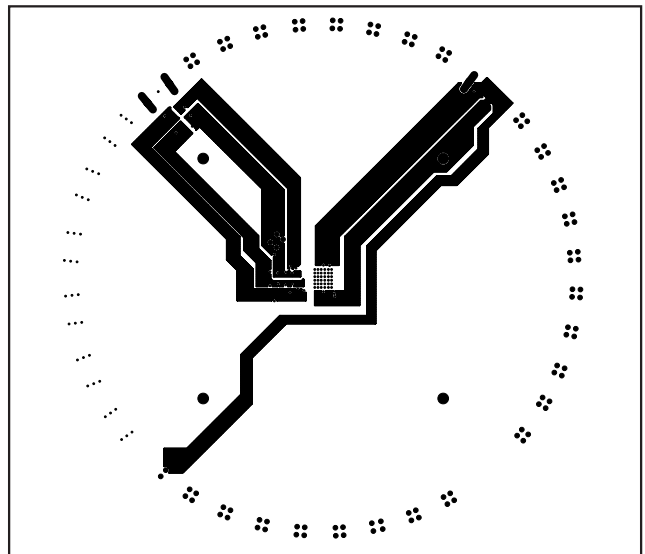


図9. MAX105EVキットのプリント基板レイアウト(内層、電源プレーン)

# MAX105評価キット

Evaluates: MAX105/MAX107

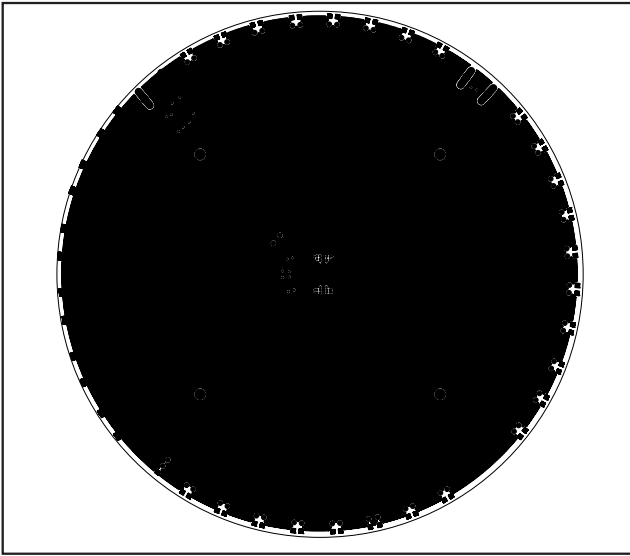


図10. MAX105EVキットのプリント基板レイアウト (はんだ面側)

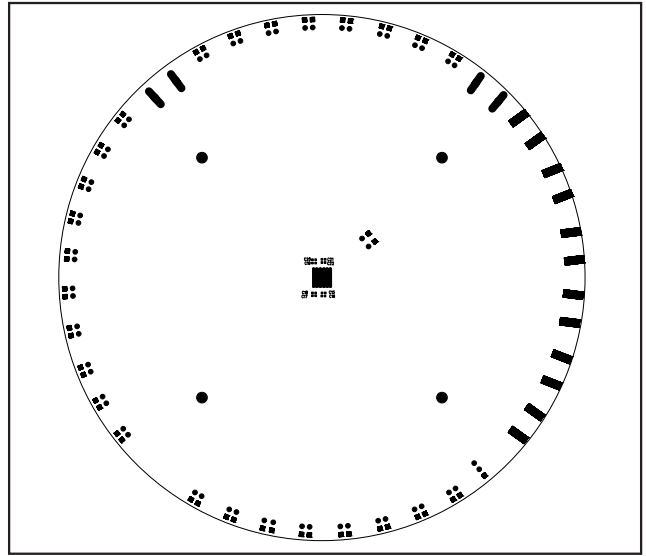


図11. MAX105EVキットの部品配置ガイド (はんだ面側)

マキシム・ジャパン株式会社

〒169-0051東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

10 \_\_\_\_\_ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2001 Maxim Integrated Products, Inc. All rights reserved.

**MAXIM** is a registered trademark of Maxim Integrated Products.