

500Msps、トラック/ホールド内蔵8ビットADC

概要

ECL対応の500Msps、8ビット、アナログ-デジタルコンバータ(ADC) MAX101Aによって、DC~250MHz (ナイキスト周波数)のアナログ信号を正確にデジタル化することができます。トラック/ホールド(T/H)によって駆動されるデュアルモノリシックコンバータは、反転クロックエッジ(タイムインタリーブ)で動作します。マキシム独自の高度なバイポーラプロセスで設計されたMAX101Aは、高性能のT/Hアンプと2つの量子化器が84ピンのセラミックフラットパックに収納されています。

内蔵T/Hの革新的な設計によって、1.2GHzという極めて広範囲な入力帯域幅と2ps未満のアーチチャ遅延の不確実性が保証され、ナイキスト周波数において7.0という大きな有効ビットが得られています。特殊なコンパレータ出力設計と復号回路によってアウトオブシーケンスコードエラーを低減しています。準安定状態によって生じるおそれのあるエラーコードの確率は、 10^{15} クロックサイクル当りのエラーが1未満に低減されます。また、偽のフルスケール出力やゼロスケール出力を生じるエラーが含まれる可能性のある他のADCとは異なり、MAX101Aではエラーが1LSB未満に維持されます。

アナログ入力は、差動またはシングルエンドで使用することができるように設計されており、範囲は $\pm 250\text{mV}$ です。リファレンス入力用の検知ピンによって入力範囲のフルスケールキャリブレーションが可能となります。あるいは、レシオメトリック用途でこのピンを使用することもできます。

位相調整を利用することで、コンバータハーフの相対サンプリングを調整してコンバータの性能を最適化することができます。入力クロックの位相整合も可能で、複数のMAX101Aをインタリーブすることで高効率のサンプリングレートを得ることができます。

特長

- ◆ 変換速度：500Msps
- ◆ 標準有効ビット：7.0 (250MHz)
- ◆ アナログ入力帯域幅：1.2GHz
- ◆ INL： $\pm 1/2\text{LSB}$ 未満
- ◆ 50Ω の差動またはシングルエンド入力
- ◆ 入力信号範囲： $\pm 250\text{mV}$
- ◆ レシオメトリックリファレンス入力
- ◆ デュアルラッチの出力データ経路
- ◆ 低エラーレート、 10^{-15} 未満の準安定状態
- ◆ 84ピンセラミックフラットパック

アプリケーション

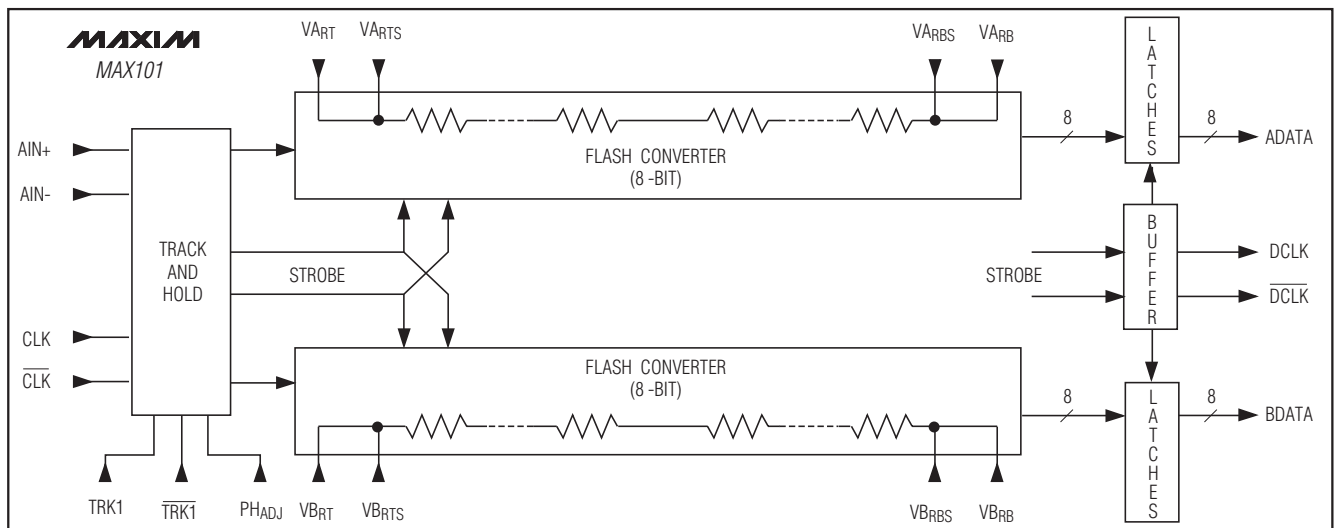
高速デジタル計測
高速信号処理
医療システム
レーダ/信号処理
高エネルギー物理学
通信

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX101ACFR*	0°C to $+70^{\circ}\text{C}$	84 Ceramic Flat Pack (with heatsink)

*ヒートシンクのない84ピンセラミックフラットパックについてはお問い合わせください。

ファンクションダイアグラム



500Msps、トラック/ホールド内蔵8ビットADC

MAX101A

ABSOLUTE MAXIMUM RATINGS

Supply Voltages (Note 1)	DIV10 Input Voltage (V_{IH} , V_{IL})..... V_{EE} to 0V
V_{CC}0V to +7V	Output Current, ($I_{OUT(max)}$)
V_{EE}-7V to 0V	$T_J < 100^\circ\text{C}$14mA
$V_{CC} - V_{EE}$+12V	$100^\circ\text{C} < T_J < 120^\circ\text{C}$12mA
Analog Input Voltage..... $\pm 2\text{V}$	Operating Temperature Range..... 0°C to $+70^\circ\text{C}$
Reference Voltage (V_{ART} , V_{BRT}).....-0.3V to +1.5V	Operating Junction Temperature (Note 2)..... 0°C to $+120^\circ\text{C}$
Reference Voltage (V_{ARB} , V_{BRB}).....-1.5V to +0.3V	Storage Temperature Range..... -65°C to $+150^\circ\text{C}$
Clock Input Voltage (V_{IH} , V_{IL}).....-2.3V to 0V	Lead Temperature (soldering, 10sec)..... $+250^\circ\text{C}$

Note 1: The digital control inputs are diode protected. However, limited protection is provided on other pins. Permanent damage may occur on unconnected units under high-energy electrostatic fields. Keep unused units in supplied conductive carrier or shunt the terminals together.

Note 2: Typical thermal resistance, junction-to-case $R_{\theta JC} = 5^\circ\text{C/W}$ and thermal resistance, junction to ambient (MAX101ACFR) $R_{\theta JA} = 12^\circ\text{C/W}$, if 200 lineal ft/min airflow is provided. See *Package Information*.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{EE} = -5.2\text{V}$, $V_{CC} = +5\text{V}$, $R_L = 100\Omega$ to -2V, V_{ART} , $V_{BRT} = 0.95\text{V}$, V_{ARB} , $V_{BRB} = -0.95\text{V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted. T_{MIN} to $T_{MAX} = 0^\circ\text{C}$ to $+70^\circ\text{C}$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
ACCURACY							
Resolution				8			Bits
Integral Nonlinearity (Note 4)	INL	AData, BData	$T_A = +25^\circ\text{C}$			± 0.50	LSB
			$T_A = T_{MIN}$ to T_{MAX}			± 0.75	
Differential Nonlinearity	DNL	AData, BData, no missing codes	$T_A = +25^\circ\text{C}$			± 0.75	LSB
			$T_A = T_{MIN}$ to T_{MAX}			± 0.85	
DYNAMIC SPECIFICATIONS							
Effective Bits	ENOB	$f_{CLK} = 500\text{MHz}$, $V_{IN} = 95\%$ full scale (Note 5)	$f_{AIN} = 10\text{MHz}$		7.6		Bits
			$f_{AIN} = 125\text{MHz}$		7.1		
			$f_{AIN} = 250\text{MHz}$		6.7	7.0	
Signal-to-Noise Ratio	SNR	$f_{AIN} = 125\text{MHz}$, $f_{CLK} = 500\text{MHz}$, $V_{IN} = 95\%$ full scale (Note 6)			44.5		dB
Maximum Conversion Rate	f_{CLK}	(Note 7)		500			Msp/s
Analog Input Bandwidth	BW_{3dB}				1.2		GHz
Aperture Width	t_{AW}	Figure 4			270		ps
Aperture Delay	t_{AD}	Figure 4			1		ns
Aperture Jitter	t_{AJ}	Figure 4			2		ps
ANALOG INPUT							
Input Voltage Range	V_{IN}	AIN+ to AIN-, Table 2, $T_A = T_{MIN}$ to T_{MAX}	Full scale	205		290	mV
			Zero scale	-290		-205	
Input Offset Voltage	V_{IO}	AIN+, AIN-, $T_A = T_{MIN}$ to T_{MAX}		-23		23	mV
Least Significant Bit Size	LSB	$T_A = T_{MIN}$ to T_{MAX}		1.65		2.35	mV
Input Resistance	R_I	AIN+, AIN-, to GND		49		51	Ω
Input Resistance Temperature Coefficient					0.008		$\Omega/^\circ\text{C}$

500Msps、トラック/ホールド内蔵8ビットADC

MAX101A

ELECTRICAL CHARACTERISTICS (continued)

($V_{EE} = -5.2V$, $V_{CC} = +5V$, $R_L = 100\Omega$ to $-2V$, V_{ART} , $V_{BRT} = 0.95V$, V_{ARB} , $V_{BRB} = -0.95V$, $T_A = +25^\circ C$, unless otherwise noted. T_{MIN} to $T_{MAX} = 0^\circ C$ to $+70^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE INPUT						
Reference String Resistance	R_{REF}	V_{ART} to V_{ARB}	100		190	Ω
Reference String Resistance Temperature Coefficient				0.02		$\Omega/^\circ C$
LOGIC INPUTS						
Digital Input Low Voltage	V_{IL}	CLK, \overline{CLK} , $T_A = T_{MIN}$ to T_{MAX}			-1.50	V
Digital Input High Voltage	V_{IH}	CLK, \overline{CLK} , $T_A = T_{MIN}$ to T_{MAX}	-1.1			V
Digital Input High Current	I_{IH}	$DIV10 = 0V$, $T_A = T_{MIN}$ to T_{MAX}	1.1		3.1	mA
Input Bias Current	I_B	$PH_{ADJ} = 0V$, $T_A = T_{MIN}$ to T_{MAX}	-40		40	μA
Clock Input Bias Current	I_{CLK}	$CLK, \overline{CLK} = -0.8V$ (no termination), $T_A = T_{MIN}$ to T_{MAX}	-50		50	μA
LOGIC OUTPUTS (Note 8)						
Digital Output Low Voltage	V_{OL}	AData, BData	$T_A = +25^\circ C$	-1.95	-1.60	V
			$T_A = T_{MIN}$ to T_{MAX}	-1.95	-1.50	
		DCLK, \overline{DCLK}	$T_A = +25^\circ C$	-1.3	-1.00	
			$T_A = T_{MIN}$ to T_{MAX}	-1.4	-0.9	
Digital Output High Voltage	V_{OH}	AData, BData, DCLK, \overline{DCLK}	$T_A = +25^\circ C$	-1.02	-0.70	V
			$T_A = T_{MIN}$ to T_{MAX}	-1.10	-0.60	
Digital Output Voltage	$V_{OH} - V_{OL}$	DCLK, \overline{DCLK} , $T_A = T_{MIN}$ to T_{MAX}	275		445	mV
POWER REQUIREMENTS						
Positive Supply Current	I_{VCC}	$V_{CC} = 5.0V$	$T_A = +25^\circ C$	415	855	mA
			$T_A = T_{MIN}$ to T_{MAX}		910	
Negative Supply Current	I_{VEE}	$V_{EE} = -5.2V$	$T_A = +25^\circ C$	-895	-500	mA
			$T_A = T_{MIN}$ to T_{MAX}	-935		
Common-Mode Rejection Ratio	CMRR	$V_{INCM} = \pm 0.5V$	$T_A = T_{MIN}$ to T_{MAX}	35		dB
Power-Supply Rejection Ratio	PSRR	$T_A = T_{MIN}$ to T_{MAX}	$V_{CC}(nom) = \pm 0.25V$	40		dB
			$V_{EE}(nom) = \pm 0.25V$	40		

500Mps、トラック/ホールド内蔵8ビットADC

MAX101A

TIMING CHARACTERISTICS

($V_{EE} = -5.2V$, $V_{CC} = +5V$, $R_L = 100\Omega$ to $-2V$, V_{ART} , $V_{BRT} = 0.95V$, V_{ARB} , $V_{BRB} = -0.95V$, $T_A = +25^\circ C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
Clock Pulse Width Low	t_{PWL}	CLK, \overline{CLK}		0.9		2.5	ns
Clock Pulse Width High	t_{PWH}	CLK, \overline{CLK}		0.9		2.5	ns
CLK to DCLK Propagation Delay	t_{PD1}	DIV10 = 0, Figures 1 and 2		1.2	2.3	3.4	ns
DCLK to A/BData Propagation Delay	t_{PD2}	DIV10 = 0, Figures 1 and 2		0.7	1.3	1.8	ns
Rise Time	t_R	20% to 80%	DCLK	300			ps
			DATA	500			
Fall Time	t_F	20% to 80%	DCLK	300			ps
			DATA	800			
Pipeline Delay (Latency)	t_{NPD}	Divide-by-1 mode, Figures 2 and 3, Table 1		15		15	Clock Cycles

Note 3: All devices are 100% production tested at $+25^\circ C$ and are guaranteed by design for $T_A = T_{MIN}$ to T_{MAX} as specified.

Note 4: Deviation from best-fit straight line. See *Integral Nonlinearity* section.

Note 5: See the *Signal-to-Noise Ratio and Effective Bits* section in the *Definitions of Specifications*.

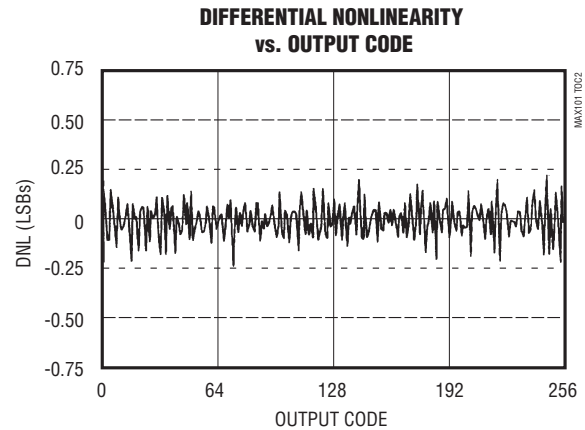
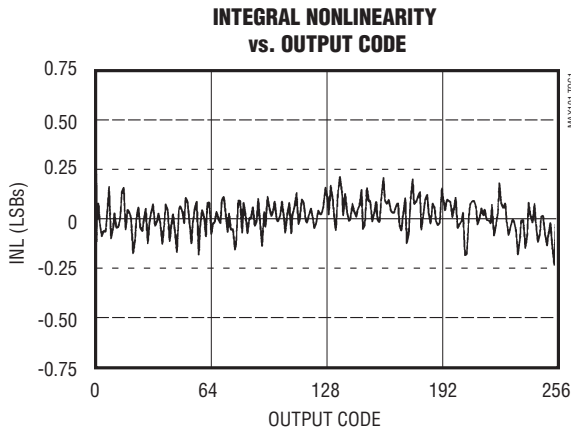
Note 6: SNR calculated from effective bits performance using the following equation: $SNR(dB) = 1.76 + 6.02 \times \text{effective bits}$.

Note 7: Clock pulse width minimum requirements t_{PWL} and t_{PWH} must be observed to achieve stated performance.

Note 8: Outputs terminated through 100Ω to $-2.0V$.

標準動作特性

($V_{EE} = -5.2V$, $V_{CC} = +5V$, $R_L = 100\Omega$ to $-2V$, V_{ART} , $V_{BRT} = 0.95V$, V_{ARB} , $V_{BRB} = -0.95V$, $T_A = +25^\circ C$, unless otherwise noted.)

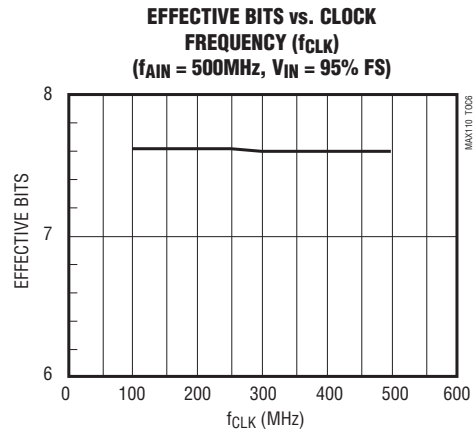
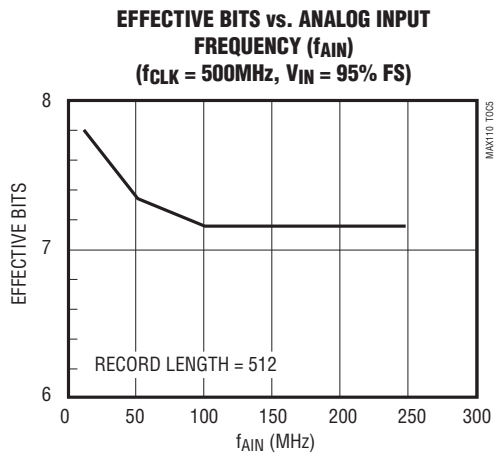
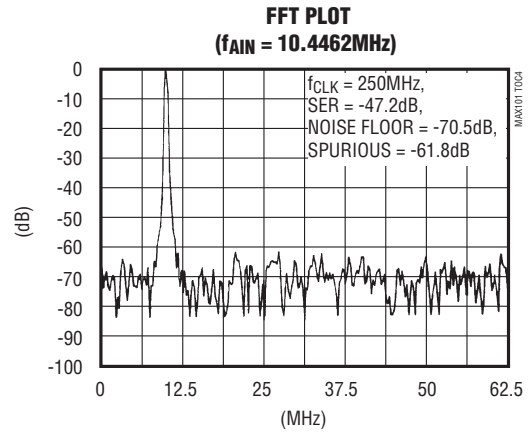
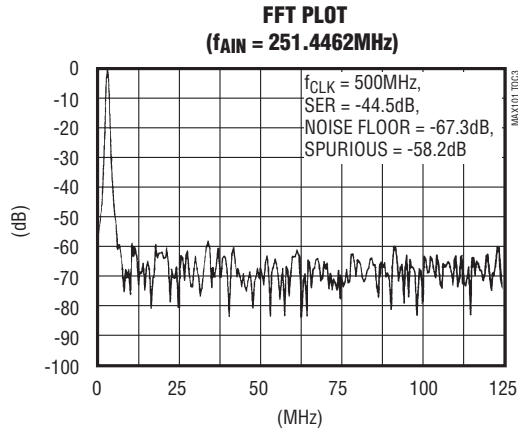


500Mps、トラック/ホールド内蔵8ビットADC

MAX10101A

標準動作特性(続き)

($V_{EE} = -5.2V$, $V_{CC} = +5V$, $R_L = 100\Omega$ to $-2V$, V_{ART} , $V_{BRT} = 0.95V$, V_{ARB} , $V_{BRB} = -0.95V$, $T_A = +25^\circ C$, unless otherwise noted.)

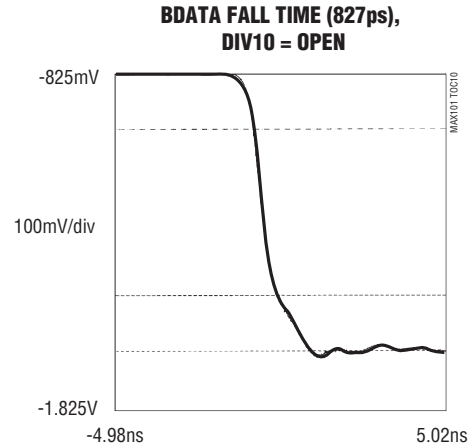
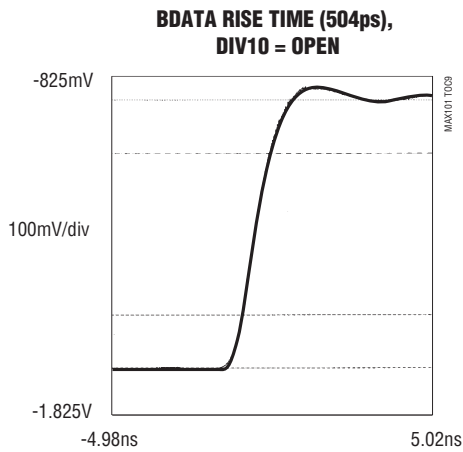
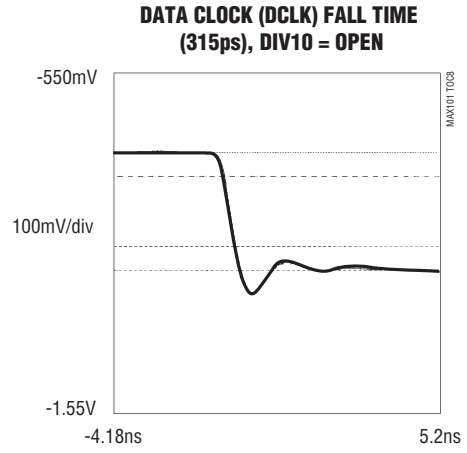
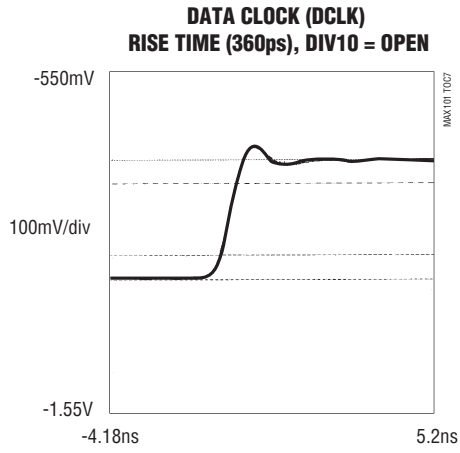


500Msps、トラック/ホールド内蔵8ビットADC

MAX101A

標準動作特性(続き)

($V_{EE} = -5.2V$, $V_{CC} = +5V$, $R_L = 100\Omega$ to $-2V$, V_{ART} , $V_{BRT} = 0.95V$, V_{ARB} , $V_{BRB} = -0.95V$, $T_A = +25^\circ C$, unless otherwise noted.)



500Mps、トラック/ホールド内蔵8ビットADC

端子説明

端子	名称	機能
1	PAD	内部接続。オープンのままにします。
2, 62	CLK	相補差動クロック入力。以下を考慮した上で標準10KH ECLから駆動することができます。すなわち、ピン2と62、および3と61は内部で50Ω伝送ラインの終端になっています。一端を50Ω (-2V)に終端して他端を駆動することができます。「標準動作回路」を参照してください。
3, 61	$\overline{\text{CLK}}$	
4, 7, 15, 18, 24, 27, 30, 34, 37, 40, 46, 49, 57, 60, 64, 67, 68, 70, 71, 74, 77, 78, 79, 82, 84	GND	電源グランド
5, 59	$\overline{\text{TRK1}}$	位相整合入力(通常はオープンのまま)。「アプリケーション情報」の項を参照してください。
6, 58	TRK1	
8, 21, 43, 56, 81	VCC	正の電源。公称+5V ±5%
9	VB _{RB}	[B]側の負のリファレンス電圧入力(注9)
10	VB _{RBS}	[B]側の負のリファレンス電圧検知(注9)
11	TP4	内部接続。オープンのままにします。
12	TP3	内部接続。オープンのままにします。
13	VB _{R_{TS}}	[B]側の正のリファレンス電圧検知(注9)
14	VB _{R_T}	[B]側の正のリファレンス電圧入力(注9)
16, 48, 63	N.C.	接続なし—これらのピンは内部接続されていません。
29	SUB	回路サブストレート接点。このピンは、V _{EE} に接続する必要があります。
31	$\overline{\text{DCLK}}$	相補差動クロック出力。以下の回路の同期化に使用します。すなわち、出力A0~A7は、DCLKの立上りエッジの後に有効になります。B0~B7の出力データは、DCLKの立下りエッジの後に有効になります(出力のタイミング情報については、図1を参照してください)。
33	DCLK	
32, 69, 80	V _{EE}	負の電源。公称-5.2V ±5%
35	DIV10	10による除算モード。通常の動作では、オープンのままにします。グランドに接続するときにはテストモードを選択します。
36, 38, 39, 41, 42, 44, 45, 47	A7-A0	ADataとBDataの出力。A0とB0がLSBで、A7とB7がMSBです。ADataとBDataの出力は、ECLの論理振幅に従っており、100Ωの伝送ラインを駆動します。100Ω (-2V)に終端しています(T _j > +100°Cの場合は120Ω)。図1~3を参照してください。
28, 26, 25, 23, 22, 20, 19, 17	B7-B0	

500Mps、トラック/ホールド内蔵8ビットADC

MAX101A

端子説明(続き)

端子	名称	機能
50	VART	[A]側の正のリファレンス電圧入力(注9)
51	VARTS	[A]側の正のリファレンス電圧検知(注9)
52	TP1	内部接続。オープンのままにします。
53	TP2	内部接続。オープンのままにします。
54	VARBS	[A]側の負のリファレンス電圧検知(注9)
55	VARB	[A]側の負のリファレンス電圧入力(注9)
65	TP5	内部接続。オープンのままにします。
66	TP6	内部接続。オープンのままにします。
72, 73	AIN+	アナログ入力。内部で50Ω (グランド)に終端されています。フルスケールの線形入力範囲はおおよそ±250mVです。最良の高周波性能を得るには、AIN+とAIN-を差動で駆動します。
75, 76	AIN-	
83	PHADJ	T/H用の位相調整。通常、グランドに接続します。このピンのバイアス点を変更することによって、おおよそ±18psの位相調整を行うことが可能で、A側とB側との間のインタリーブを最適化することができます(注10)。

注9： 正しい振幅とオフセットのマッチングを確実に得られるようにするため、VART、VARB、VBRT、およびVBRBは、十分にバイパスされたリファレンス回路から個別に調整するようにしてください。これらの各端子への検知接続部によってリファレンス電圧を高精度に設定することができるようになります。リファレンスラダーは、両方のコンバータハーフで類似しています(値については電気に関する項を参照してください)。これらの端子にノイズが加わると、全体的な性能が大幅に低下します。

注10： PHADJ入力をグランドに接続することで良好な結果が得られます。±1.25Vの間の電圧をこの入力に加えると性能が向上します。[A]のT/Hブリッジがサンプリングする時刻と[B]のT/Hブリッジがサンプリングする時刻との相対的な関係は、±18psの範囲で変化させることができます。

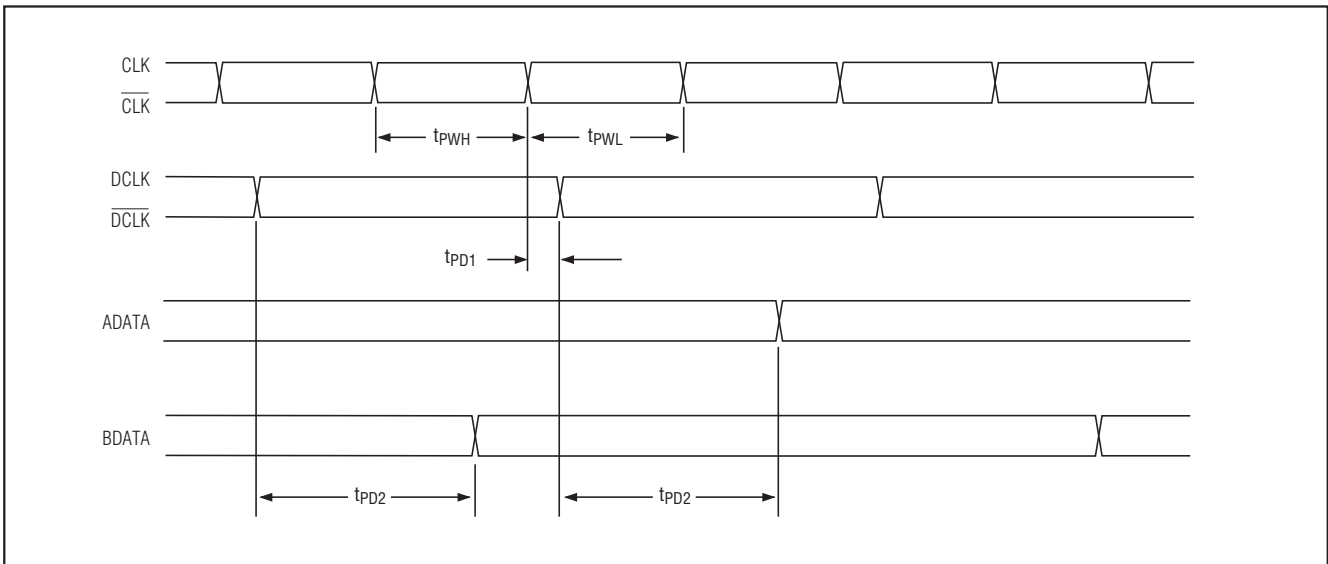


図1. 出力タイミング—通常モード(DIV10 = OPEN)

500Mps、トラック/ホールド内蔵8ビットADC

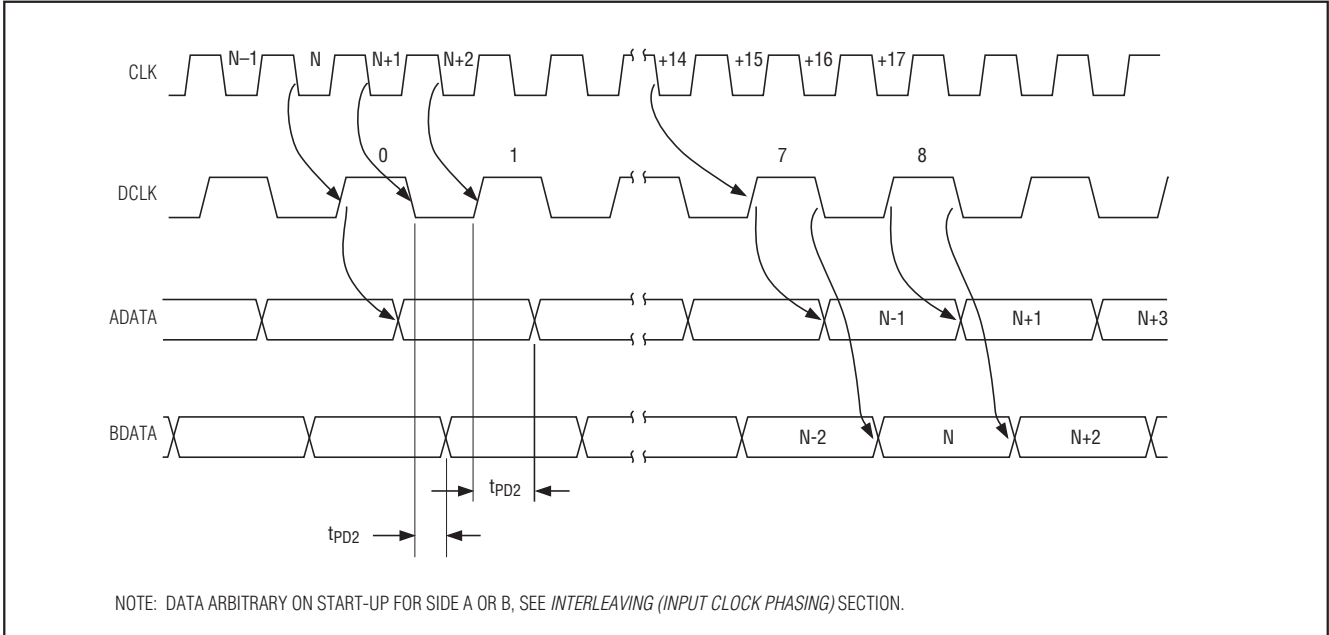


図2. 出カタイミング(クロック→データ)—通常モード(DIV10 = OPEN)

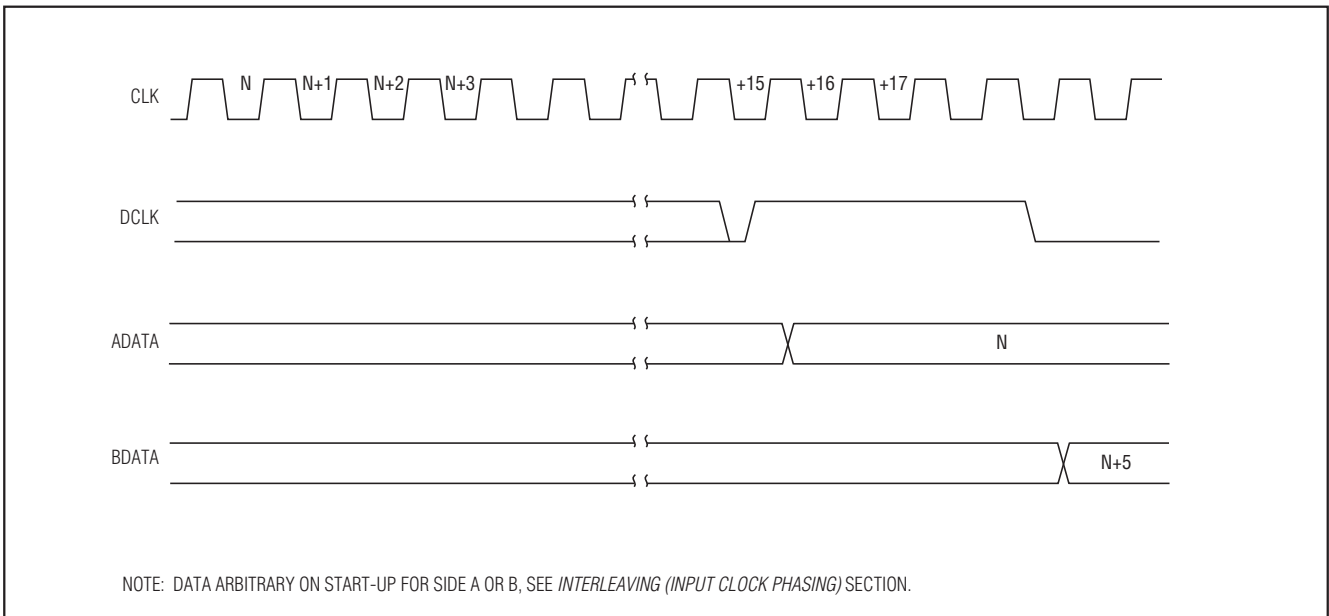


図3. 出カタイミング—テストモード(DIV10 = GND)

500Mps、トラック/ホールド内蔵8ビットADC

仕様の定義

信号対ノイズ比と有効ビット

信号対ノイズ比(SNR)は、基本入力周波数のRMS振幅と他のすべてのアナログ-デジタル(A/D)出力信号のRMS振幅との比率です。理論的な最小A/Dノイズは、量子化誤差によって生じるものであり、ADCの分解能の直接的な結果となります。すなわち、 $SNR = (6.02N + 1.76)$ dBとなります。ここで、Nは分解能の有効ビットです。したがって、完全な8ビットADCの場合、50dBより良くなることはありません。「標準動作特性」のFFTプロットは、さまざまなスペクトルバンドの出力レベルを示しています。

有効ビットは、被試験ADCから取り出したデジタル記録から計算します。理想的なコンバータの量子化誤差は、デバイスの合計誤差に等しくなります。理想的な量子化誤差に加えて、その他の誤差の原因として、すべてのDCとACの非線形性、クロックとアパーチャのジッタ、出力コードの欠落、およびノイズがあります。リファレンスと電源に加わるノイズによっても有効ビット性能は低下します。

ADCの入力は、アンチエイリアシングフィルタによる正弦波フィルタリングが行われ、あらゆる高調波成分が取り除かれます。この信号から取り出したデジタル記録が数学的に生成された正弦波と比較されます。最適な正弦波が見つかるまで、数学的モデルのDCオフセット、位相、および振幅が調整されます。デジタル記録からこの正弦波を取り去った後、残余の誤差が残ります。誤差のRMS値を次式に当てはめると、ADCの有効ビットが得られます。

$$\text{有効ビット} = N - \log_2 \frac{\text{実測RMS誤差}}{\text{理想RMS誤差}}$$

ここで、Nはコンバータの分解能です。このケースでは、 $N = 8$ です。

いずれのデバイスについても、ワーストケースの誤差は、コンバータの最大クロックレート時で、ナイキストレート(入力クロックレートの2分の1)近くのアナログ入力を用いたときです。

アパーチャの幅とジッタ

アパーチャの幅とは、T/H回路が、ホールドコンデンサを入力回路から切り離すのに要する時間です(すなわち、サンプリングブリッジをオフにしてT/Hをホールドモードにする)。アパーチャのジッタとは、アパーチャ遅延におけるサンプル間の変動です(図4)。

エラーレート

準安定状態によって生じるエラーは、サンプリングが行われる時刻において、アナログ入力電圧がいずれか

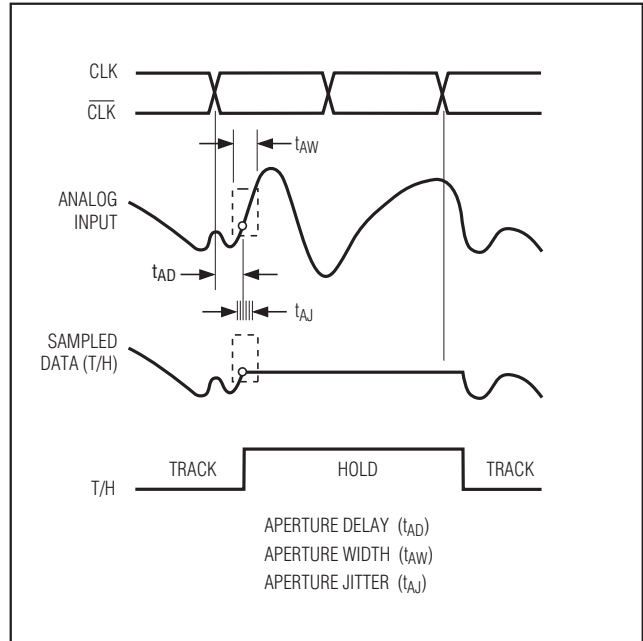


図4. T/Hアパーチャタイミング

1つの入力コンパレータの判定点の近くまで低下するときに発生するおそれがあります。結果として、多くの標準コンバータで得られる出力コードが正しくない可能性があり、偽のフルスケール出力またはゼロスケール出力が含まれます。MAX101Aの独自の設計によって、この種のエラーの規模は1LSBにまで低減され、エラーの発生確率は、 10^{15} クロックサイクル当たり1未満となります。MAX101Aを500MHzで24時間中、動作させたすると、準安定状態エラーが生じるのは46日ごとに1回未満ということになります。

積分非線形性

積分非線形性とは、最小二乗曲線フィットで求まる「最適直線」を使用し、1LSBの10分の1単位で測定したリファレンスラインからの伝達関数のずれのことです。

微分非線形性

微分非線形性(DNL)とは、隣接コード遷移間の、実測LSBステップと理想LSBステップのサイズの差です。DNLは、LSB単位で表され、次式を使用して計算します。

$$DNL(\text{LSB}) = \frac{[V_{\text{MEAS}} - (V_{\text{MEAS}} - 1)] - \text{LSB}}{\text{LSB}}$$

ここで、 $V_{\text{MEAS}} - 1$ は前のコードの実測値です。

1LSB未満のDNL仕様によって、コードの欠落がないこと、および単調伝達関数であることが保証されます。

500Mps、トラック/ホールド内蔵8ビットADC

詳細

コンバータの動作

MAX101Aが使用する並列すなわち「フラッシュ」アーキテクチャによってADCの共通統合設計のすべてについて最速なマルチビット変換を行うことができます。他のADCアーキテクチャと同様、フラッシュの基本要素はコンパレータです。コンパレータには、正の入力、負の入力、および出力があります。正の入力電圧が負の入力（リファレンスに接続）よりも大きい場合、出力はハイになります。正の入力電圧がリファレンスよりも小さい場合、出力はローになります。標準的なnビットのフラッシュは、 $2^n - 1$ 個のコンパレータから構成され、リファレンスラダーの底部から上部まで1LSB増分で均等に間隔のあいた負の入力を備えています。n = 8の場合、255個のコンパレータがあります。

いずれの入力電圧についても、負の入力が入力電圧よりも低いリファレンスラダーに接続されたコンパレータはすべて出力が1となり、また負の入力が入力電圧よりも高いコンパレータはすべて出力が0となります。復号ロジックが用意されており、この情報をパラレルのnビットデジタルワード(出力)に変換します。この数は、入力電圧がラダーの底部よりも大きいLSBの数(マイナス1)に一致します。

コンパレータにはラッチ回路が含まれ、クロックで同期されます。これによって、コンパレータは、たとえばクロックがローのとき、前述したように動作することが可能です。クロックがハイになると(サンプリング)、コンパレータはその状態をラッチし、クロックが再びローになるまで、ホールドします。

MAX101Aは、2つの個別の8ビットコンバータを備えた、モノリシックのデュアルインタリーブパラレル量子化チップを使用しています。これらのコンバータは、入力クロックの交互の負のエッジで、AとBの出力ラッチに結果を出力します。

トラック/ホールド

すべてのADCの場合と同様、入力波形が変換中に急激に変化している場合、有効ビットとSNRは減少します。MAX101Aは、トラック/ホールド(T/H)を内蔵しており、達成可能な有効ビット性能を向上させ、また高変換速度におけるアナログデータを正確に取り込むことができますようになります。

内蔵のT/H回路は、以下に示す2つの重要な回路機能をMAX101Aにもたらします。

- 1) その公称電圧利得4によって、入力駆動信号が $\pm 250\text{mV}$ 差動に低減されます($\pm 0.95\text{V}$ リファレンスを想定)。
- 2) 50Ω の差動入力を用意されており、簡単にMAX101Aに接続可能となります。

表1. 出力モードの制御

DIV10	DCLK* (MHz)	MODE	DESCRIPTION
OPEN	250	Normal Divide by 2	AData and BData valid on opposite DCLK edges (AData on rise, BData on fall).
GND	50	Test Divide by 10	AData and BData valid on opposite DCLK edges (AData on rise, BData on fall). Data sampled at input CLK rate but 4 out of every 5 samples discarded.

*上記のすべての組み合わせについて、入力クロック(CLK, CLK) = 500MHz。すべてのモードで、出力クロックDCLKは、50%のデューティサイクルの信号になります。

データフロー

MAX101Aの内蔵T/Hアンプは、ADCのアナログ入力電圧をサンプリングして変換します。T/Hは、クロックの交互の負のエッジで動作する2つの部分に分かれています。入力クロックCLKはT/Hで調整されてA/D部に送られます。出力クロックDCLKは、出力データのタイミングに使われるもので、入力クロックを2または10で除算しています(表1)。結果として、出力データのレートは各出力ポートにおいて通常モードで250Mbpsとなり、テストモードで50Mbpsとなります。差動入力AIN+とAIN-は、データのサンプリング間で絶えずトラックされます。負のストロブエッジが検知されると、T/Hの半分がホールドモードになります(図4)。ストロブがローのとき、取得したばかりのサンプリングデータがADCの入力コンパレータに供給されます。サンプリングデータの内部処理に15クロックサイクルが必要で、その後、出力のADataとBDataで利用可能となります。タイミングについては、図1~3を参照してください。

アプリケーション情報

アナログ入力範囲

通常の動作範囲は $\pm 250\text{mV}$ ですが、MAX101Aは、各入力について、グランドを基準として最大 $\pm 500\text{mV}$ で動作させることができます。この拡張入力レベルには、アナログ信号とDCコモンモード電圧のすべてが含まれます。

差動入力の駆動でフルスケールのデジタル出力を得るには、AIN+とAIN-の間に公称 $+250\text{mV}$ を加える必要があります。つまり、AIN+ = $+125\text{mV}$ で、AIN- = -125mV ということですが(DCオフセットなし)。アナログ入力間に電圧差がないときには、ミッドスケールのデジタル出力コードが生成されます。AIN+ = -125mV でAIN- = $+125\text{mV}$ のときには、 -250mV の差動駆動によってゼロスケールのデジタル出力コードが生成されます。表2は、コンバータの出力が、オーバレンジのときにはオール1 (フルスケール)になり、アンダレンジのときにはオールゼロ(ゼロスケール)になる様子を示しています。

500Mps、トラック/ホールド内蔵8ビットADC

MAX101A

表2. 入力電圧範囲

INPUT	AIN+ (mV)	AIN- (mV)	OUTPUT CODE	MSB to LSB
Differential	+125	-125	11111111	full scale
	0	0	10000000	mid scale
	-125	+125	00000000	zero scale
Single Ended	+250	0	11111111	full scale
	0	0	10000000	mid scale
	-250	0	00000000	zero scale

*DC電気パラメータで規定されているとおり、オフセット V_{IO} が入力端に存在します。リファレンス電圧を調整してこのオフセットを相殺してください。オフセットは、A側とB側で異なる場合があります。

シングルエンド動作について

- 1) アナログ入力の方にDCオフセットを加えるか、あるいは一方の入力をオープンのままにします(AIN+とAIN-の両方が内部で 50Ω (アナロググランド)に終端されています)。
- 2) 他方の入力を $\pm 250\text{mV}$ + オフセットで駆動すると、フルスケールまたはゼロスケールのいずれかのデジタル出力が得られます。DCコモンモードのオフセットを使用する場合、許容される全電圧振幅は $\pm 500\text{mV}$ です(アナログ信号 + グランド基準のオフセット)。

リファレンス

ADCのリファレンス抵抗は、ADCのLSBサイズと動作ダイナミックレンジを設定するケルビン検出の抵抗列です。通常、この抵抗列の上部と底部は外部のバッファアンプで駆動されます。抵抗列の最小インピーダンスは 100Ω であるため、およそ 19mA を供給する必要があります。通常、 $\pm 0.95\text{V}$ のリファレンス電圧を入力 V_{ART} 、 V_{BRT} 、 V_{ARB} 、および V_{BRB} に加えます。リファレンス入力 V_{ARTS} 、 V_{ARBS} 、 V_{BRTS} 、および V_{BRBS} によって、加えられた電圧のケルビン検出の精度が向上します。

最適な性能を得るためには、ADCのリファレンス端子においてRCネットワークが必要となります。このネットワークは、リファレンスを駆動するバッファの出力に直列に接続された 33Ω の抵抗器で構成されます。バッファ出力端の抵抗器の近くに $0.47\mu\text{F}$ のコンデンサを接続する必要があります(「標準動作回路」を参照してください)。この抵抗器とコンデンサの組み合わせは、MAX101Aパッケージの0.5インチ以内に配置する必要があります。これらのピンに加わるノイズはいずれもコードの不確実性にじかに影響し、ADCの有効ビット性能が低下します。

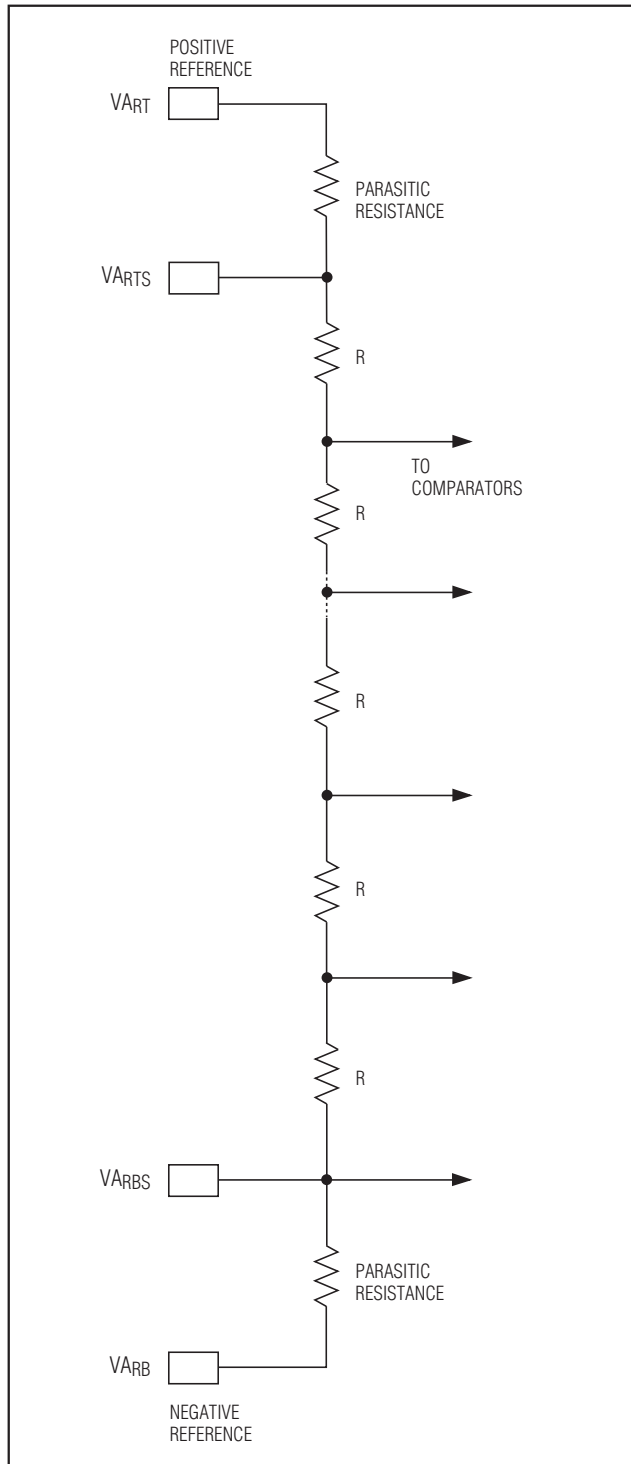


図5. リファレンスラダー

500Mps、トラック/ホールド内蔵8ビットADC

CLKとDCLK

入力と出力のすべてのクロック信号は差動です。入力クロックCLKと $\overline{\text{CLK}}$ は、MAX101A用の一次タイミング信号です。CLK (ピン2、62)および $\overline{\text{CLK}}$ (ピン3、61)は、内部の50Ω伝送ラインを通じて内部回路に供給されます。CLKと $\overline{\text{CLK}}$ の入力の1セットを駆動し、他のペアを50Ω (-2V)で終端する必要があります。入力のいずれのセットも駆動入力として使用することが可能で(入力ラインは平衡型)、回路接続が容易です。CLKと $\overline{\text{CLK}}$ には、最小パルス幅(t_{pWL})が必要となります(図1~3)。

最良の性能と一貫性のある結果を得るため、CLKと $\overline{\text{CLK}}$ には、位相ジッタの小さなクロックソースを使用します。入力クロックソースの位相ジッタが2psを超えると、コンバータの有効ビット性能が低下し、一貫性のない結果が生じます。MAX101Aに供給されるクロックは、内部的に2分周され、整形され、バッファリングされます。この2分周されたクロックは、内部の信号となってコンバータのストロープに使用されます。

DCLKと $\overline{\text{DCLK}}$ は、入力クロックから得られた出力クロック信号であり、ADataとBDataの出力の外部タイミング用に使用されます(ADataはDCLKの立上りエッジの後に有効となり、BDataは立下りエッジの後に有効となります)。これらは、通常モードで、入力クロックレートの2分の1で固定されます(表1)。MAX101Aは、500MHzの最大入力クロック周波数で機能するよう特性が設計されています。「標準動作回路」を参照してください。

出力モードの制御(DIV10)

DIV10をグランドに接続すると、テストモードが利用可能となります。テストモードでは、着信入力クロックは10分周されます。これによって、出力データとクロックレートは、5分の1に低減され、出力クロックのデューティサイクルは50%を維持することができます。クロックと出力との間の位相は、同じ関係が維持され、サンプリングした入力値5つのうち4つは破棄されます。

オープンのままにすると、この入力(DIV10)は、内部回路によってローにプルダウンされ、コンバータは通常モードで機能します。

レイアウト、接地、および電源

正常な動作のためには、+5V \pm 5%電源と同時に-5.2V \pm 5%電源が必要です。0.1 μ Fと0.001 μ Fの高品質なセラミックコンデンサをできるだけパッケージの近くに配置して、 V_{EE} と V_{CC} の電源ピンをGNDにバイパスします。すべてのグランドピンをグランドプレーンに接続して、ノイズ耐性とデバイスの精度を最適化します。電源を接続する前にファンをオンにします。必要な空気流については、「パッケージ」を参照してください。

位相の調整

この制御ピンは、コンバータの半分が、もう半分を基準として入力信号をサンプリングする時点に影響します。PHADJは通常、グランド(0V)に接続されますが、 \pm 1.25Vの範囲にわたって調整することが可能であり、一般的に、「A」側のT/Hブリッジのストロープと「B」側のT/Hブリッジのストロープとの間を \pm 18psで調整することができます。

インタリーブ(入力クロックの位相整合)

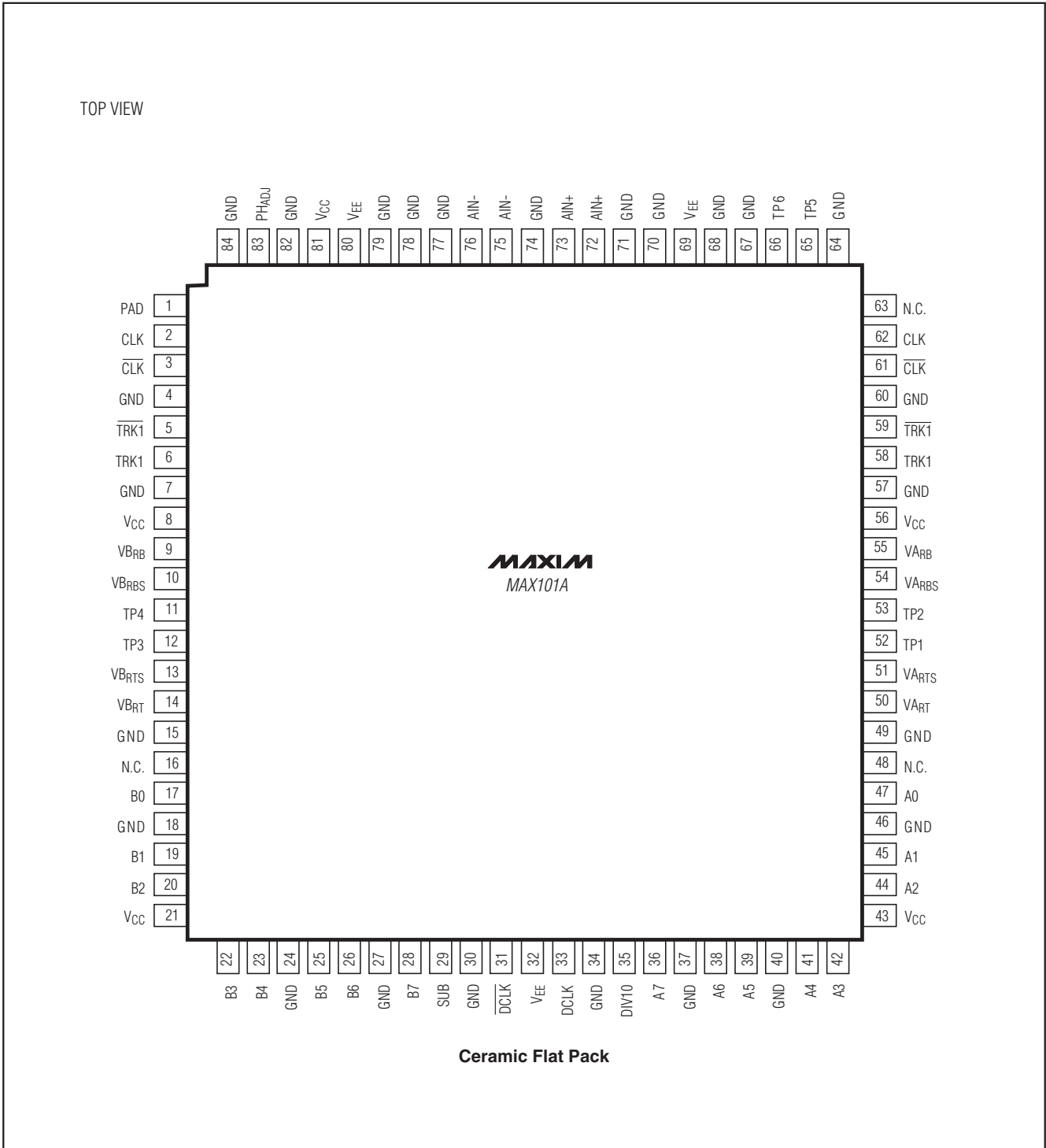
2つのMAX101Aをインタリーブするには、入力クロックのいずれの正のエッジでデータが変化するかを把握することが必要になります。電源オン時、ADataとBDataが同期されるクロックエッジは確定していません。コンバータは、次段で述べるように、特定の入力クロックエッジで動作することが可能です。

TRK1と $\overline{\text{TRK1}}$ は、データの位相整合を設定するために、通常の入力クロック(CLK)に加えて使用される差動入力です。適正なセットアップ時間とホールド時間(セットアップとホールドは通常300ps)を備えた入力クロックレートの半分となる信号がこれらの入力に加えられます。CLKの負の遷移の前に、TRK1に論理「1」($\overline{\text{TRK1}}$ に「0」)を加えることでADataを選択します。CLKの負のエッジの前に、TRK1に論理「0」($\overline{\text{TRK1}}$ に「1」)を加えることでBDataを選択します。 \pm 50mV範囲にあるTRK1入力端の電圧は、論理「1」と解釈され、-350mV~-500mVの範囲にある電圧は論理「0」と解釈されます。

500Mps、トラック/ホールド内蔵8ビットADC

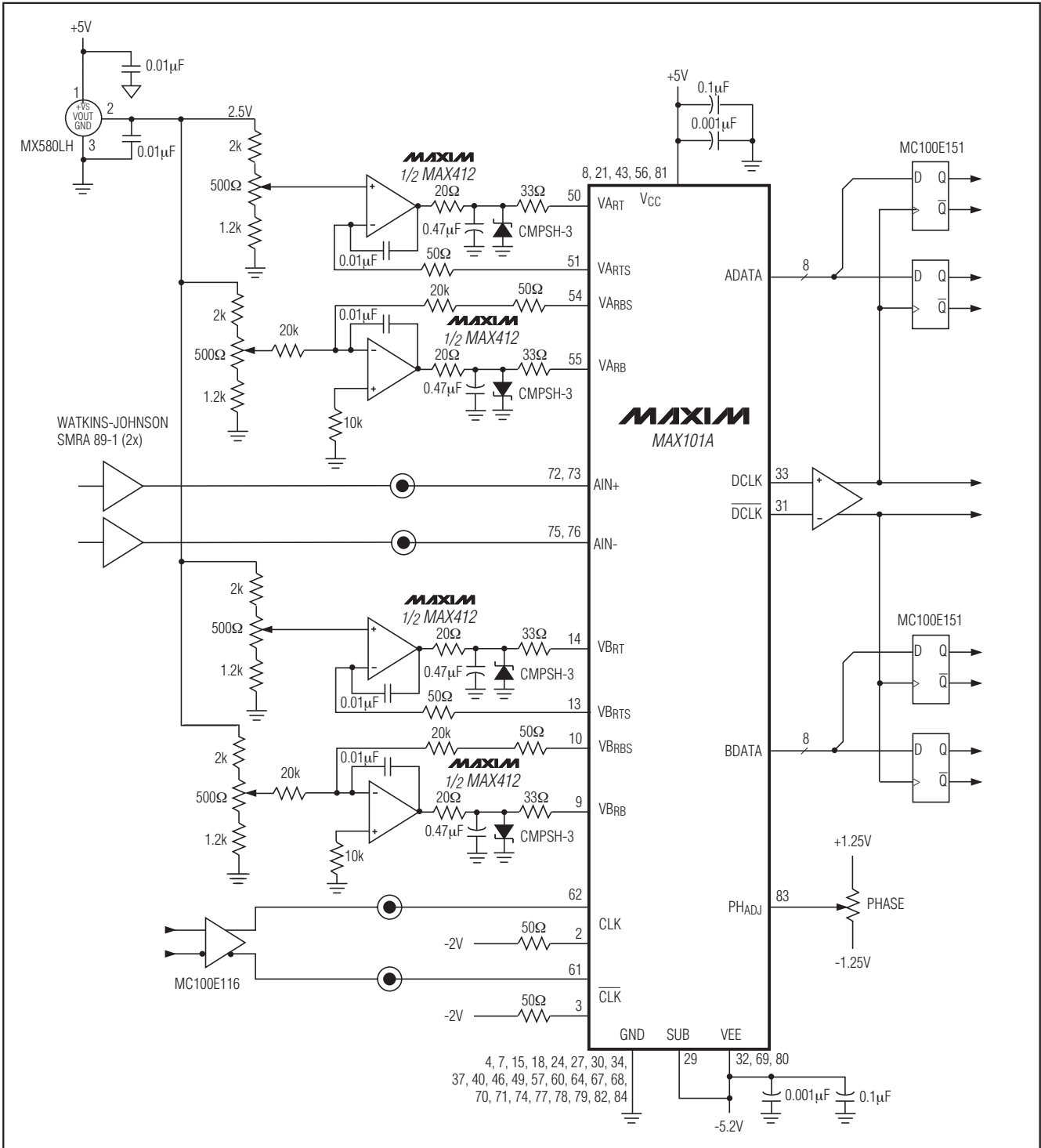
MAX101A

ピン配置



500Mps、トラック/ホールド内蔵8ビットADC

標準動作回路

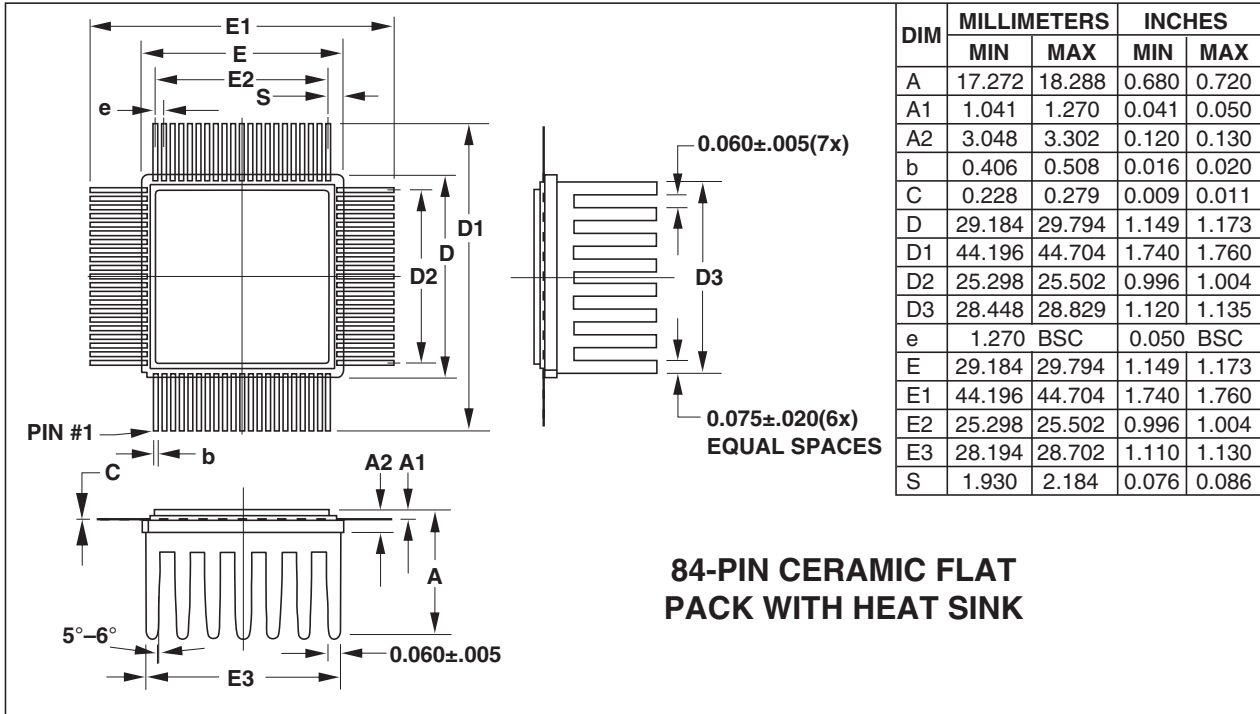
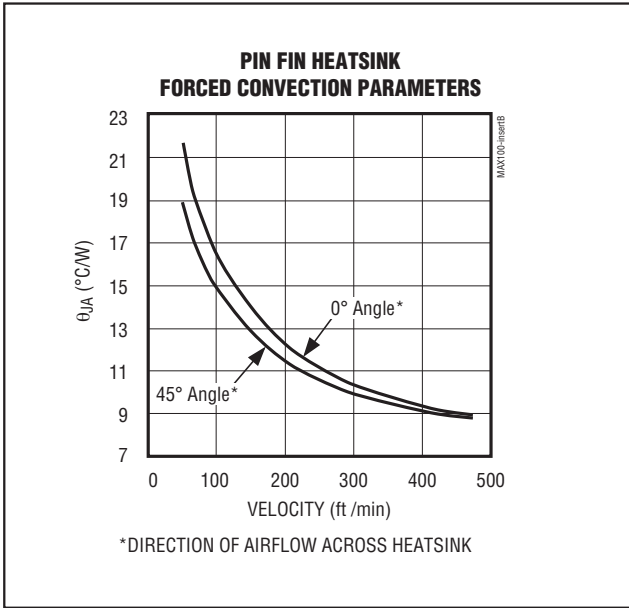


MAX101A

500MSPs、トラック/ホールド内蔵8ビットADC

MAX101A

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

16 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 1996 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products, Inc.