

移動体無線用アナログコントローラ

概要

MAX1007は、高性能移動体無線用に設計された多機能ICデバイスです。このデバイスは無線周波数(RF)の電力センシング及びアンテナダイバーシティの選択を含む各種機能を実行するために、1個の8ビットアナログデジタルコンバータ(ADC)そして7ビット及び6ビットのデジタルアナログコンバータ(DAC)をそれぞれ2個ずつ内蔵しています。

ADCは電力センス、受信信号強度(RSSI)測定及びシステム監視の各機能を実行します。電力モード時に、ADCはパワーセンシング回路信号[送信(Tx)又は受信(Rx)されたRFパワーのどちらかを表わす]をデジタルコードに変換し、これによって最適なTxパワー設定とRx信号の解析が確実に保証されます。電源電圧、バッテリー電圧及び温度などのシステム監視測定用として、ADCにはダイレクト接続入力が増加されています。

4個のDACブロックは通常、無線周波数信号のDCレベルを制御します。マキシム社のPWT1900チップセットの一部として、2個の7ビットDACが利得設定を制御し、2個の6ビットDACがTCXOの同調バラクタ制御及びGaAsアンプのバイアス調整を行います。各DACのレジスタと出力をそれぞれ個別にアップデートすることが可能なので、最大限のフレキシビリティが確保されます。

アンテナダイバーシティ測定では、信号レベル比較回路が2つのピーク信号を取込んで、その比較を行います。どの信号レベルが最大であるかは、ラッチされたロジックコンパレータ出力によって表示されます。MAX1007には、ADC及びDAC用の電圧リファレンスも内蔵されています。

MAX1007は高いレベルで信号の完全性を維持し、その消費電力は最小限に抑えられています。+2.85V~+3.6Vの電圧範囲の単一電源で動作します。更に消費電力を削減するために、スタンバイとトータルシャットダウンの2つのシャットダウン動作モードが用意されています。スタンバイは部分的なシャットダウン動作モードで、この設定時にはバンドギャップリファレンスと2.4Vリファレンス電圧発生器がアクティブ状態に維持されます。トータルシャットダウン動作モードに設定すると、シリアルインタフェースを除く全ての回路ブロックの動作がディセーブルになり、消費電流が1 μ A以下に低減されます。

MAX1007は24ピンSSOPパッケージで提供されており、温度範囲は民生用と拡張工業用のものが用意されています。

アプリケーション

PWT1900を使用したワイヤレス通信

セルラ電話	PMR/SMR
PCS無線	WLL

特長

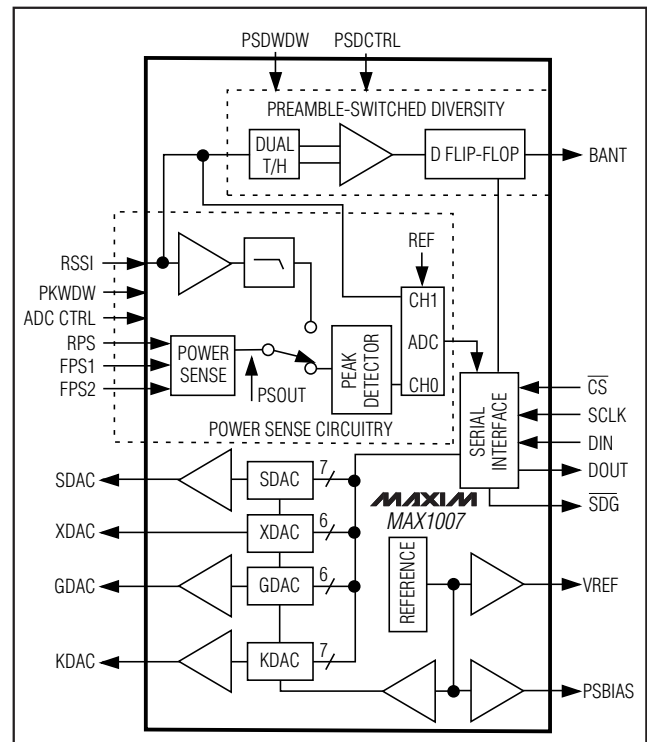
- ◆ マルチ入力8ビットADC
- ◆ バッファ出力を備えた2個の7ビットDAC
- ◆ 2個の6ビットDAC：バッファ/バッファなしの出力
- ◆ パワーセンス調節回路
- ◆ RSSI測定
- ◆ アンテナダイバーシティ回路
- ◆ 内部リファレンス
- ◆ シリアルロジックインタフェース
- ◆ +2.85V +3.6Vの単一電源動作
- ◆ 2つのシャットダウンモード

型番

PART	TEMP. RANGE	PIN-PACKAGE
MAX1007CAG	0°C to +70°C	24 SSOP
MAX1007EAG	-40°C to +85°C	24 SSOP

ピン配置はデータシートの最後に掲載しています。

ファンクションダイアグラム



移動体無線用アナログコントローラ

MAX1007

ABSOLUTE MAXIMUM RATINGS

AV _{DD} or DV _{DD} to AGND or DGND.....	-0.3V to +6V	Continuous Power Dissipation (T _A = +70°C)
Digital Inputs to DGND.....	-0.3V to +6V	SSOP (derate 8.0mW/°C above +70°C).....
Analog Inputs to AGND.....	-0.3V to +6V	Operating Temperature Ranges
REF to AGND.....	-0.3V to +6V	MAX1007CAG.....
AGND to DGND.....	± 0.3V	MAX1007EAG.....
AV _{DD} to DV _{DD}	± 0.3V	Storage Temperature Range.....
Maximum Current into Any Pin.....	.50mA	Lead Temperature (soldering, 10sec).....

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(AV_{DD} = DV_{DD} = +2.85V to +3.6V, f_{SCLK} = 1.152MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
POWER-SUPPLY REQUIREMENTS					
Supply Voltages	AV _{DD} , DV _{DD}	2.85	3.0	3.6	V
SUPPLY CURRENTS [I(AV _{DD}) + I(DV _{DD})] (Note 1)					
Transmit Mode 1: All DACs, Ref, RefBuf Active	RxEN = 0, TxEN = 1; AV _{DD} = DV _{DD} = 3V; PKWDW = ADCCTRL = DGND		1.8	5.0	mA
Transmit Mode 2: All DACs, PGA, REF, Peak Detector, PSBIAS, I _{SOURCE} , RefBuf Active	RxEN = 0, TxEN = 1; AV _{DD} = DV _{DD} = 3V; PKWDW and ADCCTRL as per state B on Figure 1		4.7		mA
Transmit Mode 3: All DACs, PGA, REF, Peak Detector, PSBIAS, I _{SOURCE} , RefBuf, ADC Active	RxEN = 0, TxEN = 1; AV _{DD} = DV _{DD} = 3V; PKWDW and ADCCTRL as per state C on Figure 1		12.2	32	mA
Receive Mode 1: KDAC, XDAC, Ref, RefBuf Active	RxEN = 1, TxEN = 0; AV _{DD} = DV _{DD} = 3V; PKWDW = ADCCTRL = DGND		1.24	3.5	mA
Receive Mode 2: KDAC, XDAC, Peak Detector, RSSI Buffer, Ref, RefBuf Active	RxEN = 1, TxEN = 0; AV _{DD} = DV _{DD} = 3V; PKWDW and ADCCTRL as per state B on Figure 1		2.95		mA
Receive Mode 3: KDAC, XDAC, ADC, Peak Detector RSSI Buffer, Ref, RefBuf Active	RxEN = 1, TxEN = 0; AV _{DD} = DV _{DD} = 3V; PKWDW and ADCCTRL as per state C on Figure 1		11.2	31	mA
Receive Mode 4: KDAC, XDAC, ADC, RSSI Buffer, Ref, RefBuf, PSD Circuit Active	RxEN = 1, TxEN = 0; AV _{DD} = DV _{DD} = 3V; PKWDW and ADCCTRL as per state B on Figure 1. PSDWDW and PSD-CNTRL as per state D on Figure 2		4.07	10.5	mA
Standby: XDAC, GDAC, Ref, RefBuf Active	RxEN = 1, TxEN = 1; AV _{DD} = DV _{DD} = 3V		1.24	3.5	mA
Total Shutdown	RxEN = 0, TxEN = 0; AV _{DD} = DV _{DD} = 3V; ADCCTRL = PSDCTRL = PKWDW = PSDWDW = DGND; SCLK not active, either high or low		1	10	μA

ELECTRICAL CHARACTERISTICS (continued)

(AV_{DD} = DV_{DD} = +2.85V to +3.6V, f_{SCLK} = 1.152MHz, T_A = T_{MIN} to T_{MAX}, unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
XDAC					
Resolution		6			Bits
Differential Nonlinearity	2 < code ≤ FS			±1	LSB
Integral Nonlinearity	2 < code ≤ FS		±1/2		LSB
Offset Error			±1		LSB
Gain Error	(Note 2)		±10		%FSR
Full-Scale Output Swing	No resistive load	2.1	2.42	2.75	V
Output Resistance			30		kΩ
GDAC					
Resolution		6			Bits
Differential Nonlinearity	2 < code ≤ FS			±1	LSB
Integral Nonlinearity	2 < code ≤ FS		±1		LSB
Offset Error	C _L = 30pF, R _L = 40kΩ		±1		LSB
Gain Error	(Note 2)		±10		%FSR
Output Slew Rate			0.1		V/μs
Full-Scale Output Swing	R _L = 40kΩ	2.1	2.42	2.75	V
Full-Scale Step Response Time	C _L = 30pF, R _L = 40kΩ, settling to 5% of final value		4		μs
SDAC, KDAC					
Resolution		7			Bits
Differential Nonlinearity	2 < code ≤ FS			±1	LSB
Integral Nonlinearity	2 < code ≤ FS		±1		LSB
Offset Error			±1		LSB
Gain Error	(Note 2)		±10		%FSR
Output Slew Rate	C _L = 30pF, R _L = 40kΩ		0.1		V/μs
Full-Scale Output Swing	R _L = 40kΩ	2.1	2.42	2.75	V
Full-Scale Step Response Time	C _L = 30pF, R _L = 40kΩ, settling to 2% of final value		4		μs
Power-Up Time from Standby	C _L = 30pF, R _L = 40kΩ, settling to within 2% of final value		4		μs
ADC					
Resolution		8			Bits
Input Signal Range		0		V _{REF}	V
Differential Nonlinearity	V _{REF} = 1.028V (typ)			±1	LSB
Integral Nonlinearity	V _{REF} = 1.028V (typ)		±1		LSB
Conversion Time				5.2	μs
Offset Error			±2		LSB
Gain Error	With respect to V _{REF}		±5		LSB
Reference Voltage			1.028		V
ADC Power-Up Time from Standby		1.74			μs

移動体無線用アナログコントローラ

MAX1007

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD} = +2.85V$ to $+3.6V$, $f_{SCLK} = 1.152MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RSSI CIRCUIT						
Lowpass-Filter Time Constant			10	20		μs
Minimum Peak Level Detected				100	300	mV
Maximum Peak Level Detected				V_{REF}		V
TRANSMIT POWER SENSE						
Offset Voltage		RPS, FPS1, FPS2 to ADC input		150		mV
Power-Sense Amp Gain (PGA)		Forward transmit		-0.53		V/V
		Reflected transmit, class 1		-6		
		Reflected transmit, classes 2, 3, 4		-0.44		
Current Source		Figure 3b	50	100	180	μA
Pull-Down Input Resistance		RPS, FPS1, FPS2 pulled to AGND when not selected		200		Ω
REFERENCE						
Output Voltage			0.96	1.028	1.1	V
PS Bias Voltage Output		R_S in series with C_L , $C_L = 1nF$, $200\Omega \leq R_S \leq 1k\Omega$		1.87		V
PS Bias Sink Current			200			μA
Internal DAC Reference		R_S in series with C_L , $C_L = 1nF$, $200\Omega \leq R_S \leq 1k\Omega$		2.42		V
SERIAL-LOGIC INTERFACE						
Digital Inputs (\overline{CS}, SCLK, DIN, PKWDW, ADCCTRL, PSDWDW, PSDCTRL)						
Input Voltage High	V_{IH}		$0.7V_{DD}$			V
Input Voltage Low	V_{IL}				$0.3V_{DD}$	V
Input Current	I_{IN}	Excluding PSDCTRL, PSDWDW			± 1	μA
Input Resistance	R_{IN}	PSDCTRL, PSDWDW	20			$k\Omega$
Input Capacitance	C_{IN}	Digital inputs			10	pF
Digital Outputs (DOUT, BANT, \overline{SDG})						
Output Voltage High	V_{OH}	$C_L = 20pF$, $R_L = 100k\Omega$	$V_{DD} - 0.4$			V
Output Voltage Low	V_{OL}	$C_L = 20pF$, $R_L = 100k\Omega$			0.4	V
TIMING SPECIFICATIONS (Figure 4)						
DIN Valid to SCLK Setup	t_1		100			ns
DIN to SCLK Hold	t_2		0			ns
\overline{CS} Low to SCLK High	t_3		20			ns
\overline{CS} Low to DOUT Valid	t_4		100			ns
SCLK High to DOUT Valid	t_5				150	ns
SCLK Pulse Width High	t_6		200	434		ns
SCLK Pulse Width Low	t_7		200	434		ns
\overline{CS} High to DOUT Disable	t_8	$C_L = 20pF$			100	ns
ADC Data Output Delay After End of ADC Conversion (Figure 4b)	t_9		500			ns

ELECTRICAL CHARACTERISTICS (continued)

($V_{DD} = DV_{DD} = +2.85V$ to $+3.6V$, $f_{SCLK} = 1.152MHz$, $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.)

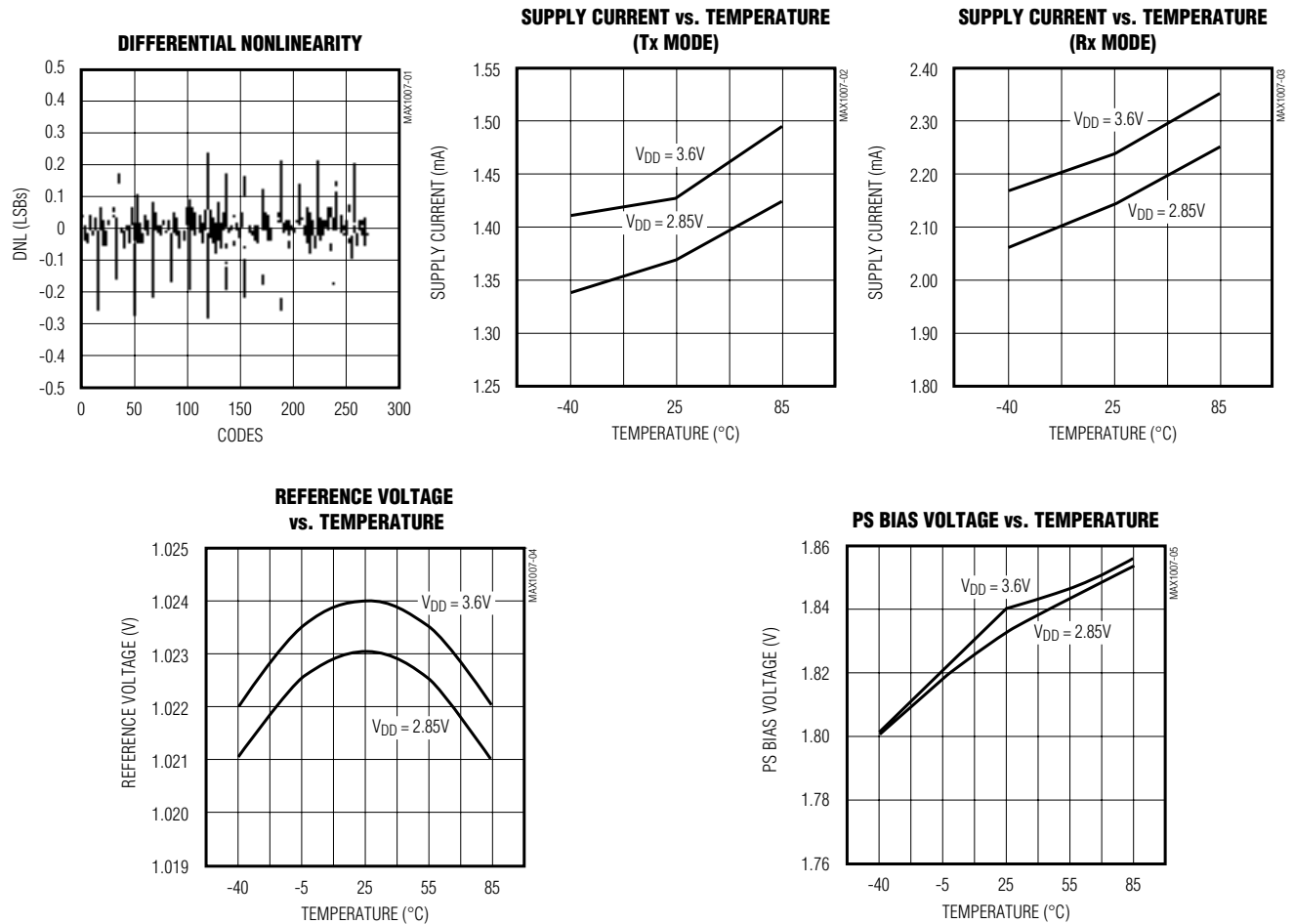
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ADCCTRL Low to RF input	t_{10}	RF input on RSSI, RPS, FPS1, FPS2, or PSBIAS, (Figure 4c)		200		ns
PSDWDW Low to BANT Valid	t_{11}	$C_L = 20pF$ (Figure 4c)		100		ns
SCLK Duty Cycle				50		%

Note 1: All digital inputs at DV_{DD} or DGND.

Note 2: All DACs use an internal reference voltage of 2.42V.

標準動作特性

($T_A = +25^\circ C$, unless otherwise noted.)



移動体無線用アナログコントローラ

MAX1007

端子説明

端子	名称	機能
1	RPS	送信反射電力レベルの測定に使用します。PKWDW=1、SDAC[F/R]=Reverseに設定した送信モード時に限りアクティブです。このピンを使用しない場合、200 Ωスイッチを通してAGNDに内部プルダウンされます。
2	FPS2	送信供給電力センスクラス2/3/4の測定に使用します。GDAC[Power Class]=Class2/3/4、PKWDW=1及びSDAC[F/R]=Forwardに設定し、送信モードのときだけに限りアクティブです。このピンを使用しない場合、これは200 Ωスイッチを通してAGNDに内部プルダウンされます。
3	FPS1	送信供給電力センズレベル1の測定に使用します。GDAC[Power Class]=Class1、PKWDW=1及びSDAC[F/R]=Forwardに設定した送信モードのときだけに限りアクティブです。このピンを使用しない場合、200 Ωスイッチを通してAGNDに内部プルダウンされます。
4	SDAC	7ビットDACのバッファ出力。アップ/ダウンコンバータの利得段を制御します。
5	AV _{DD}	アナログ電源電圧
6	XDAC	6ビットDACのバッファされていない出力。VCXOの周波数制御に使用。
7	AGND	アナロググランド
8	REF	1.028Vのリファレンス電圧出力
9	KDAC	7ビットDACのバッファ出力。外部変調器ブロックの利得段を制御します。
10	GDAC	6ビットDACのバッファ出力。外部パワーアンプの負のゲートバイアス電圧を制御します。
11	$\overline{\text{SDG}}$	ソフトウェアによるプログラム設定が可能なロジック出力。外部バイアス発生器のシャットダウンに使用できます。
12	BANT	最良アンテナのデジタル出力。プリアンプスイッチドダイバーシティ測定の結果を出力します(図2)。“0”であれば、期間Bよりも期間Aからより多くのパワーが検出されたことを示します。“1”であれば、この逆の状態であることを示します。期間Aは、PSDWDWの立上がりエッジ後の最初の12クロックで検出されます。
13	PSDCTRL	プリアンプスイッチドダイバーシティ測定制御信号(図2)。このピンには、デジタルグランドに接続された20k Ωのプルダウン抵抗が組込まれています。
14	PSDWDW	プリアンプスイッチドダイバーシティ測定ウィンドウ(図2)。このピンには、デジタルグランドに接続された20k Ωのプルダウン抵抗が組込まれています。
15	ADCCTRL	RSSI/パワーセンス測定制御入力(図1)
16	PKWDW	RSSI/パワーセンス測定ウィンドウデジタル入力(図1)
17	DOUT	シリアルデータ出力。 $\overline{\text{CS}}$ 入力がローのときに、イネーブルになります。
18	DGND	デジタルグランド
19	SCLK	シリアルクロック入力。クロックはいつでも停止及び再開させることができます(40% 60%のデューティサイクル)。
20	DV _{DD}	デジタル電源電圧
21	DIN	シリアルデータ入力
22	$\overline{\text{CS}}$	チップセレクト入力。この入力がローのときに、シリアルインタフェースがイネーブルになります。
23	PSBIAS	電力センス測定用のバッファされたバイアス出力電圧。電力センシングの実行期間中に限りアクティブです。
24	RSSI	電力センス及びアンテナダイバーシティ測定用の受信信号強度インジケータアナログ入力。この信号はピーク検出回路に入力されて、測定ウィンドウの終了時に8ビットADCによってサンプリングされます。PKWDW=1に設定した受信モードのときだけに限りアクティブです。CH1をADCの入力として使用することにより、ピーク検出回路をバイパスすることが可能です。

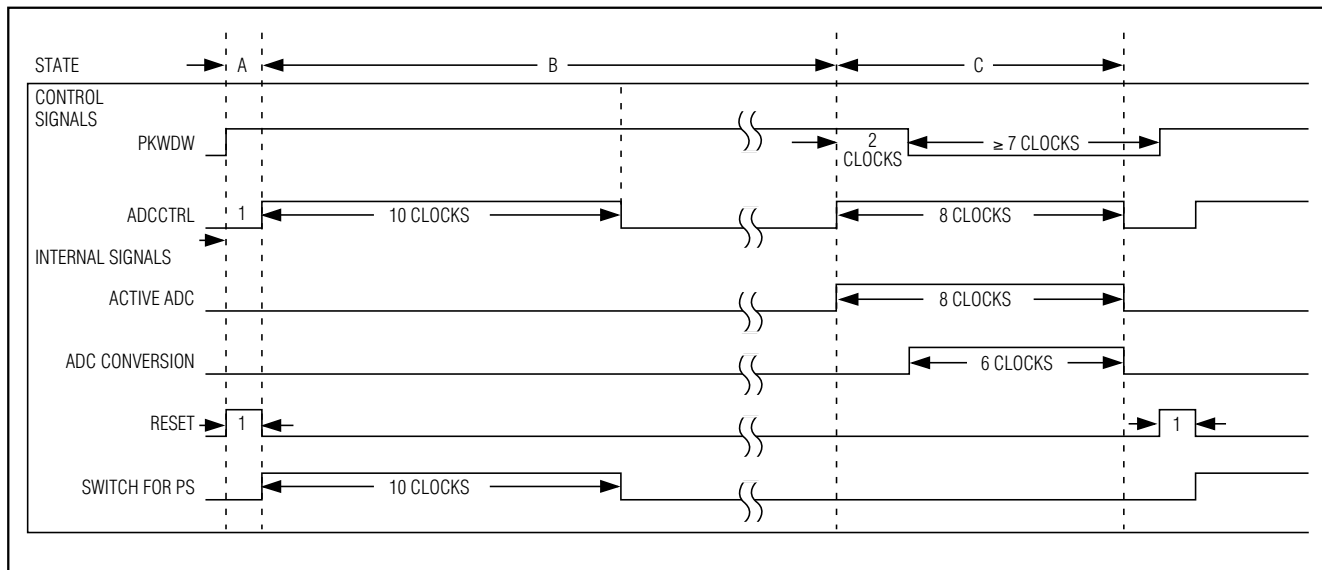


図1. RSSI/パワーセンス制御信号

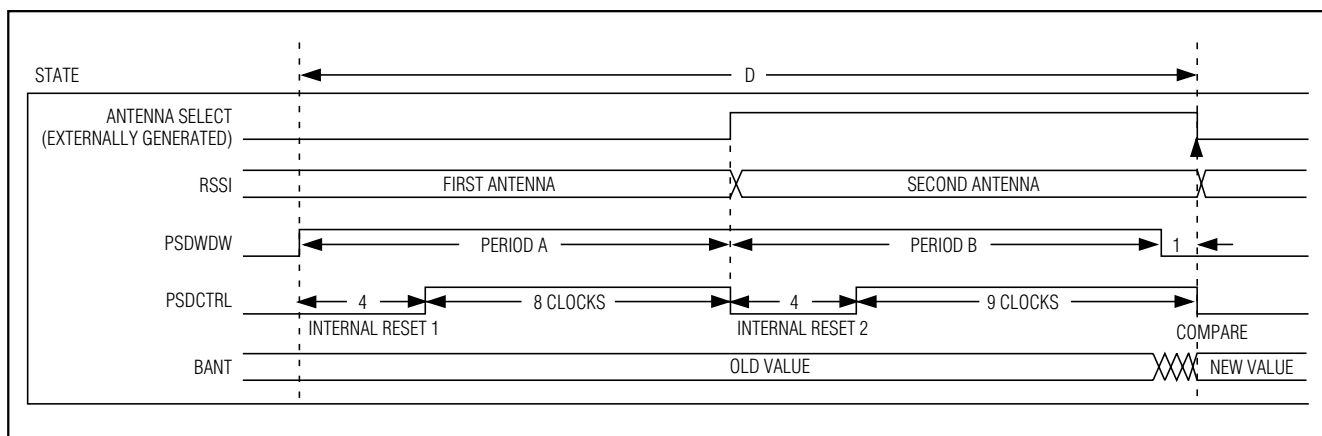


図2. アンテナダイバーシティ制御信号

詳細

MAX1007は無線周波数(RF)信号の測定と制御を実行する複数の回路ブロックで構成されています。電力センス回路、アンテナ又はプリアンプスイッチドダイバーシティ回路及びアナログデジタルコンバータ(ADC)を含む測定回路ブロックが内蔵されているので、各種のRF入力の比較が可能です。4個のデジタルアナログコンバータ(DAC)、デジタル出力BANT及びSDG、そしてシリアルインタフェースを含む制御ブロックは周波数同調動作をサポートし、マイクロプロセッサの制御下でトランシーバ利得の最適化を可能にします。

パワーセンス

パワーセンス回路はマルチプレクサ(mux)、プログラマブルゲインアンプ(PGA)、ピーク検出器及びバッファで構成されています。この回路は復調されたRF信号波形を増幅/減衰し、ピーク電圧信号を保持するとともに、

電力センス測定用のADCへの出力をバッファします。

外部回路を使用した1チャンネルの復調プロセスを図3a及び3bの回路図に示します。この回路は一般的に、RF信号波形の負のエンベロープを取り出します。1.87VのPSBIAS電圧と100 μ Aの電流ソースはともにMAX1007によって生成されます。

図3bでは、3つの入力チャンネルRPS、FPS1及びFPS2のうち1つの入力チャンネルから信号がマルチプレクサによって選択されています。その後段のPGAは信号のパワークラスレベルと送信モード(順方向又は逆方向)に基づいて、入力信号を増幅あるいは減衰します(表1)。PGAでは-0.53、-0.44及び-6の3つの利得設定が可能です。内部ノードPSOUTの電圧範囲は、ADCの入力範囲と全く同じです。

その後で、信号はPGA後段のピーク検出器に送られます。このピーク検出器はADCが変換を開始するまで入力にトラッキングし、正のピーク電圧を保持します。

移動体無線用アナログコントローラ

MAX1007

RSSI

RSSI入力には、フィルタ入力及びADCへのダイレクト入力が用意されています。フィルタされた信号経路はユニティゲインバッファ、RCローパスフィルタ及びピーク検出器で構成され、ADCに入力される信号を調節します。ローパスフィルタの時定数は10 μ s(最小値)です。ADCの入力マルチプレクサによって、CH0(フィルタ入力)又はCH1(ダイレクトRSSI入力)を選択します。

制御タイミング

MAX1007を送信モード又は受信モードに設定しているときに、電力センス回路は外部で生成されるPKWDW

信号(図1)によって起動されます。PKWDW信号がハイになると、電力センス回路全体がターンオンします。しかし、PGAは送信モードのときだけに限りアクティブ状態になるので、電力を節約するためにRSSI電力測定の実行期間中はシャットダウン状態に維持されます。

アンテナダイバーシティ

アンテナ又はプリアンプスイッチドダイバーシティ(PSD)回路は2つの異なる期間中にRSSIの入力信号強度を比較し、その比較結果をBANT(ベストアンテナ)出力にてラッチします。この回路はデュアルトラック/ホールド(T/H)段、コンパレータ及び出力ラッチ(Dフリップフロップ)で構成されています。

表1. データバイトの定義

A [2:0]	名称	D [7:0]	説明
000	XDAC	書込 [7,6]: [5:0]:	予約 XDAC値[5:0]; LSBはビット0、バイナリです。
001	SDAC	書込 [7]: [6:0]:	F/Rビット、送信供給電力あるいは送信反射電力センス測定を定義します。 0=送信反射電力センス測定; RPSピン 1=送信供給電力センス測定; FPS1/FPS2ピン SDAC値[6:0]; LSBはビット0、バイナリです。
010	KDAC	書込 [7]: [6:0]:	ADCのチャンネル選択 0=ピークホールド回路を通して電力センス又はRSSIをADCに接続(CH0) 1=RSSIピンをADCに直接接続(CH1) KDAC値[6:0]; LSBはビット0、バイナリです。
011	GDAC	書込 [7,6]: [6:0]:	電力クラス: 00=クラス1 01=クラス2 10=クラス3 11=クラス4 GDAC値[5:0]; LSBはビット0、バイナリです。
100			予約
101			予約
110			予約
111	ADC	読出 [7:0]:	ADC値 [7:0]; LSBはビット0、バイナリです。

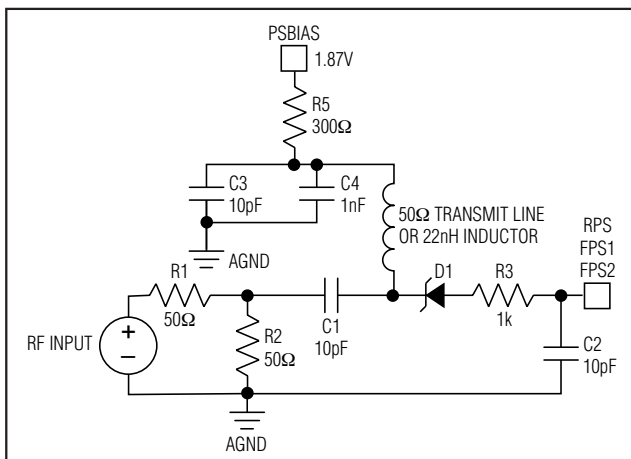


図3a. エンベロープ検出用の外部回路(1チャンネル)

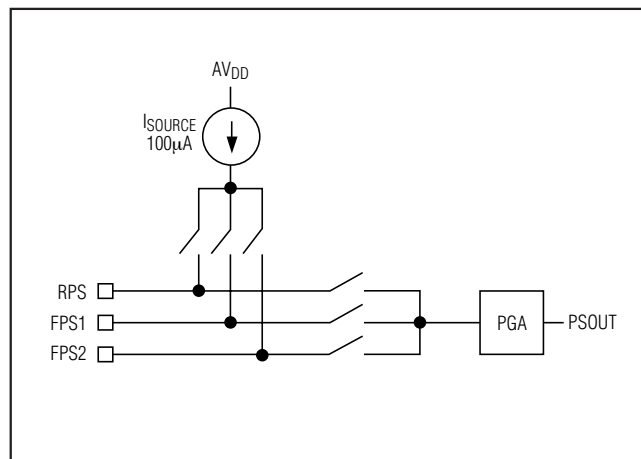


図3b. 電力センス回路ブロック

比較動作は、RSSIピンに入力される第1アンテナからの信号から開始されます(図2)。PSDWDW信号がハイになり、PSD回路がオンします。BANT出力がローの状態からDフリップフロップが常に起動するように、パワーオンリセット信号によって初期化設定されます。ピーク検出器をリセットする4クロックの後でPSDCTRL信号がハイになり、測定動作が開始されます。PSDCTRL信号がハイの間にT/H回路段は8クロック分の信号を収集し、次に第2アンテナからの信号が外部でRSSIピンにスイッチされ、T/Hはゼロに設定されるとピーク値を保持します。次の4クロックサイクル期間中にPSDCTRL信号はローになり、その後で再びハイになってピーク検出器がイネーブルになります。出力が第1アンテナのピーク値と比較される次の8クロックサイクル期間中にピーク検出器はアクティブ状態を維持します。比較プロセスが終了してPSDWDW信号がローになった時点で、コンパレータの出力はDフリップフロップにクロック入力されます。Dフリップフロップの出力BANTIは、第1アンテナの信号レベルが第2アンテナよりも高ければローになり、第2アンテナの信号レベルが第1アンテナよりも高ければハイになります。PSDCTRL信号はPSDWDW信号がローになった後の1クロックサイクル期間中ローに設定され、PSD回路をパワーダウンします。

アナログデジタルコンバータ(ADC)

このADCは8ビットのハーフフラッシュ型ADCで、1個のT/Hと2つの入力(CH0、CH1)を備えています。このADCの選択時のアキュイジション時間は1.74 μ sです。このADCの入力電圧範囲は1.028Vの内部リファレンス電圧と同じです。

リファレンス

バンドギャップ電圧リファレンスは、MAX1007に内蔵されたいくつかの回路ブロックをサポートします。公称値1.21Vの電圧出力が電力センスのバイアス、PGA、ADCそしてDAC用に調整されバッファされます。PSBIAS出力電圧は1.87V(公称値)です。ADCのリファレンス電圧は1.028Vです。この電圧リファレンスはスイッチングノイズを絶縁し、外部コンデンサを使用したバイパス処理(0.014 μ Fから0.05 μ Fまでの容量)によって安定したAC性能を維持することができるようにバッファされています。利得付バッファによって、公称値2.42Vのリファレンス電圧が全てのDACに供給されます。

デジタルアナログコンバータ(DAC)

4つのDAC出力は、パワーアップ時に全てゼロにリセットされます。トータルシャットダウン動作モード時には各DACの出力をゼロ以外の電圧にプリセットし、コマンドバイトのLDビットを設定することで各DAC出力をアップデートします。

XDAC

XDACは6ビットの電圧出力DACで、電圧制御水晶発振器を同調させるバラクタダイオードを駆動するために用意されています。個別のアップデートに対応できるように、入力はダブルバッファされています。負荷が完全に容量性なので、反転R-2Rラダー出力はバッファされていません。最大出力電圧は2.42V(公称値)、そして最大出力抵抗値は30k Ω です。パワーアップ時に出力はゼロにリセットされ、すぐにアクティブ状態になります。XDACをディセーブルすると、DAC出力はAGNDに引かれます。

GDAC

GDACは6ビットの電圧出力DACで、GaAsアンブ用内外付するMAX840などの負バイアス発生器を制御するために用意されています。デジタル入力はダブルバッファされています。反転R-2Rラダー出力はバッファされており、5k Ω 負荷を駆動する能力を備えています。最大出力電圧は2.42V(公称値)です。パワーアップ時にDAC出力はゼロにリセットされ、スタンバイ時にアクティブ状態になります。外部バイアス発生器のシャットダウン用として、プログラマブルロジック出力(SDG)が備わっています。

SDAC及びKDAC

SDACとKDACはそれぞれ7ビットの電圧出力DACで、アップ/ダウンコンバータ又は変調器のパワーレベルを調整するために用意されています。デジタル入力はダブルバッファされています。反転R-2Rラダー出力もバッファされており、5k Ω 負荷を駆動する能力を備えています。最大出力電圧は2.42V(公称値)です。パワーアップ時にSDAC及びKDACの各DAC出力はゼロにリセットされます。

シリアルインタフェース及び制御ロジック

シリアルインタフェースは \overline{CS} 、SCLK及びDINの各入力とDOUT出力を使用する4線方式になっています。ハードウェアは7ビットのコマンドレジスタ、8ビットのデータ入力レジスタ、8ビットのデータ出力レジスタ、カウンタ及び制御ロジックで構成されます。

通信はカウンタによって16ビットワード(8個のコマンドビット及びその後続く8個のデータビット)で構成されます。データはSCLKの立下がりエッジでDINにクロック入力され、SCLKの立上がりエッジでDOUTからクロック出力されます。シリアルインタフェースは常にアクティブ状態に維持されます。

SCLKとDINの各入力はローのときにアイドル状態になります(図4)。 \overline{CS} 入力がローになった後で最初にクロック入力されるビット「1」がスタートビットになり、16ビット

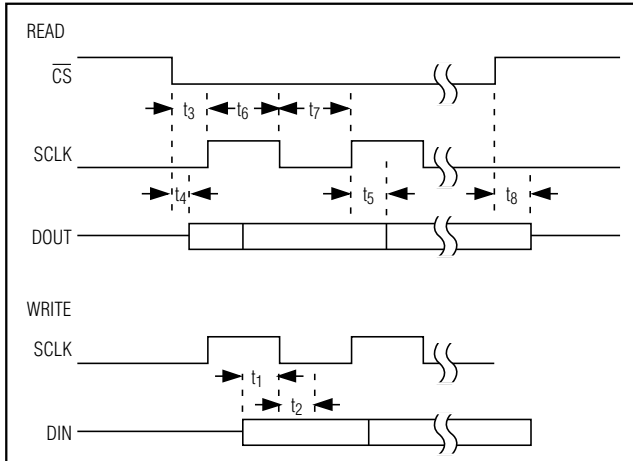


図4a. リード/ライトの詳細インタフェースタイミング

データワードの先頭を表わします。コマンド及びデータ入力レジスタがクリアされ、カウンタの動作が開始されます。次の7ビットデータはコマンドレジスタにラッチされます。

コマンドバイト

コマンドバイト(図4d)は3個のアドレスビット(A2、A1、A0)、2個のパワーモードビット(RxEN、TxEN)、1個のシャットダウン制御ビット(SD)及び1個のロードデータビット(LD)で構成されます。表1にアドレス及びデータバイトの定義のリストを掲載しています。

SDはGaAs FETバイアス発生器のシャットダウン端子とGDACをソフトウェア制御するためのビットです。SDを“0”にリセットすると、SDG出力がローになり、GDACがディセーブルされます。LDビットをハイに設定すると、SDG出力がアップデートされます。

LDは出力レジスタのアップデートをソフトウェア制御するためのビットです。書込動作の実行期間中に、アドレス指定されたDACの入力バッファがアップデートされます。LDビットを“0”にリセットしているときには、DACレジスタとDAC出力に変更は全くありません。LDビットを“1”に設定すると、最後のデータビット(DAC

値、パワークラスビット、F/Rビット、RSSI及びADC入力選択、SDG(そしてパワーダウンビットを含む)の直後に全てのDAC及びパワークラスレジスタがその該当する入力レジスタにストアされている値に同時アップデートされます。

16ビットの読出しサイクルが終了すると、CS入力はハイに引込まれます。この時点で、インタフェースは新しいコマンドシーケンスを受け入れる準備が整ったこととなります。読出し動作の実行期間中、ADCの変換結果はDOUT端子に出力されます。LDビットを“1”に設定すると、他の全ての出力とパワークラスレジスタも同様にアップデートされます。

ライトコマンド

8個のデータビットはデータ入力レジスタにラッチされます。コマンドバイトがデコードされ、データビットは該当するレジスタに転送されます。

リードコマンド

コマンドバイトがデコードされた後で、最後の8クロック出力データがMSBを先頭にしてADC出力レジスタからDOUTに出力されます(図4b)。16ビットのリードサイクルが完了した後で、CS入力をハイに引込みます。この時点で、インタフェースは新しいコマンドシーケンスを受け入れる準備が整ったこととなります。

電力センス測定からADC出力までの遅延時間を可能な限り短くするために、電力センス測定を実行する前に‘READ ADC’コマンドをプログラミングし、変換サイクルが終了した時点で直ちにデータをクロック出力してください(図4b)。この設定によって、遅延時間が8クロックサイクル分短くなります。

電力センス測定からADC出力までの遅延時間を可能な限り短くするために、電力センス測定を実行する前に‘READ ADC’コマンドをプログラミングし、変換サイクルが終了した時点で直ちにデータをクロック出力してください(図4b)。この設定によって、遅延時間がFクロックサイクル分短くなります。

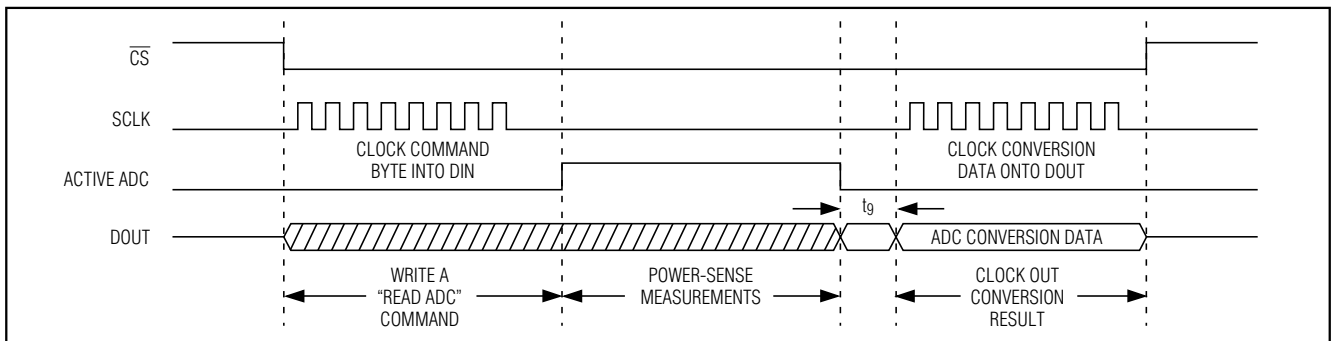


図4b. クロックコマンド変換のタイミングシーケンス

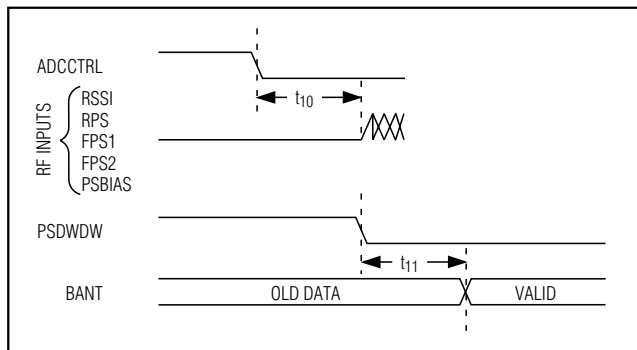


図4c. パワーセンス/ベストアンテナの詳細インタフェース

表2. パワーモード

RxEN, TxEN	説明
0 0	トータルシャットダウン
0 1	送信モード、全てのDACをイネーブ
1 0	受信モード、SDAC及びGDAC出力をディセーブ
1 1	スタンバイ：REF、GDAC及びXDACをイネーブ。ICのその他の回路は全てシャットダウンされます。

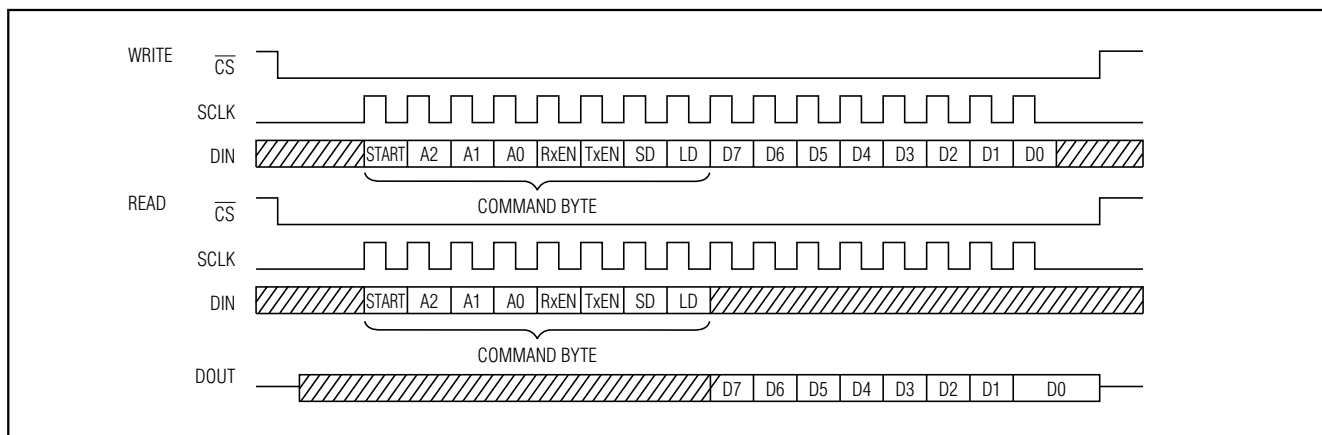


図4d. シリアルインタフェースタイミング

アプリケーション情報

ICを通して起こるRF結合が最小限に抑えられるように、適切な措置を講じることが必要です。

シャットダウン動作モード

パワーアップ時に、デバイスはトータルシャットダウン動作モードに初期化設定されます。デジタルインタフェースは常にアクティブ状態に維持されます。設定可能な各種のパワーモードを表2に説明しています。

PGAの動作がオンに設定されていないときに(シャットダウン、スタンバイ、受信モード又はPKWDW入力がある場合)、PS入力ピン(RPS、FPS1、FPS2)はグラウンドにプルダウンされます。RF結合を最小限に抑えるには、回路がアクティブのときに、選択されていないチャンネルも同様にグラウンドにプルダウンします。電流ソースと1.87VのPSBIAS電圧発生器は、デバイスが送信電力センス測定動作を実行しているときだけに限りオンします。

電源のバイパス処理及びグランド管理

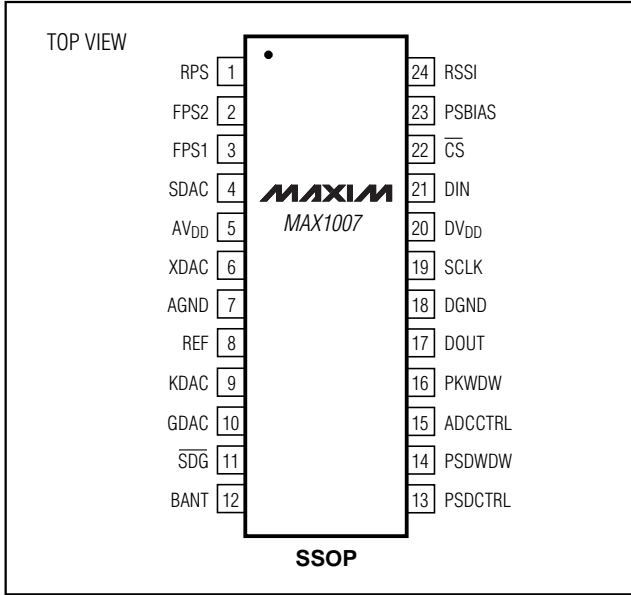
アナログ及びデジタルグランドプレーンをそれぞれ個別に分離したプリント回路基板を使用すると、最適なシステム性能が確保されます。ワイヤラップ基板の使用は推奨できません。2つのグランドプレーンとともに、低インピーダンスの電源ソースに接続してください。

AV_{DD}とAGNDの2つの端子間に0.1μFのセラミックコンデンサを接続して、AV_{DD}をバイパスしてください。このコンデンサを実装する際には、リード長を短くしてデバイスに可能な限り近接させて搭載します。これと同様に、DV_{DD}とDGNDの2つの端子間に0.1μFのセラミックコンデンサを接続して、DV_{DD}をバイパスします。フェライトビーズを使用して、アナログ電源とデジタル電源を更に分離絶縁することも可能です。

移動体無線用アナログコントローラ

MAX1007

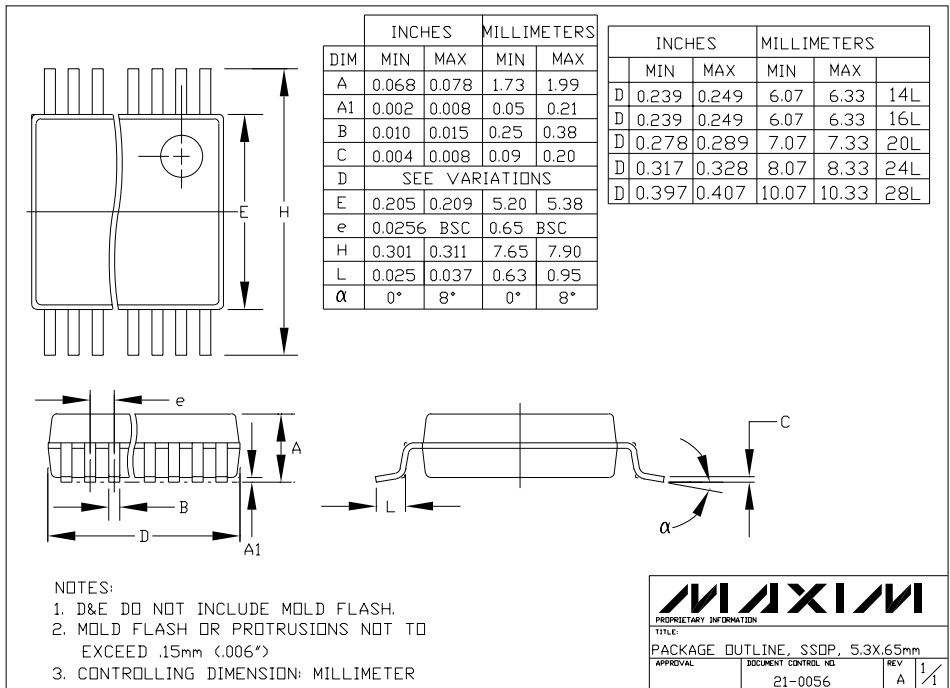
ピン配置



チップ情報

TRANSISTOR COUNT: 6744

パッケージ



マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。

12 Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600