



DS28DG02

PIO、RTC、リセット、バッテリーモニタ、および
ウォッチドッグ付き、2kb SPI EEPROM

japan.maxim-ic.com

概要

DS28DG02 は、12 本の PIO ライン付き 2kb (256 x 8) EEPROM、アラーム機能付きリアルタイムクロック(RTC)/カレンダー、CPU リセットモニタ、バッテリーモニタ、およびウォッチドッグを組み合わせたものです。デバイスとの通信は、業界標準の SPI™ インタフェースを通じて実行されます。ユーザ EEPROM は 64 バイトの 4 つのブロックで構成され、各ブロックは 1 バイトおよび最大 16 バイトページまでの書き込み機能を備えています。PIO および設定機能にアクセスするためのレジスタも備えています。各 PIO ラインは入力または出力として構成することができます。出力として構成された PIO の電源投入時の状態は、不揮発性(NV)メモリに保存されます。すべての PIO は、シリアルインタフェースを通じてユーザが設定変更することができます。RTC/カレンダーは、12 時間制または 24 時間制で動作し、うるう年の補正を自動的に行います。バッテリーモニタのスレッシュホールドとウォッチドッグタイムアウトは、NV レジスタを介してユーザ設定可能です。リセットモニタは、V_{CC} 端子の電圧が出荷時設定の限界値を下回ると CPU に対するリセットを生成します。リセット出力は、押しボタンのマニュアルリセット用のデバウンス回路を内蔵しています。

アプリケーション

資産トラッキングシステム
ブロードバンドアクセスネットワーク装置
患者監視装置
ホーム照明制御システム
ホルター心臓モニタ

標準動作回路は 32 ページに記載されています。
ピン配置は 33 ページに記載されています。

型番

PART	TEMP RANGE	V _{CC} TRIP	PIN-PACKAGE	PKG CODE
DS28DG02E-3C+	-40°C to +85°C	3.3V -5%	28 TSSOP-EP [*] (4.4mm)	U28E+5
DS28DG02E-3C+T	-40°C to +85°C	3.3V -5%	28 TSSOP-EP [*] T&R	U28E+5
DS28DG02G-3C+	-40°C to +85°C	3.3V -5%	36 TQFN-EP [*] (6mm x 6mm)	T3666+3
DS28DG02G-3C+T	-40°C to +85°C	3.3V -5%	36 TQFN-EP [*] T&R	T3666+3

*EP = エクスポーズドパッド

+は鉛フリー/RoHS 準拠デバイスを表します。

V_{CC} モニタトリップポイントなどのデバイスオプションについては、お問い合わせください。

注: レジスタは、分かり易くするために大文字で始まる表記としてあります。

SPI は Motorola, Inc. の商標です。

特長

- 64 バイトの 4 つのブロックで構成される 2kb (256 x 8) EEPROM
- 1 バイトおよび最大 16 バイトまでの EEPROM 書き込みシーケンス
- EEPROM 書き込み保護制御端子によって 1 つ、2 つ、または 4 つ全部のブロックを保護
- 耐久性: +25°C でページ当たり 20 万サイクル、10ms (max) の EEPROM 書き込みサイクル
- 最高 2MHz のクロック周波数でモード(0,0)と(1,1)をサポートする SPI シリアルインタフェース
- LED 駆動能力を備えた 12 本の PIO ライン
- 保存値によって、各 PIO を起動時に入力または出力、オープンドレイン/プッシュプルに構成
- すべての PIO は起動後に設定変更可能
- BCD 形式、うるう年補正付きの RTC/カレンダー/アラーム
- 32.768kHz、12.5pF 水晶または外付け TCXO によって RTC を制御
- ヒステリシス付き高速応答高精度 V_{CC} モニタまたは押しボタンによる CPU リセット
- バッテリーモニタ 2.5V、2.25V、2.0V、1.75V、-5%
- ウォッチドッグタイム 1.6 秒、0.8 秒、0.4 秒、0.2 秒 (typ)
- 固有の出荷時設定済み 64 ビットデバイス登録番号
- 動作範囲: 2.2V ~ 5.25V、-40°C ~ +85°C
- ±4kV IEC 1000-4-2 ESD 保護レベル(水晶端子を除く)
- 4.4mm の 28 ピン TSSOP、または 6mm x 6mm の 36 ピン QFN パッケージ

注: この製品の改訂版の中には仕様が公表されたデータシートの仕様と異なり、正誤表として扱われている場合があります。様々な販売チャネルを通し、製品に複数の改訂版が同時に存在することがあります。デバイスの正誤表に関しては、japan.maxim-ic.com/errata をご覧ください。

ABSOLUTE MAXIMUM RATINGS

Voltage Range on Any Pin Relative to Ground	-0.5V, +6V
Maximum Current SO, ALMZ, RSTZ, WDOZ Pins	±20mA
Maximum Current Each PIO Pin	±50mA
Maximum GND and V _{CC} Current	270mA
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See IPC/JEDEC J-STD-020

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to the absolute maximum rating conditions for extended periods may affect device.

ELECTRICAL CHARACTERISTICS(T_A = -40°C to +85°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	Battery monitor off	2.2		5.25	V
		Battery monitor enabled	2.7		5.25	
Battery Voltage	V _{BAT}	(Note 1)	1.5	3.0	V _{CC}	V
Battery Current (V _{BAT} = 3.0V, Note 1)	I _{BAT}	RTC oscillator off			2	μA
		RTC oscillator on		0.4	10	
		RTC oscillator on, +25°C			4.7	
Standby Current (Note 2)	I _{CCS}	SPI idle, ALMZ, WDOZ, RTSZ high, V _{CC} = 5.25V, RTC oscillator on, all PIOs grounded		60	100	μA
Operating Current	I _{CCA}	Reading EEPROM at 2 Mbps, ALMZ, WDOZ, RTSZ high, V _{CC} = 5.25V, RTC oscillator on, all PIOs grounded		550	800	μA
Programming Current	I _{PROG}	V _{CC} = 5.25V		600	1000	μA
V _{CC} Monitor Trip Point	V _{TRIP}	(Note 3)	2.97	3.05	3.14	V
V _{CC} Monitor Trip-Point Tolerance	V _{TRIP} TOL	+25°C	-1.5		+1.5	%V _{TRIP}
		-40°C to +85°C	-2.5		+2.5	
V _{CC} Monitor Hysteresis	V _{HYST}		0.4	0.5	0.6	%V _{TRIP}
Power-Up Wait Time	t _{POIP}				60	μs
EEPROM						
Programming Time	t _{PROG}				10	ms
Endurance	N _{CYCLE}	At +25°C (Notes 4, 5)	200k			—
Data Retention	t _{RET}	At +85°C (Notes 5, 6)	40			years
REAL-TIME CLOCK						
Frequency Deviation	Δ _F	(Notes 5, 7)	-46		+46	PPM
PIO PINS (See Figures 21, 22, 23)						
LOW-Level Output Current at V _{OL} = 0.5V (Note 8)	I _{OL}	V _{CC} = 2.2V	6	9.5		mA
		V _{CC} = 3.3V	12.5	22.0		
		V _{CC} = 5.25V	19	30		
HIGH-Level Output Current (Note 8)	I _{OH}	V _{OH} = 2.4V, V _{CC} = 3.3V	6.5	11.0		mA
		V _{OH} = 4.5V, V _{CC} = 5.25V	12.5	18.0		

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOW-Level Input Voltage	V_{IL}				0.8	V
HIGH-Level Input Voltage	V_{IH}		$0.7 \times V_{CC}$		$V_{CC} + 0.5V$	V
Output Transition Time	t_{OT}	Low-current mode (Note 9)			1	μs
		High-current mode (Note 10)			25	
Power-On Setting Time	t_{POS}	High-current mode (Note 11)			25	μs
PIO Read Setup Time	t_{PS}	(Note 5)	100			ns
PIO Read Hold Time	t_{PH}	(Note 5)	100			ns
Leakage Current	I_L	High impedance, at V_{CCMAX}	-1		+1	μA
RSTZ PIN (Note 12) (See Figures 6, 7)						
LOW-Level Output Voltage	V_{OL}	At 4mA sink current			0.3	V
LOW-Level Input Voltage	V_{IL}				$0.3 \times V_{CC}$	V
Input Leakage Current	I_L		-1		+1	μA
Minimum V_{CC} for Valid RSTZ	V_{POR}	(Notes 5, 13)			2.13	V
RSTZ Pulse Duration	t_{RST}		176	328	532	ms
Manual Reset Pulse Width	t_{MPW}		1			μs
Manual Reset Release Threshold	V_{TRMS}	(Note 14)		V_{IL}		V
Manual Reset Debounce Time	t_{DEB}			t_{RST}		ms
RSTZ Delay	t_{DEL}	V_{CC} falling below V_{TRIP} (Note 15)			90	μs
ALMZ, WDOZ PINS						
LOW-Level Output Voltage	V_{OL}	At 4mA sink current			0.3	V
WDI PIN						
LOW-Level Input Voltage	V_{IL}				$0.3 \times V_{CC}$	V
HIGH-Level Input Voltage	V_{IH}		$0.7 \times V_{CC}$		$V_{CC} + 0.5V$	V
Input Leakage Current	I_L		-1		+1	μA
Minimum Input Pulse Width	t_{MPW}		1			μs
Watchdog Timeout	t_{WD}	User programmable	0.88	1.64	2.66	s
			0.44	0.82	1.33	
			0.22	0.41	0.67	
			0.11	0.20	0.33	
WPZ, SI, SCK, CSZ PINS						
LOW-Level Input Voltage	V_{IL}				$0.3 \times V_{CC}$	V
HIGH-Level Input Voltage	V_{IH}		$0.7 \times V_{CC}$		$V_{CC} + 0.5V$	V
Input Leakage Current	I_L		-1		+1	μA
SO PIN						
LOW-Level Output Voltage	V_{OL}	At 1mA sink current and V_{CCmin}			0.2	V
HIGH-Level Output Voltage	V_{OH}	At 1mA source current	$0.7 \times V_{CC}$			V
Output Leakage Current	I_L	High impedance, at V_{CCmax}	-1		+1	μA

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
BATTERY MONITOR (See Figure 8)						
V_{BAT} Trip Point	V_{BTP}	Measured with V_{BAT} falling; trip point is user programmable	2.25 2.03 1.80 1.58	2.31 2.08 1.85 1.62	2.38 2.14 1.90 1.66	V
V_{BAT} Monitor Trip-Point Tolerance	$V_{TRIP TOL}$	+25°C -40°C to +85°C	-1.5 -2.5		+1.5 +2.5	% V_{BTP}
Battery Test Load Current	I_{LOAD}		7.5		20	μA
Battery Test Duration	t_{BTPW}	Load applied to battery (Notes 5, 16)		2		s
SPI INTERFACE TIMING (See Figures 9, 10)						
CSZ Setup Time	t_{CSS}	(Note 5)	0.4			μs
CSZ Hold Time	t_{CSH}	(Note 5)	0.4			μs
CSZ Standby Pulse Width (Note 5)	t_{CPH}	Normal communication (Note 17)	0.25 2.0			μs
CSZ to High-Z at SO	t_{CHZ}				0.25	μs
SCK Clock Frequency	f_{CLK}				2	MHz
Data Setup Time	t_{DS}	(Note 5)	50			ns
Data Hold Time	t_{DH}	(Note 5)	50			ns
SCK Rise Time	t_{SCKR}	(Note 5)			1	μs
SCK Fall Time	t_{SCKF}	(Note 5)			1	μs
Output Valid time	t_V	(Note 5)	0		120	ns

- Note 1:** If no battery is used, connect the V_{BAT} pin to V_{CC} . The RTC is powered by V_{BAT} if V_{CC} falls below V_{CCmin} .
- Note 2:** To the first order, this current is independent of the supply voltage value.
- Note 3:** Nominal values: 3.3V -5%, set at factory. Measured with V_{CC} falling; for V_{CC} rising, the actual threshold is $V_{TRIP} + V_{HYST}$.
- Note 4:** This specification is valid for each 16-byte memory page.
- Note 5:** Not production tested. Either guaranteed by design (GBD) or guaranteed by a reliability study (EEPROM lifetime parameters).
- Note 6:** EEPROM writes can become nonfunctional after the data-retention time is exceeded. Long-time storage at elevated temperatures is not recommended; the device can lose its write capability after 10 years at +125°C or 40 years at +85°C.
- Note 7:** Valid with 32KHz crystal, 12.5pF, $ESR \leq 45k\Omega$, +25°C.
- Note 8:** Total PIO sink and source currents through all PIO pins must be externally limited to less than the absolute maximum rating of 270mA minus 1.5mA for EEPROM programming and SPI communication. Exceeding the absolute maximum rating can cause damage.
- Note 9:** Assumes the configuration of the system and the part is such that changing GOV<i> (0 ≤ i ≤ 11) between 'b1 and 'b0 switches between sourcing no current and sinking the absolute maximum current at the PIO<i> pin. The limit refers to the switching time between sinking 20% of the DC current and 80% of the DC current. The same is true for changing between 'b0 and 'b1 causing the part to switch from sinking no current to sourcing the absolute maximum current at the PIO<i> pin.
- Note 10:** Each output pin transitions in 1μs with a pause of 1μs before the next pin transitions.
- Note 11:** All PIO are tri-stated at beginning of reset prior to setting to power-on values.
- Note 12:** If the part has battery power (normal case) the active pulldown of RSTZ is supported by the battery.
- Note 13:** If V_{BAT} is tied to V_{CC} (no battery supply) the state of the RSTZ pulldown transistor is not guaranteed when V_{CC} falls below V_{POR} .
- Note 14:** Threshold refers to the manual reset function obtained by forcing RSTZ low.
- Note 15:** Transient response to a step on V_{CC} from above V_{TRIP} down to ($V_{TRIP} - 1mV$). Glitches on V_{CC} that are shorter than t_{DELmin} are guaranteed to be suppressed, regardless of their amplitude. Glitches on V_{CC} that are longer than t_{DELmax} are guaranteed not to be suppressed. This parameter is tested at high V_{CC} and guaranteed by design at low.
- Note 16:** If enabled, this test takes place every hour on the hour. The battery voltage is compared to V_{BTP} during the second half of the t_{BTPW} window. The timing is controlled by the RTC.
- Note 17:** Extended duration applies to the following cases:
- 1) Aborted WREN, WRDI, RDSR, and WRSR command.
 - 2) WRITE command aborted before transmitting the first complete data byte after command and address.
 - 3) READ command aborted before reading the first complete data byte after command and address.
 - 4) Read aborted before the end of a byte.

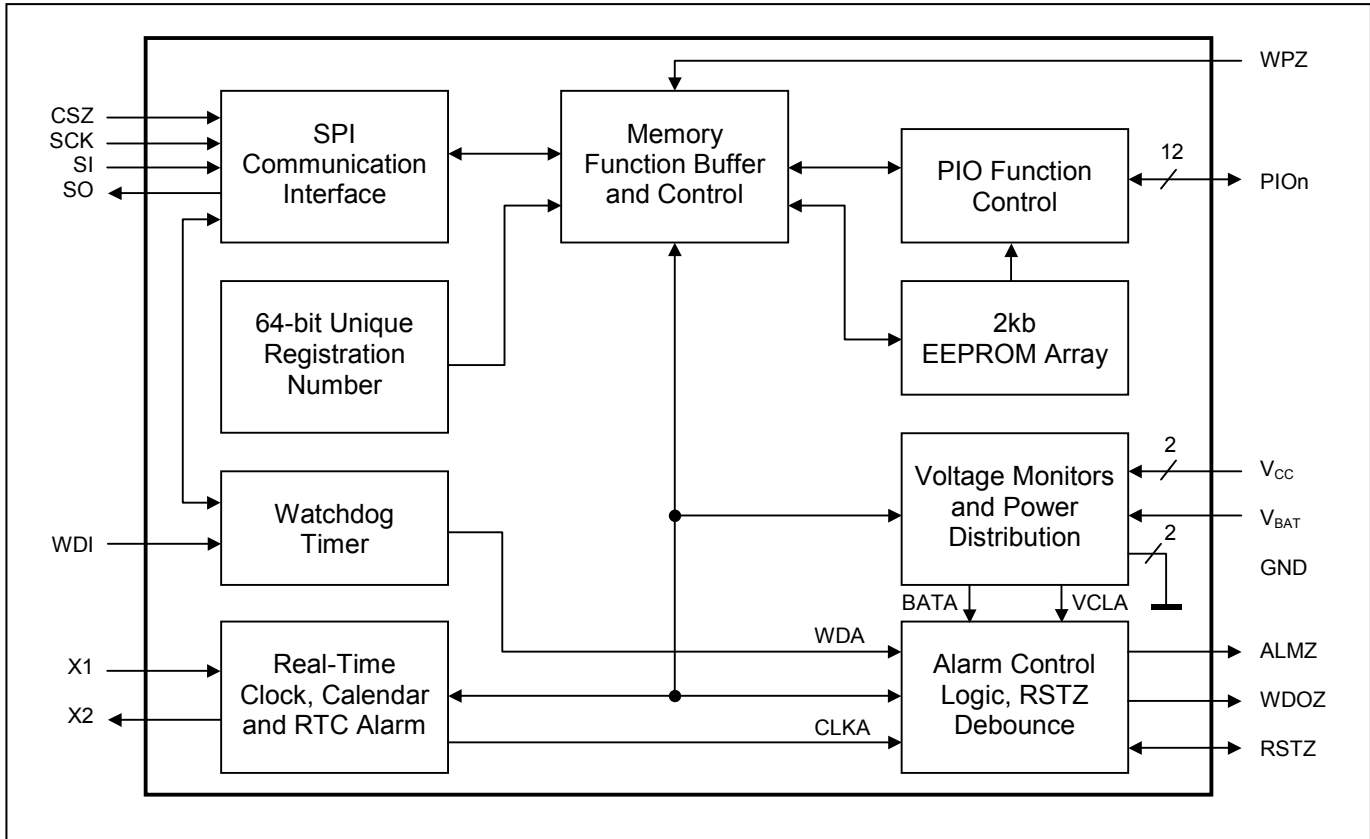
端子説明

名称	端子		機能
	TSSOP28	TQFN36	
X1	1	33	32.768kHz の水晶接続 1、または TCXO からの 32.768kHz 入力
X2	2	34	32.768kHz の水晶接続 2
RSTZ	3	36	V _{CC} パワーフェイルリセット、ウォッチドッグアラーム、およびマニュアルリセット入力用オープンドレイン出力端子(アクティブロー)。詳細は、「Multifunction Control/Setup レジスタ」の説明を参照してください。
WDI	4	2	ウォッチドッグ入力端子(アクティブハイ)。詳細は、アドレス 134h における「Multifunction Control/Setup レジスタ」の説明を参照してください。
WDOZ	5	3	(ユーザ選択)ウォッチドッグアラーム用オープンドレイン出力端子(アクティブロー)。詳細は、「Multifunction Control/Setup レジスタ」の説明を参照してください。
WPZ	6	4	ハードウェア書き込み保護入力端子(アクティブロー)。詳細は、「SPI インタフェース」の説明を参照してください。
PIO0	7	5	PIO ライン#0
PIO4	8	6	PIO ライン#4
PIO8	9	7	PIO ライン#8
GND	10, 19	9, 19	電源グランド
PIO10	11	10	PIO ライン#10
PIO6	12	11	PIO ライン#6
PIO2	13	12	PIO ライン#2
V _{CC}	14, 15	13, 15	電源入力
PIO3	16	16	PIO ライン#3
PIO7	17	17	PIO ライン#7
PIO11	18	18	PIO ライン#11
PIO9	20	21	PIO ライン#9
PIO5	21	22	PIO ライン#5
PIO1	22	23	PIO ライン#1
ALMZ	23	24	RTC、バッテリーモニタ、および(ユーザ選択)ウォッチドッグアラーム用オープンドレイン出力端子(アクティブロー)。詳細は、「Multifunction Control/Setup レジスタ」の説明を参照してください。
SO	24	25	SPI シリアルデータ出力(トリステート)
SI	25	26	SPI シリアルデータ入力
SCK	26	28	SPI シリアルクロック入力
CSZ	27	30	チップセレクト入力(アクティブロー)
V _{BAT}	28	31	RTC および RSTZ サポート用バックアップバッテリー電源
N.C.	—	1, 8, 14, 20, 27, 29, 32, 35	接続なし
GND	EP	EP	エクスポーズドパッド。適正に動作させるために、回路ボードのグランドプレーンに均一に半田付けしてください。詳細は、「 アプリケーションノート 3273 」(英文のみ)を参照してください。

要約

DS28DG02 は、2kb の EEPROM、12 個の双方向 PIO チャネル、カレンダー/アラーム機能付き RTC、ウォッチドッグタイマ、2 つの高精度トリップポイント付き電圧モニタ、および 3 つのアラーム/リセット出力を備えています。各 DS28DG02 は固有の登録番号を備えており、これはデバイスが組み込まれる製品の識別に使われます。これらすべての構成要素には、図 1 のブロック図に示すように、シリアル SPI インタフェースを介してアクセスされます。SPI インタフェースは SPI モード(0,0)と(1,1)に自動調整されます。パワーフェイルリセット出力(RSTZ 端子)を制御する V_{CC}トリップポイントは、出荷時に設定されます。ユーザは、バッテリーモニタのスレッショルドとウォッチドッグタイムアウトをソフトウェアによって設定することができます。RTC では、時刻、カレンダー、および曜日に共通の BCD 形式が使用されます。デバイスは、1 秒ごと、1 分ごと、1 時間ごと、または毎日、および週に 1 回、または月に 1 回、ユーザが定めた時刻に RTC アラームを生成するように設定することができます。RTC、ウォッチドッグ、およびバッテリーアラームは個別にイネーブルすることができます。

図 1. ブロック図



PIO の構成とアラーム付き RTC/カレンダーの設定は、「レジスタの詳細説明」の項で説明します。この項では、複数のデバイス機能をイネーブル/ディセーブルする Multifunction Control/Setup レジスタ、および Alarm/Status レジスタの詳細も記載されています。V_{CC} モニタ/パワーフェイルリセットおよびバッテリーモニタの動作の詳細については、「監視機能」の項を参照してください。「SPI インタフェース」の説明では、メモリおよびレジスタへのアクセスに関する通信プロトコルとウォッチドッグ機能の使用法を説明します。「PIO の読み取り/書き込みアクセス」の項では、PIO の動作、特にアドレス生成と小電流および大電流モードにおけるタイミングを説明します。

DS28DG02 のメモリマップ(図 2)は、64 バイトの 4 つのブロックとして構成される 256 バイトの汎用ユーザ EEPROM で始まります。別の EEPROM は、PIO の状態(出力モードのハイ、ロー)、データ方向(入力、出力)、読み取り反転(真、偽)、ポート出力タイプ(プッシュプル、オープンドレイン)、および出力モード(大電流、小電流)に対する電源投入時のデフォルト条件を格納するために用意されています。いったん電源が投入されると、SRAM レジスタを通じて PIO の設定値を上書きすることができますが、電源投入時のデフォルト値には影響しません。PIO の状態、方向、および読み取り反転は、ポートごとに設定することができます。出力タイプは 4 つの PIO のグループごとに設定され、選択された出力モードは出力モードのすべての PIO に適用されます。RTC/カレンダー、関連する Alarm レジスタ、および Multifunction Control/Status レジスタは、バッテリーバックアップによって不揮発状態に保たれます。書き込み保護は、イネーブルされると、4 つの EEPROM ブロックのすべて、ブロック 2 と 3 のみ、またはブロック 3 のみに対して、アドレスが 120h 以上の書き込み可能な全レジスタに有効となります。

図 2. メモリマップ

ADDRESS	TYPE	ACCESS	DESCRIPTION
000h to 03Fh	EEPROM	R/W	User memory block 0.
040h to 07Fh	EEPROM	R/W	User memory block 1.
080h to 0BFh	EEPROM	R/W	User memory block 2.
0C0h to 0FFh	EEPROM	R/W	User memory block 3.
100h to 109h	—	—	Reserved, contents undefined.
10Ah	EEPROM	R/W	Power-on default for PIO output state (PIO0 to PIO7).
10Bh	EEPROM	R/W	Power-on default for PIO output state (PIO8 to PIO11).
10Ch	EEPROM	R/W	Power-on default for PIO direction (PIO0 to PIO7).
10Dh	EEPROM	R/W	Power-on default for PIO direction (PIO8 to PIO11).
10Eh	EEPROM	R/W	Power-on default for PIO read-inversion (PIO0 to PIO7).
10Fh	EEPROM	R/W	Power-on default for PIO read-inversion (PIO8 to PIO11), PIO output type (PIO0 to PIO11 in groups of 4 PIOs), PIO output mode (same mode for all PIOs).
110h to 117h	—	—	Reserved, contents is undefined.
118h to 11Fh	ROM	R	64-bit unique registration number.
120h	SRAM	R/W	PIO output state (PIO0 to PIO7).
121h	SRAM	R/W	PIO output state (PIO8 to PIO11).
122h	SRAM	R/W	PIO direction (PIO0 to PIO7).
123h	SRAM	R/W	PIO direction (PIO8 to PIO11).
124h	SRAM	R/W	PIO read-inversion (PIO0 to PIO7).
125h	SRAM	R/W	PIO read-inversion (PIO8 to PIO11), PIO output type (PIO0 to PIO11 in groups of 4 PIOs), PIO output mode (same mode for all PIOs).
126h	—	R	PIO read access (PIO0 to PIO7).
127h	—	R	PIO read access (PIO8 to PIO11).
128h	—	—	Reserved, contents undefined.
129h to 12Fh	NV SRAM	R/W	RTC and calendar.
130h to 133h	NV SRAM	R/W	RTC alarm.
134h	NV SRAM	R/W	Multifunction control/setup register.
135h	NV SRAM	R/Clear	Alarm and status register.
136h and above	—	—	Reserved, contents undefined.

レジスタの詳細説明

PIO 出力状態の電源投入時のデフォルト

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
10Ah	POV7	POV6	POV5	POV4	POV3	POV2	POV1	POV0
10Bh	X	X	X	X	POV11	POV10	POV9	POV8

これらのアドレスに対しては一般的な読取りと書込みが行われます。出荷時デフォルト: 10Ah: FFh; 10Bh: 0Fh。このレジスタの内容は、デバイスの電源投入時にアドレス 120h/121h に自動的に転送されます。

ビットの説明	ビット	定義
POVn: PIO の電源投入時のデフォルト状態	—	PIO0~PIO11 の電源投入時のデフォルト出力状態。POV0 は PIO0 に適用され、以下同様です。
X: (割当なし)	—	将来の予備

PIO 方向の電源投入時のデフォルト

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
10Ch	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
10Dh	X	X	X	X	POD11	POD10	POD9	POD8

これらのアドレスに対しては一般的な読取りと書込みが行われます。出荷時デフォルト: 10Ch: FFh; 10Dh: 0Fh。このレジスタの内容は、デバイスの電源投入時にアドレス 122h/123h に自動的に転送されます。

ビットの説明	ビット	定義
PODn: PIO の電源投入時のデフォルト方向	—	PIO0~PIO11 の電源投入時のデフォルト方向。POD0 は PIO0 に適用され、以下同様です。 説明: 0 → 出力、1 → 入力
X: (割当なし)	—	将来の予備

PIO 読取り反転の電源投入時のデフォルト(PIO0~PIO7)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
10Eh	PIM7	PIM6	PIM5	PIM4	PIM3	PIM2	PIM1	PIM0

このアドレスに対しては一般的な読取りと書込みが行われます。出荷時デフォルト: 00h。このレジスタの内容は、デバイスの電源投入時にアドレス 124h に自動的に転送されます。

ビットの説明	ビット	定義
PIMn: PIO の電源投入時のデフォルト読取り反転	—	PIO0~PIO7 の読取り反転ビットの電源投入時のデフォルト状態。PIM0 は PIO0 に適用され、以下同様です。 説明: 0 → 反転なし、1 → 反転

PIO 読取り反転(PIO8~PIO11)、PIO の出力タイプ、および出力モードの電源投入時のデフォルト

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
10Fh	POTM	POT3	POT2	POT1	PIM11	PIM10	PIM9	PIM8

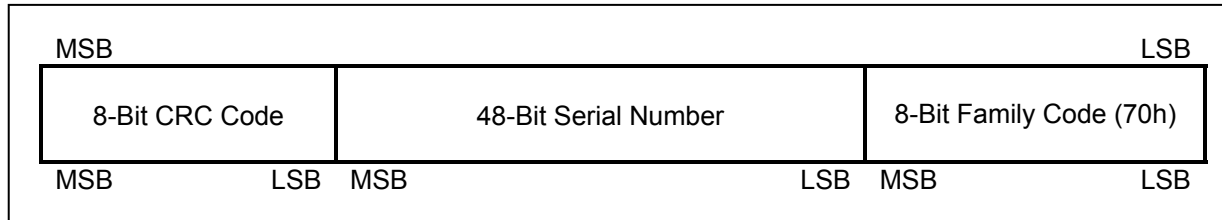
このアドレスに対しては一般的な読取りと書込みが行われます。出荷時デフォルト: 80h。このレジスタの内容は、デバイスの電源投入時にアドレス 125h に自動的に転送されます。

ビットの説明	ビット	定義
PIMn: PIO の電源投入時のデフォルト読取り反転	b0~b3	PIO8~PIO11 の読取り反転ビットの電源投入時のデフォルト状態。PIM8 は PIO8 に適用され、以下同様です。 説明: 0 → 反転なし、1 → 反転
POT1: 電源投入時のデフォルト出力タイプ	b4	PIO0~PIO3 の電源投入時のデフォルト出力タイプ 説明: 0 → プッシュプル、1 → オープンドレイン
POT2: 電源投入時のデフォルト出力タイプ	b5	PIO4~PIO7 の電源投入時のデフォルト出力タイプ 説明: 0 → プッシュプル、1 → オープンドレイン
POT3: 電源投入時のデフォルト出力タイプ	b6	PIO8~PIO11 の電源投入時のデフォルト出力タイプ 説明: 0 → プッシュプル、1 → オープンドレイン
POTM: 電源投入時のデフォルト出力モード	b7	PIO0~PIO11 の電源投入時のデフォルト出力モード 説明: 0 → 小電流、同時切替え、1 → 大電流、順次切替え

固有登録番号(118h~11Fh)

各 DS28DG02 は、図 3 に示すように、64 ビット長の固有登録番号を備えています。登録番号は、アドレス 118h のファミリーコードで始まり、これに 48 ビットのシリアル番号(下位アドレスに LS バイト)が続き、最初の 56 ビットに対する巡回冗長検査(CRC)のアドレス 11Fh で終了します。この CRC は多項式 $X^8 + X^5 + X^4 + 1$ を使って生成されます。CRC の詳細は「アプリケーションノート 27」に記載されています。

図 3. 64 ビット登録番号



PIO の出力状態

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
120h	OV7	OV6	OV5	OV4	OV3	OV2	OV1	OV0
121h	X	X	X	X	OV11	OV10	OV9	OV8

これらのアドレスに対しては一般的な読取りと書込みが行われます。これらのレジスタには、デバイスに電源が投入される際にアドレス 10Ah/10Bh からデータが自動的にロードされます。

ビットの説明	ビット	定義
OVn: PIO の出力状態	—	PIO0~PIO11 の出力状態。OV0 は PIO0 に適用され、以下同様です。 説明: 0 → ロー、1 → PIO 方向が出力される場合はハイ
X:(割当なし)	—	将来の予備

PIO の方向

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
122h	DIR7	DIR6	DIR5	DIR4	DIR3	DIR2	DIR1	DIR0
123h	X	X	X	X	DIR11	DIR10	DIR9	DIR8

これらのアドレスに対しては一般的な読取りと書込みが行われます。これらのレジスタには、デバイスに電源が投入される際にアドレス 10Ch/10Dh からデータが自動的にロードされます。

ビットの説明	ビット	定義
DIRn: PIO の方向	—	PIO0~PIO11 の方向。DIR0 は PIO0 に適用され、以下同様です。 説明: 0 → 出力、1 → 入力
X: (割当なし)	—	将来の予備

PIO の読取り反転(PIO0~PIO7)

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
124h	IMSK7	IMSK6	IMSK5	IMSK4	IMSK3	IMSK2	IMSK1	IMSK0

このアドレスに対しては一般的な読取りと書込みが行われます。このレジスタには、デバイスに電源が投入される際にアドレス 10Eh からデータが自動的にロードされます。

ビットの説明	ビット	定義
IMSKn: PIO の読取り反転	—	PIO0~PIO7 の読取り反転ビット。IMSK0 は PIO0 に適用され、以下同様です。 説明: 0 → 反転なし、1 → 反転

PIO の読取り反転(PIO8~PIO11)、PIO の出力タイプおよび出力モード

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
125h	OTM	OT3	OT2	OT1	IMSK11	IMSK10	IMSK9	IMSK8

このアドレスに対しては一般的な読取りと書込みが行われます。このレジスタには、デバイスの電源が投入される際にアドレス 10Fh からデータが自動的にロードされます。

ビットの説明	ビット	定義
IMSKn: PIO の読取り反転	b0~b3	PIO8~PIO11 の読取り反転ビット。PIM8 は PIO8 に適用され、以下同様です。 説明: 0 → 反転なし、1 → 反転
OT1: 出力タイプ	b4	PIO0~PIO3 の出力タイプ 説明: 0 → プッシュプル、1 → オープンドレイン
OT2: 出力タイプ	b5	PIO4~PIO7 の出力タイプ 説明: 0 → プッシュプル、1 → オープンドレイン
OT3: 出力タイプ	b6	PIO8~PIO11 の出力タイプ 説明: 0 → プッシュプル、1 → オープンドレイン
OTM: 出力モード	b7	PIO0~PIO11 の出力モード 説明: 0 → 小電流、同時切替え、1 → 大電流、順次切替え

PIO の読取りアクセス

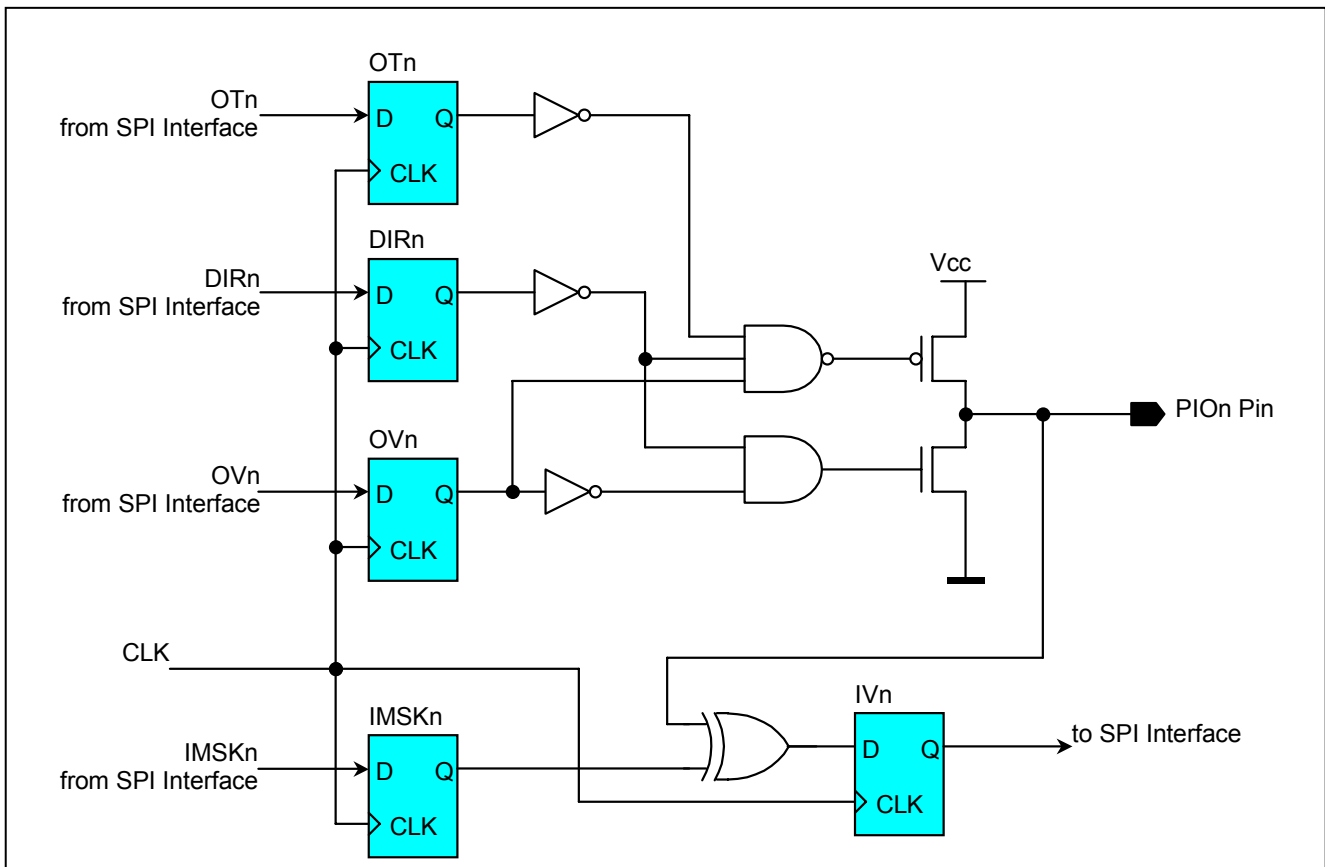
ADDR	b7	b6	b5	b4	b3	b2	b1	b0
126h	IV7	IV6	IV5	IV4	IV3	IV2	IV1	IV0
127h	0	0	0	0	IV11	IV10	IV9	IV8

これらのアドレスには読取りアクセスのみが行われます。アドレス 127h のビット 4~7 は、常に 0 を示します。読取りアクセスは、方向の設定に無関係にすべての PIO に対して行われます。通知されるのは端子のロジック状態で、これは PIO 出力値レジスタが示す内容と異なる場合があります。

ビットの説明	ビット	定義
IVn: PIO _n の入力値	—	PIO0~PIO11 端子からのロジック状態読取り値。IV0 は PIO0 に適用され、以下同様です。 説明: $IVn = \text{PIO}_n \text{ と } \text{IMSK}_n \text{ の排他論理和}$

図 4 は PIO の簡略図を示しています。フリップフロップは PIO Output State (OV_n)レジスタと Read Access (IV_n)レジスタ、およびメモリアドレス 122h~125h (DIR_n, IMSK_n, OT_n)を介してアクセスされます。これらは、メモリアドレス 10Ah~10Fh に保存されたデータに従って電源投入時またはリフレッシュ(「SPI インタフェース」の説明参照)の間に初期化されます。PIO を入力として設定すると、PIO の出力はトリステート(ハイインピーダンス)になります。PIO を出力として構成すると、PIO 入力 は出力状態と対応する読取り反転ビットとの排他論理和と等価になります。小電流モードと大電流モードにおける PIO の動作の違いを、本書の末尾に近い「PIO 読取り/書込みアクセス」の項で説明します。

図 4. PIO の簡略図



RTC および Calendar レジスタ

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
129h	0	10 秒桁			1 秒桁			
12Ah	0	10 分桁			1 分桁			
12Bh	0	12/24	10 時桁	10 時桁	1 時桁			
			A/P					
12Ch	0	0	0	0	0	曜日桁		
12Dh	0	0	10 日桁		1 日桁			
12Eh	0	0	0	1 月桁				
12Fh	10 年桁				1 年桁			

これらのアドレスに対しては一般的な読取りと書込みが行われます。0 と示されたビットに 1 を書き込むことはできません。RTC/Calendar レジスタは、バッテリー電圧が立ち上がる時 00h にリセットされます。書込みは直ちに実施されます。書込みアクセス中の予期せぬインクリメントを防止するために、まず秒数を書き換えます。これで、Seconds レジスタからの桁上げなしで RTC/Calendar レジスタの書換えを終了する 1 秒のウィンドウが生成されます。DS28DG02 が SPI Read コマンドを受信すると、RTC および Calendar レジスタはバッファにコピーされます。読取りアクセス中にアドレスカウンタが RTC/Calendar レジスタを指すと、バッファのデータが送信されます。最も正確な RTC データを得るためには、Seconds レジスタから読取りを開始してください。

RTC/Calendar レジスタの数表現は BCD (2 進化 10 進) です。RTC は 12 時間 AM/PM および 24 時間モードで動作します。「12/24」ビット(アドレス 12Bh のビット 6)によってそのモードが決まります。12 時間 AM/PM モードの場合は、このビットを 1 に設定してください。すると、アドレス 12Bh のビット 5 は AM (0b) または PM (1b) を示します。24 時間モードでは、ビット 5 とビット 4 はともに 10 時間の倍数を示します。Day of Week レジスタは 1~7 をカウントします。カレンダーロジックは、うるう年を自動補正するように設計されています。00 または 4 の倍数のいずれかとなる毎年の値に対して、デバイスは 2 月 29 日を加えます。これで、2100 年までは(ただし、2100 年を除く)正常に機能します。

RTC Alarm レジスタ

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
130h	AM1	10 秒桁			1 秒桁			
131h	AM2	10 分桁			1 分桁			
132h	AM3	12/24	10 時桁	10 時桁	1 時桁			
			A/P					
133h	AM4	DY/DT	0	0	0	曜日桁		
			10 日桁		1 日桁			

これらのアドレスに対しては一般的な読取りと書込みが行われます。0 と示したビットに 1 を書き込むことはできません。RTC Alarm レジスタは、バッテリー電圧が立ち上がる時 00h にリセットされます。アラームを生成するためには、Alarm レジスタと RTC レジスタが一致する必要があります。Alarm レジスタのアドレス 130h~132h は RTC レジスタのアドレス 129h~12Bh に対応し、ビット 6:0 は比較に関与します。レジスタアドレス 133h の下位 6 ビットは、DY/DT が 1 の場合に 12Ch に対応し、DY/DT が 0 の場合に 12Dh に対応します。このレジスタの上位 2 ビットは比較に関与しません。制御ビット AM1、AM2、AM3、および AM4 は、表 1 に示すように、アラームの頻度を決定します。アラームが発生すると、アドレス 135h の Alarm および Status レジスタの CLKA ビットが 1 に変わります。デバイスが RTC アラーム(アドレス 134h の OSCE = 1)を生成するためには、RTC が動作していなければなりません。

表 1. アラームの頻度制御

DY/DT	AM4	AM3	AM2	AM1	ALARM OCCURENCE
X	X	X	X	1	Every second
X	X	X	1	0	Every minute, when the seconds match
X	X	1	0	0	Every hour, when minutes and seconds match
X	1	0	0	0	Every day, when hours, minutes, and seconds match
1	0	0	0	0	Every week, when day, hours, minutes, and seconds match
0	0	0	0	0	Every month, when date, hours, minutes, and seconds match

Multifunction Control/Setup レジスタ

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
134h	0	BME	BTRP		WDOS	WDE	OSCE	CAE

このアドレスに対しては一般的な読取りと書込みが行われます。ビット 7 は、常に 0 を示し、1 を書き込むことはできません。このレジスタは、バッテリー電圧が立ち上る時 00h にリセットされます。ALMZ、RSTZ、および WDOZ の各信号を生成する際の CAE、WDE、WDOS、および BME の各ビットの使用法については、図 5 を参照してください。

ビットの説明	ビット	定義
CAE: クロックアラームイネーブル	b0	RTC/カレンダーアラームの制御をイネーブル/ディセーブルします。 説明: 0 → ディセーブル(電源投入時のデフォルト)、1 → イネーブル
OSCE: RTC 発振器イネーブル	b1	RTC の 32kHz 発振器の制御を実行/停止します。 説明: 0 → 停止(電源投入時のデフォルト)、1 → 実行
WDE: ウォッチドッグイネーブル	b2	ウォッチドッグおよびそのアラームの制御をイネーブル/ディセーブルします。 説明: 0 → ディセーブル(電源投入時のデフォルト)、1 → イネーブル ウォッチドッグタイマは、WDE を 0 から 1 に変更して V_{CC} を立ち上げるか(パワーオンリセット)または WDI 端子に正パルスを印加することによってリセットされます。
WDOS: ウォッチドッグ出力選択	b3	ウォッチドッグアラーム信号の端子選択。 説明: 0 → WDOZ 端子(電源投入時のデフォルト)、1 → ALMZ 端子
BTRP: バッテリーモニタトリップポイント	b5:b4	公称バッテリーモニタトリップポイント電圧の選択。 説明: 00b → 1.75V (電源投入時のデフォルト)、01b → 2.00V、 10b → 2.25V、11b → 2.50V
BME: バッテリーモニタイネーブル	b6	バッテリーモニタとそのアラームの制御をイネーブル/ディセーブルします。 説明: 0 → ディセーブル(電源投入時のデフォルト)、1 → イネーブル バッテリーテストは、a) BME が 1 に変化した後、b) V_{CC} が立ち上った後、c) 毎正時に行われます。バッテリーモニタが機能するためには、RTC が動作していなければなりません(OSCE = 1)。

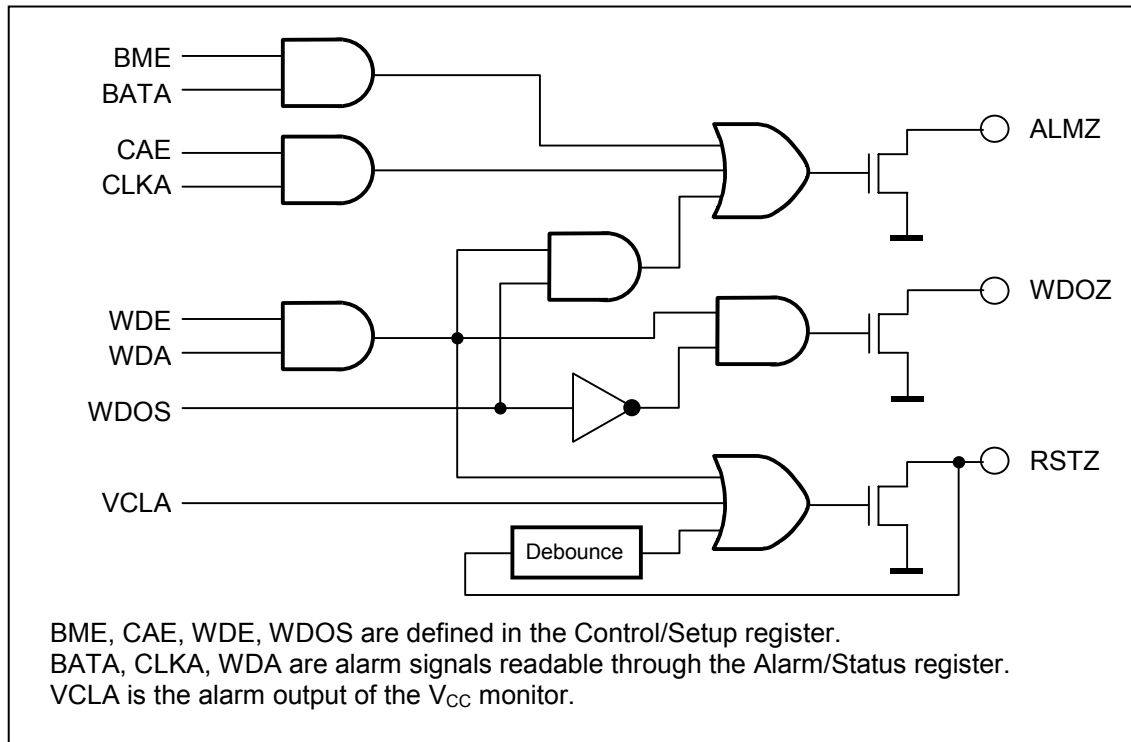
Alarm および Status レジスタ

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
135h	0	BATA	WPZV	POR	BOR	CLKA	WDA	RST

このアドレスに対しては一般的な読取りが行われます。書込みを行うと、すべてのビットが 0 にクリアされます。ビット 7 は常に 0 を示します。ALMZ、RSTZ、および WDOZ の各信号を生成する際の CLKA、WDA、および BATA の各ビットの使用法については、図 5 を参照してください。

ビットの説明	ビット	定義
RST:リセットフラグ	b0	RSTZ 端子のアクティビティインジケータ。RSTZにパルスがあるときにセットされ、Alarm および Status レジスタへの書込みによってクリアされます。 V_{CC} の立上り:1、 V_{BAT} 接続:0
WDA:ウォッチドッグアラーム	b1	ウォッチドッグアラームインジケータ。ウォッチドッグがイネーブルされ、かつウォッチドッグタイマがタイムアウトしたときにセットされ、Alarm および Status レジスタへの書込みによってクリアされます。 V_{CC} の立上り:0、 V_{BAT} 接続:0
CLKA:クロックアラーム	b2	RTC/カレンダーアラームインジケータ。クロックアラームがイネーブルされ、かつ RTC と RTC Alarm レジスタが一致したときにセットされ、Alarm および Status レジスタへの書込みによってクリアされます。 V_{CC} の立上り:0、 V_{BAT} 接続:0
BOR:バッテリーオンリセットフラグ	b3	バッテリー接続インジケータ。 V_{BAT} の電圧が V_{BATmin} を超えて立ち上がった時に設定され、Alarm および Status レジスタへの書込みによってクリアされます。 V_{CC} の立上り:影響なし、 V_{BAT} 接続:1
POR:パワーオンリセットフラグ	b4	パワーオンリセットインジケータ。 V_{CC} の電圧が V_{CCmin} を超えて立ち上がった時にセットされ、Alarm および Status レジスタへの書込みによってクリアされます。 V_{CC} の立上り:1、 V_{BAT} 接続:0
WPZV:ハードウェア書込み保護値	b5	WPZ 端子状態の読出し。WPZ 端子のロジック状態を通知します。 V_{CC} の立上り:WPZ 端子状態、 V_{BAT} 接続:影響なし
BATA:バッテリーアラーム	b6	バッテリー低下インジケータ。バッテリーアラームがイネーブルで、かつバッテリーテストの間に V_{BAT} が選択された V_{BAT} トリップポイントを下回るとセットされます。Alarm および Status レジスタへの書込みによってクリアされます。 V_{CC} の立上り:BME = 1 の場合バッテリーテスト、 V_{BAT} 接続:0

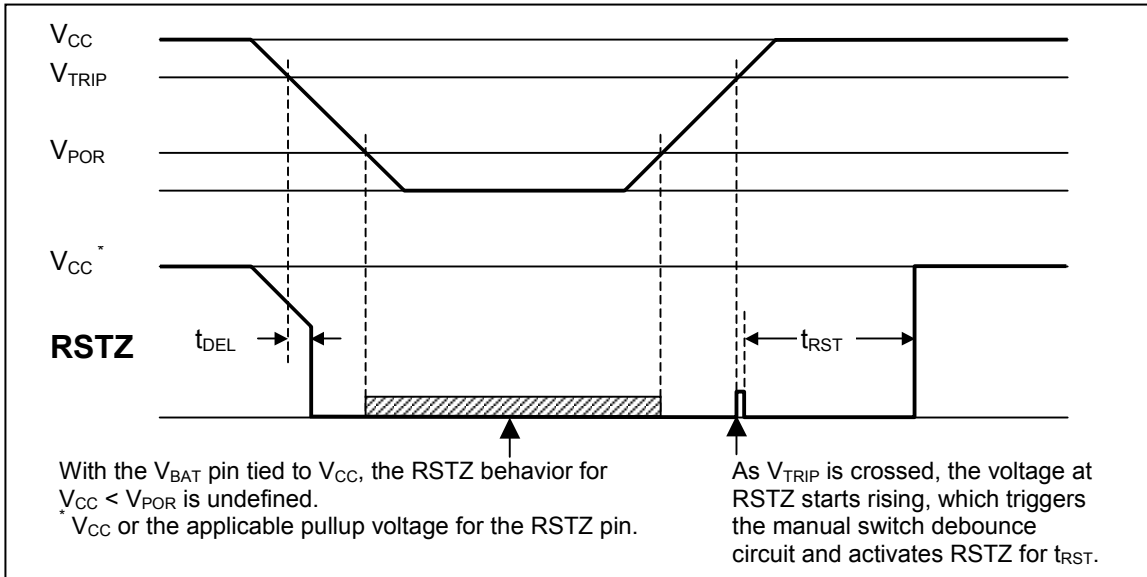
図 5. ALMZ、WDOZ、および RSTZ の生成



監視機能

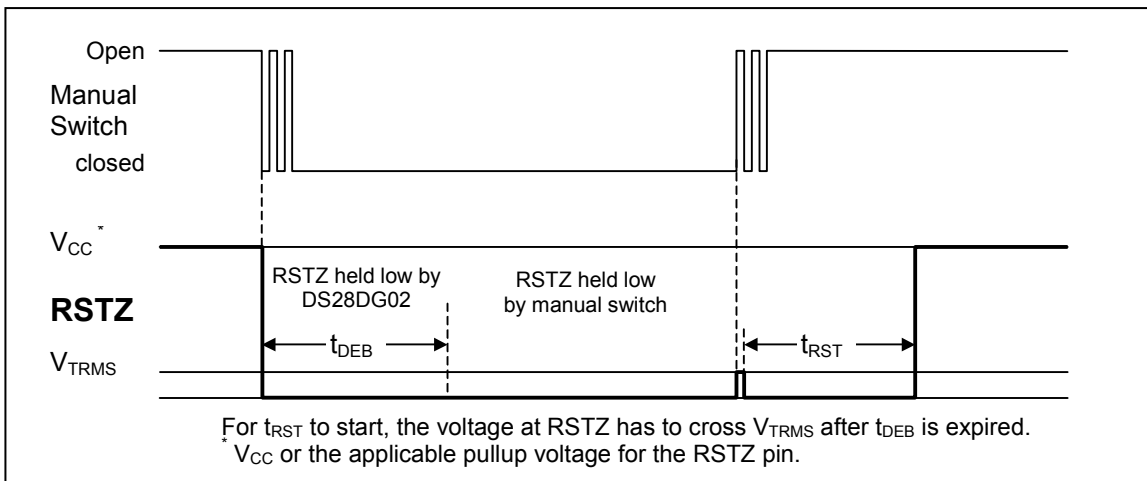
DS28DG02 は 2 つの電圧モニタを備えています。1 つは V_{CC} 電源電圧用で、もう 1 つは V_{CC} がオフになった場合に RTC とこれに関係するレジスタに給電するバッテリー用です。 V_{CC} が V_{TRIP} スレッシュホールドを下回ると、 V_{CC} モニタは図 6 に示すようにオープンドレインの RSTZ 出力をアクティブにします。トリップポイントをよぎってから RSTZ がローになるまでに t_{DEL} の遅延があります。 V_{CC} が V_{POR} を超えているか、またはデバイスがバッテリーでバックアップされて動作している限り、RSTZ のロジックレベルは V_{OLmax} を超えません。バッテリーのバックアップがなければ、 V_{POR} 未満の V_{CC} 値に対する RSTZ 出力の状態が定まりません。 V_{CC} が立ち上ると、 V_{CC} が V_{TRIP} スレッシュホールドに達するまで RSTZ はローに保たれます。 V_{CC} が V_{TRIP} を超えると、RSTZ の電圧はマニュアルリセット解放スレッシュホールド V_{TRMS} に達するまで上昇します。これでデバウンス回路がアクティブになり、RSTZ が t_{RST} の間ローに保たれます。 t_{RST} が経過すると、RSTZ の電圧は印加されたプルアップ電圧の値まで立ち上ります。

図 6. RSTZ パワーフェイルリセット



RSTZ 端子は内部でデバウンス回路に接続されているため、手動スイッチを使ってリセット信号を生成することができます。図 7 はマニュアルリセットのタイミングを示します。スイッチが閉じると、RSTZ の電圧が V_{ILmax} 未満に下がるためデバウンス回路がトリガされます。ここで、RSTZ の電圧は、手動スイッチとデバウンス回路の両方によってロジックローに保たれます。手動スイッチが開くか、または t_{DEB} が経過すると、(これらのいずれか遅い時点から)、RSTZ の電圧は上昇して V_{TRMS} に達します。これで、デバウンス回路が再びトリガされ、RSTZ が t_{RST} の間ローに保たれた後、RSTZ の電圧はプルアップ電圧まで立ち上ります。手動で生成されるリセットの最小ロー時間は $t_{DEB} + t_{RST}$ です。

図 7. RSTZ 手動スイッチのデバウンス

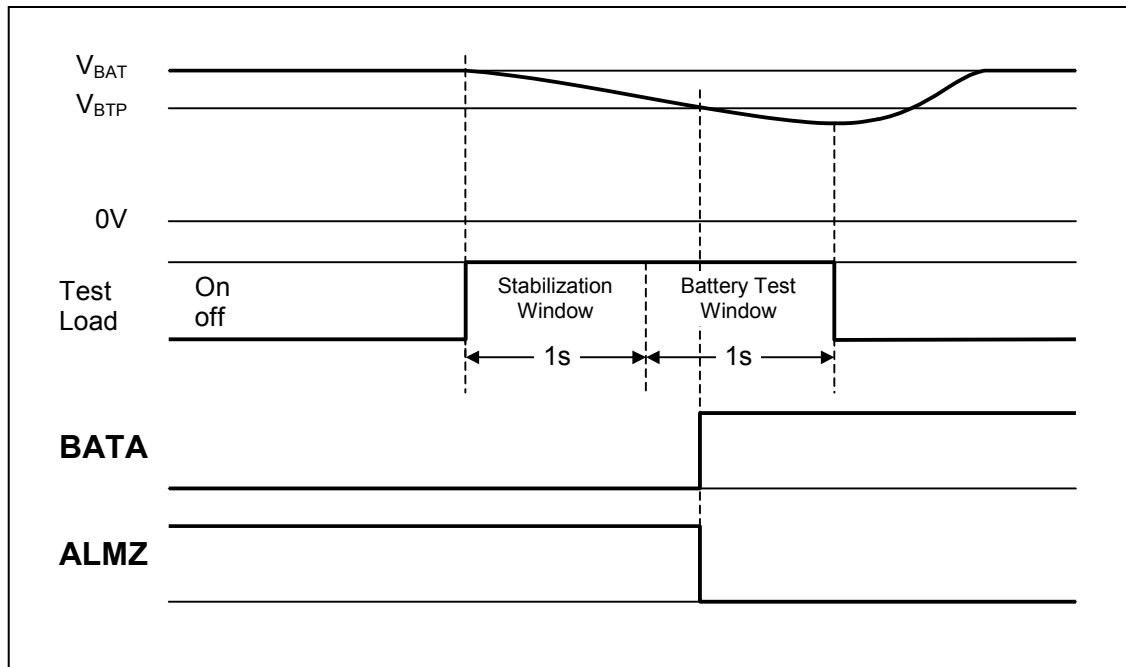


V_{CC} モニタとは対照的に、バッテリーモニタは、1 時間当たり 2 秒間だけアクティブになり、しかもこれは Multifunction Control/Setup レジスタの BME ビットによってイネーブルされた場合に限りです。これに加えて、DS28DG02 が十分な V_{CC} 電源を備えており、かつ RTC が動作している必要があります(OSCE = 1)。バッテリーテストが行われるのは、a) バッテリーモニタをイネーブルした直後と、バッテリーモニタがイネーブルされている場合は、b) 毎正時、および c) V_{CC} が V_{POR} を超えて立ち上がった直後です。図 8 は詳細を示しています。

バッテリーテスト手順は、DS28DG02 が内部でテスト負荷を V_{BAT} 端子に接続することで開始されます。バッテリーがその寿命に近づくと、この余分な負荷によってバッテリー電圧がバッテリートリップポイントの V_{BTP} を下回ります。安定ウィンドウが終ると、バッテリー電圧がバッテリートリップポイントに対して実際に比較されます。バッテリーテストウィンドウの最初または途中でバッテリー電圧が V_{BTP} を下回ると、Alarm および Status レジスタのバッテリーアラームフラグ BATA がセットされ、このことによって ALMZ 出力がアクティブになります。BATA フラグは、a) バッテリーを交換するか、または b) Alarm および Status レジスタに書き込みを行うことによってクリアされます。後続のバッテリーテスト(たとえば、1 時間後、または DS28DG02 の電源サイクリングの後で行われる)によってバッテリー電圧が V_{BTP} を超えていることが判明すると、BATA フラグはクリアされません。バッテリーを交換すると RTC がリセットされ、Multifunction Control/Setup レジスタがクリアされることに注意してください。

バッテリーの監視は、定期的実施した場合のみ有用です。電源を非常に長い期間切っておいた装置では、そのバッテリーが事前警告なしで完全に放電している可能性があります。こうした事態を防ぐために、バッテリー監視機能を採用した装置の電源を定期的(たとえば、月に一度)オンにしてバッテリーテストを実施する必要があります。

図 8. バッテリーモニタの動作



SPI インタフェース

DS28DG02 は、そのマスタであるマイクロコントローラとシリアル SPI インタフェースを通じて通信するスレーブデバイスです。このインタフェースには、信号 CSZ (チップ選択)、SCK (ビット転送クロック)、SI (シリアル入力)、および SO (シリアル出力)が使用されます。SPI デバイスに共通なのは WPZ 入力(書込み保護)で、これによって SPI Status レジスタの不揮発性ビットが誤って変更されるのを防ぐことができます。

端子説明

チップ選択(CSZ)

CSZ 端子がローレベルになるとデバイスが選択され、ハイレベルになるとデバイスの選択が解除されます。有効な EEPROM 書込みシーケンスの後で CSZ がローからハイに遷移すると、内部のプログラミングサイクルが開始されます。既に開始されているか、進行中のプログラミングサイクルは、CSZ 入力信号に無関係に終了します。デバイスの選択が解除されると、SO がハイインピーダンス状態になるため複数のデバイスが同じ SPI バスを共有することができます。電源投入後、シーケンスが開始される前に CSZ をローレベルにする必要があります。DS28DG02 がデータを送受信している間、CSZ 端子はローに保たれている必要があります。

シリアルクロック(SCK)

SCK は、マスタと DS28DG02 の通信を同期させるために使用されます。SI 端子に存在する命令、アドレス、またはデータは、クロック入力の立上りエッジでラッチされますが、SO 端子のデータはクロック入力の立下りエッジの後に更新されます。

シリアル入力(SI)

SI 端子は、データをデバイスに転送するのに使用されます。この端子は、命令、アドレス、およびデータを受信します。データはシリアルクロックの立上りエッジでラッチされます。

シリアル出力(SO)

SO 端子は、DS28DG02 からデータを転送するのに使用されます。読取りサイクルの間、データはシリアルクロックの立下りエッジの後この端子でシフト出力されます。

書込み保護(WPZ)

WPZ 端子は、イネーブルされると、SPI Status レジスタの不揮発性ビットへの書込みを防止します。出荷時のデフォルトでは、WPZ 端子機能がディセーブルされます。このため、ユーザは、WPZ 端子をグランドに接続した状態でこの Status レジスタに書込みが行えるようにして DS28DG02 をシステムに組み込むことができます。詳細は「動作原理」を参照してください。

SPI モードとビットタイミング

SPI プロトコルは、MS ビットを先頭に送信するすべてのバイト通信を規定します。すべての SPI 通信シーケンスは、スレーブデバイスに書き込まれた少なくとも 1 バイトで始まります。スレーブがマスタから受信する最初のバイトは、命令と解釈されます。命令に応じて、スレーブはさらに多くのバイト(アドレスとデータなど)を必要とする場合があります。読取り機能では、スレーブは命令とアドレスを受信した後マスタに対してデータの送信を開始します。

SPI プロトコルには 4 つの通信モードがあり、各モードは SCK 信号の極性と位相が異なります。DS28DG02 はモード(0,0)とモード(1,1)をサポートしています。これらのモードは、SCK の立上りエッジでデータがスレーブにクロック入力され、立下りエッジでデータをマスタにクロック出力するという共通点を備えています。この後、マスタは SCK の立上りエッジでデータをクロック入力します。DS28DG02 は、CSZ がアクティブになると(ハイからローに遷移)、SCK のロジック状態によってモードを検出します。したがって、SCK は、CSZ の立下りエッジの付近の設定およびホールド時間の間、安定でなければなりません。図 9 と 10 はタイミングの詳細を示しています。

これらの図の読取りタイミングは、DS28DG02 がマスタに送信する最初のビットで始まり、マスタが CSZ を非アクティブにする(ローからハイに遷移)ことによって通信を終了した時点で終わります。点線は読取りと書込みの間の遷移を示し、コマンドまたはアドレスの最後のビットは SCK の立上りエッジでクロック入力されており、読取りデータの最初のビットは SCK の立下りエッジの後 SO に現れています。

動作原理

CSZ の立下リエッジの後 DS28DG02 がマスタから受信する最初のバイトは、命令と解釈されます。DS28DG02 は、図 11 に要約された 7 つの命令セットをサポートします。プロトコルでは、単一のアドレスバイトのみが使用されます。100h 以上のアドレスにアクセスするのに必要な 9 番目のアドレスビットは、この命令コードに含まれ、「X」と記されています。

図 11. SPI 命令セット

INSTRUCTION NAME	INSTRUCTION CODE	PROTOCOL	PURPOSE
WREN Write Enable	0000 0110b	Tx Instruction Code	To set the WEN bit in the SPI Status register. (Enable Writes to Memory)
WRDI Write Disable	0000 0100b	Tx Instruction Code	To clear the WEN bit in the SPI Status register. (Disable Writes to Memory)
WRSR Write Status Register	0000 0001b	Tx Instruction Code Tx SPI Status Byte	To update the SPI Status register.
RDSR Read Status Register	0000 0101b	Tx Instruction Code Rx SPI Status Byte	To read SPI Status register; to detect the end of an EEPROM write cycle.
RFSH Refresh Registers	0000 0111b	Tx Instruction Code	To update the SRAM registers at addresses 120h to 125h with their power-on default values without power-cycling.
WRITE Write to Memory	0000 X010b	Tx Instruction Code Tx Address Byte Tx Data Byte(s)	To write to the memory, register, PIOs, or the RTC, depending on the specified address.
READ Read Memory	0000 X011b	Tx Instruction Code Tx Address Byte Rx Data Byte(s)	To read from the memory, register, PIOs, or the RTC, depending on the specified address.

最初の 4 つの命令は SPI Status レジスタに関係しており、このレジスタは複数の制御ビットと 1 つのステータスビットを含んでいます。SPI Status レジスタは、メモリマッピングされておらず、SPI 命令による更新のみが可能です。これは、デバイスに保存されたデータを誤って変更しないように入念に作られた仕組みを制御する以下の複数のビットを保持しています。

- 書込み命令が受け入れられる前に書込みイネーブル命令 WREN によって設定する必要がある書込みイネーブルビットの WEN。書込み命令が正しく実行されると、WEN ビットは自動的にクリアされます。
- 書込み保護イネーブルビット WPEN と WPZ 端子のロジック状態との併用による、SPI Status レジスタの b7:b2 (不揮発性ビット) のハードウェア書込み保護。
- メモリブロックおよびアドレス 120h 以上のレジスタに関する書込み保護ビット。

WEN、WPEN、および WPZ の併用効果の要約を表 2 に示します。SPI Status レジスタのビット機能すべての説明を図 12 に示します。

表 2. 書込み保護の要約

WEN BIT	WPEN BIT	WPZ PIN	SPI STATUS REGISTER	MEMORY
0	x	x	Write-protected (because WEN = 0).	Write-protected (because WEN = 0).
1	0	x	Writeable (because WPEN = 0).	Conditional write access: BP1:BP0 control protection of addresses 00h to FFh. RPROT controls protection of addresses 120h and higher.
1	1	0	Write-protected (because WPEN = 1 AND the WPZ pin is at logic 0).	
1	1	1	Writable (because WPEN = 1 AND the WPZ pin is at logic 1).	

図 12. SPI Status レジスタ

ADDR	b7	b6	b5	b4	b3	b2	b1	b0
N/A	WPEN	RPROT	WD1	WD0	BP1	BP0	WEN	RDYZ

ビットの説明	ビット	定義
RDYZ: 準備完(読取り専用ビット)	b0	EEPROM の書込みサイクルが進行中であることを示します。 説明: 0 → 準備完(通常の状態)、1 → 書込みサイクル進行中
WEN: 書込みイネーブル(読取り専用ビット)	b1	デバイスが WRITE 命令を受け入れるかどうかを示します。WREN 命令によってセットされ、WRDI 命令、または有効な WRITE の終了、または有効な WRSR 命令によってクリアされます。 説明: 0 → 書込みディセーブル(電源投入時のデフォルト)、1 → 書込みイネーブル
BP1:BP0: ブロック書込み保護	b3:b2	これらのビットは、4つのユーザメモリブロックのいずれを書込み保護するかを指定します(WPEN と WPZ に無関係)。 説明: 00b → 保護なし(出荷時デフォルト) 01b → ブロック 3 (0C0h~0FFh)保護 10b → ブロック 2 と 3 (080h~0FFh)保護 11b → ブロック 0~3 (000h~0FFh)保護
WD1:WD0: ウォッチドッグタイムアウト	b5:b4	これらのビットは、ウォッチドッグがイネーブルされる場合のウォッチドッグタイムアウトの期間を指定します(アドレス 134h の WDE = 1)。 説明: 00b → 1.64s (出荷時デフォルト)、01b → 820ms 10b → 410ms、11b → 200ms これらは公称値です。許容差については Electrical Characteristics (電気的特性)を参照してください。
RPROT: レジスタ保護	B6	120h 以上の範囲の書込み可能なアドレスを書込み保護するかどうかを指定します(WPEN と WPZ に無関係)。 説明: 0 → 保護なし(出荷時デフォルト)、1 → 保護
WPEN: ハードウェア書込み保護イネーブル	b7	SPI Status レジスタの b7:b2 (不揮発性ビット)を書込み可能にするかどうか、または WPZ 端子状態が書込み保護を制御するかどうかを指定します。 説明: 0 → 書込み可能(出荷時デフォルト) 1 → WPZ 端子状態によって制御される保護 WPEN = 1 で WPZ 端子状態が 0 であれば、SPI Status レジスタは書込み保護され、WRSR 命令は有効でなくなります。

詳細説明 – SPI 命令セット

WREN 書込みイネーブル

デバイスに書込みを行う前に、SPI Status レジスタの WEN ビットを設定する必要があります。このビットの唯一の設定方法は、書込みイネーブル命令を使用することです。書込みアクセス命令(WRSR または WRITE)が正しく実行された後 WRDI によってデバイスの電源が投入されると、WEN ビットはクリアされます。図 13 は、両方の SPI 通信モードに対する命令のタイミング図を示します。

WRDI 書込みディセーブル

WRDI 命令を使用すると、書込みアクセス命令が正しく行われなかった後などに SPI Status レジスタの WEN ビットをクリアすることができます。図 14 は、両方の SPI 通信モードに対する命令のタイミング図を示します。

図 13. 書込みイネーブルのタイミング

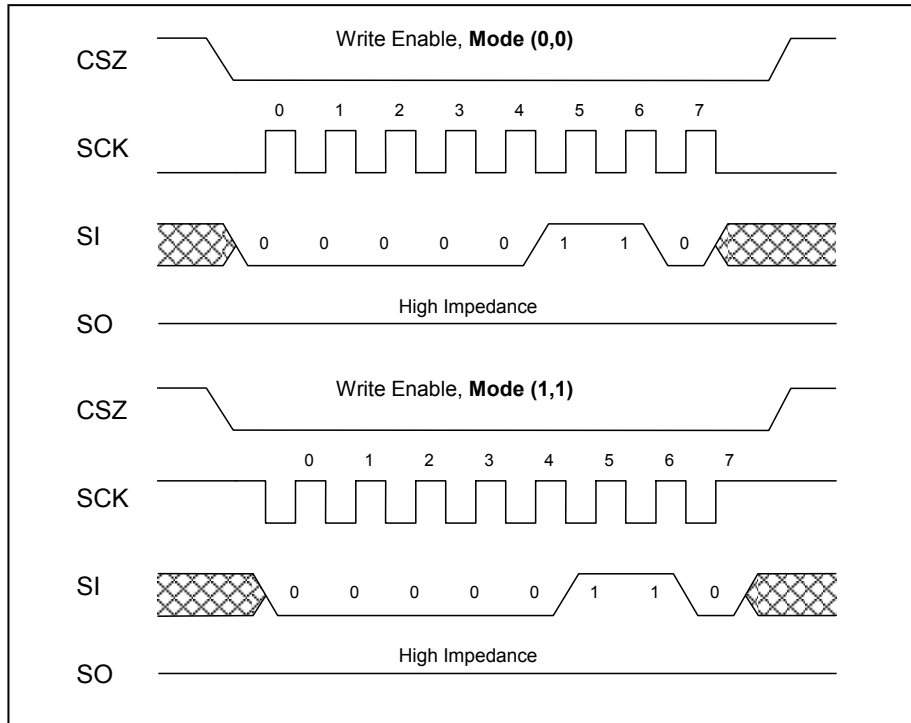
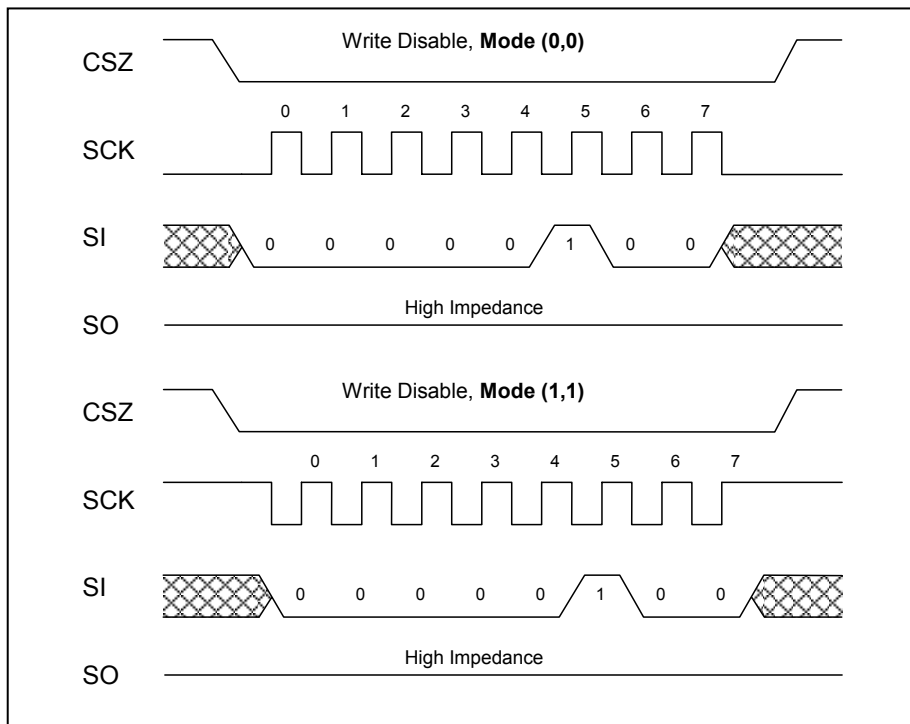


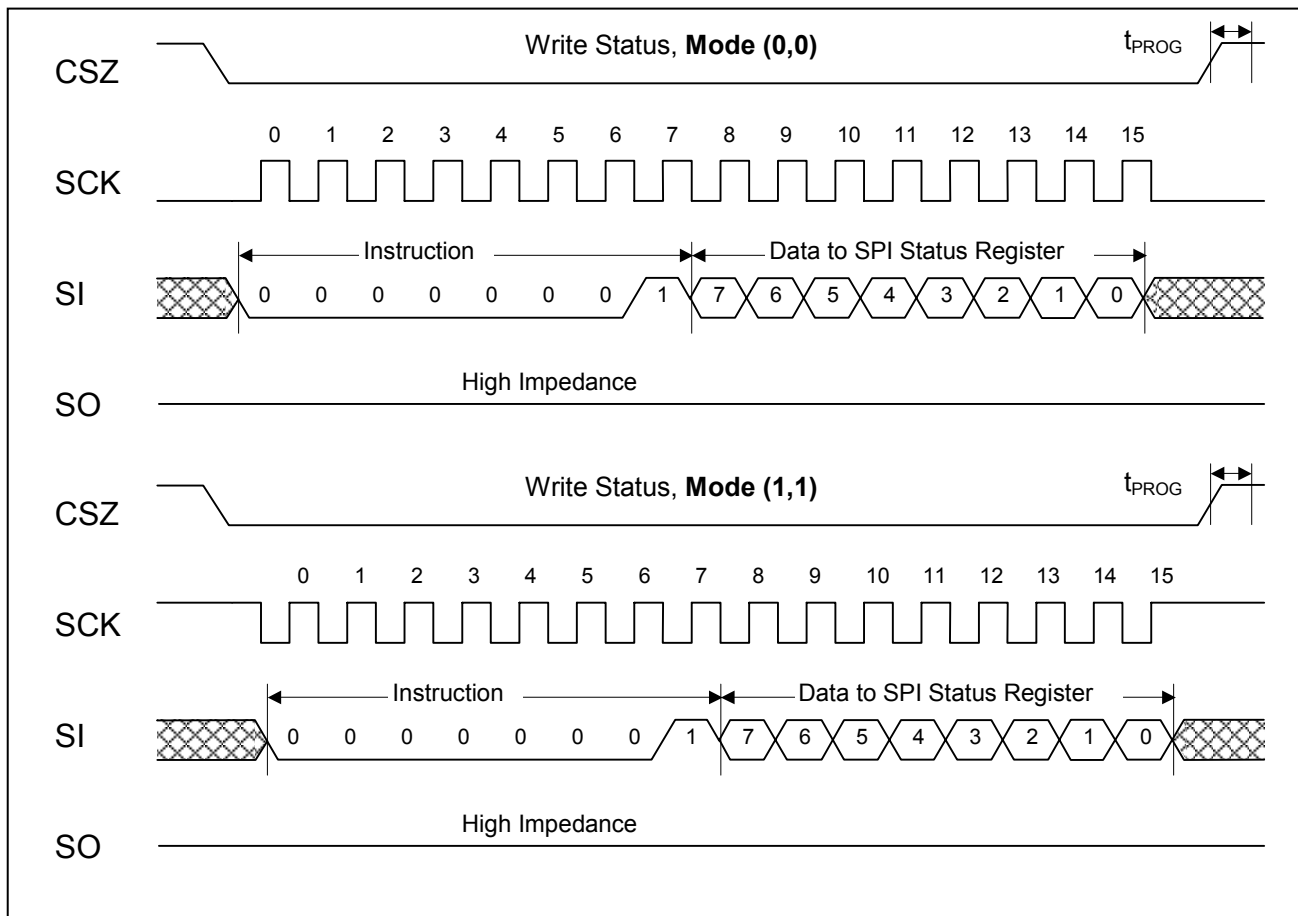
図 14. 書込みディセーブルのタイミング



WRSR Write SPI Status レジスタ

WRSR 命令は、SPI Status レジスタの不揮発性ビット(b7:b2)を更新する唯一の方法です。不揮発性ビットとそれらの機能の詳細については、図 12 を参照してください。この Status レジスタへの書き込みが正しく行われる前提条件として、表 2 の書き込み保護の要約に示すように、WEN ビットが 1 でかついずれかの WPEN ビットが 0 であること、あるいは WPEN と WPZ 端子のロジック状態の両方が 1 であることが必要です。WEN ビットは WREN 命令によって設定され、この設定はすべての書き込み命令の前に終了している必要があります。両方の SPI 通信モードに関する WRSR タイミング図を図 15 に示します。この図では、1 バイトだけが命令コードに従うものとしています。複数バイトが命令コードに従う場合は、これらのデータバイトの最終バイトが SPI Status レジスタの更新に使用されます。SPI Status レジスタが書き込み保護されておらず、かつ WEN ビットが 1 の場合は、書き込みサイクル(EEPROM への転送)は CSZ の正エッジで始まります。書き込みサイクルの期間は t_{PROG} で、この間に SPI Status レジスタの RDYZ ビットは 1 を示します。書き込みサイクルが終了すると、WEN ビットがクリアされます。SPI Status レジスタが書き込み保護されているか、もしくは WRSR 命令の送出前に WEN が 1 にセットされていなければ、CSZ の正エッジによって書き込みサイクルが開始せず、WEN ビットはクリアされません。WRSR の後で実行される最初の読取りメモリシーケンスでは、命令コードのアドレスビットとは無関係に必ず 100h 以上のアドレスのデータが供給されます。

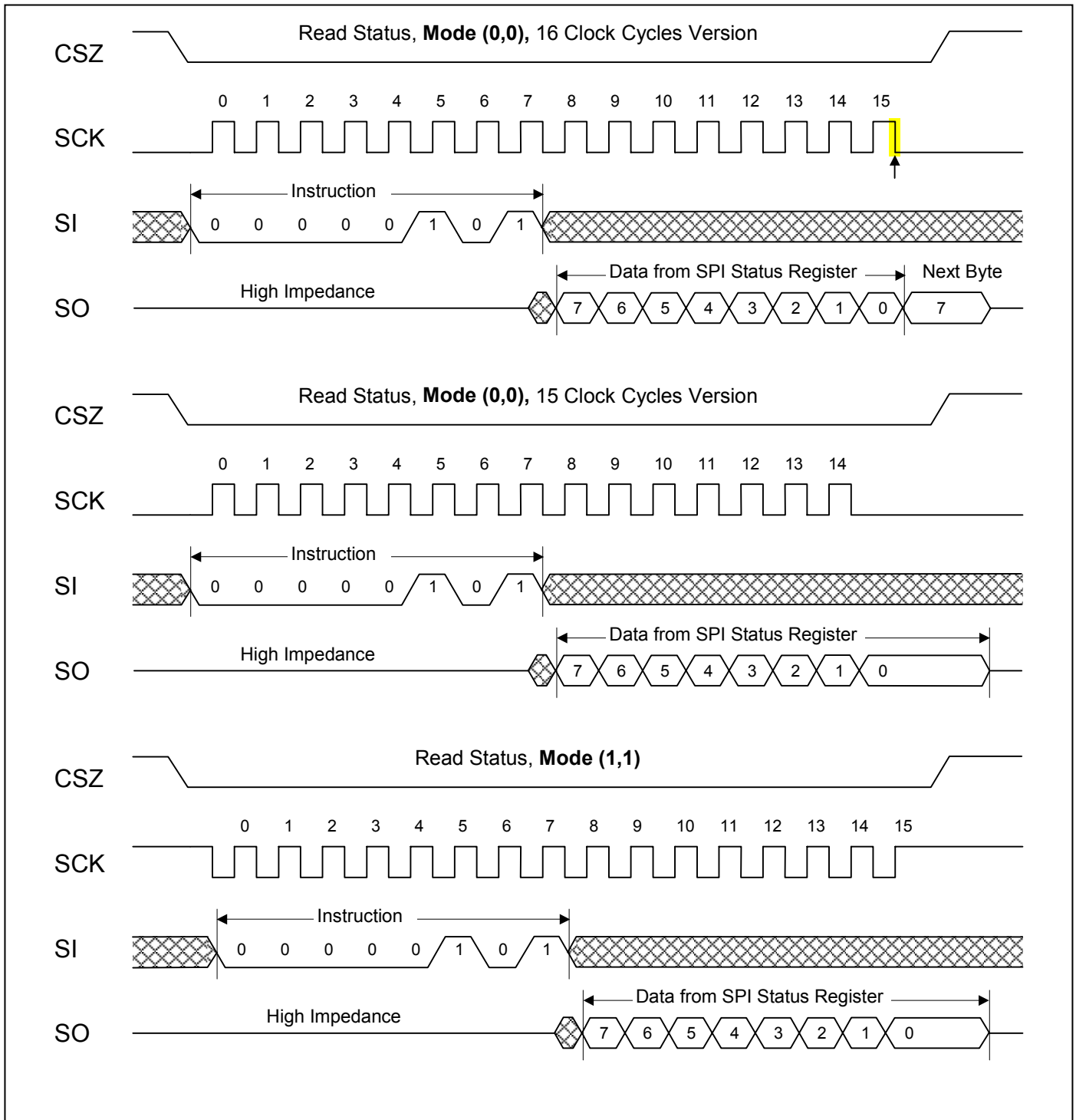
図 15. Write SPI Status レジスタのタイミング



RDSR Read SPI Status レジスタ

RDSR は、EEPROM 書き込みサイクルが進行中であっても DS28DG02 が随時受け入れて実行する唯一の命令です。SPI Status レジスタビットの詳細については、図 12 を参照してください。この命令の主な用途として、SPI Status レジスタへの一般的な読取りアクセス以外に、EEPROM の書き込みサイクルの終了を伝える RDYZ ビットのマスタによるテストがあります。図 16 は、両方の SPI 通信モードに関する RDSR のタイミング図を示します。RDSR 命令によって通知される RDYZ 状態は、ステータスバイトの LS ビットの送信中に SCK の負エッジで更新されます(図 16、モード(0,0) 16 クロックサイクルの図にハイライト表示)。これによって、マスタは SCK パルスをさらに生成して SPI Status レジスタを繰り返し読み取ることができるため、命令コードを再送する必要がありません。RDSR 命令は CSZ の正エッジで終了します。

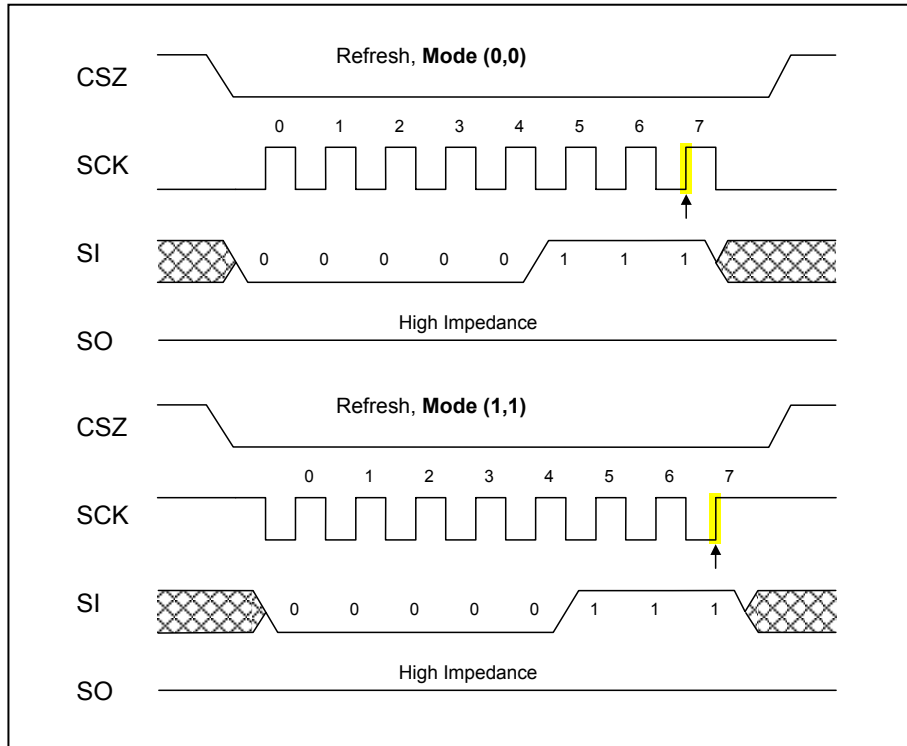
図 16. Read SPI Status レジスタのタイミング



RFSH Refresh PIO レジスタ

アドレス 120h~125h の揮発性 PIO に関するレジスタは、デバイスの電源が投入されたとき EEPROM に保存された電源投入時のデフォルト値によってプリセットされます。DS28DG02 を電源サイクリングせずに、マスタが電源投入時の状態を最も早く復元する方法は、RFSH 命令を使用することです。両方の SPI 通信モードに関する RFSH のタイミング図を図 17 に示します。PIO レジスタの復元は、命令コードの最後のビットがデバイスにクロック入力されたときに開始し(ハイライト表示された SCK の遷移)、電源投入後の待ち時間(t_{POIP})が経過すると終了します。

図 17. Refresh PIO レジスタのタイミング



WRITE メモリへの書込みと PIO

マスタから見ると、DS28DG02 は EEPROM、SRAM、および ROM で構成されたメモリ範囲を持つメモリデバイスです。メモリアイブに応じて、書込み命令を受信したときのデバイスの動作は異なります。表 3 は区別する必要がある事例を示します。

表 3. 書込みアクセスの事例

STARTING ADDRESS	DESCRIPTION
000h to 0FFh	User memory (can be write-protected through BP1:BP0).
100h to 10Fh	EEPROM registers (reserved and power-on default values, no write-protection).
110h to 11Fh	Read-only memory.
120h to 135h	SRAM, PIO, and NV SRAM (may be write-protected through RPROT).
136h to 1FFh	Nonexisting memory.

4つのユーザメモリブロックは、おのおのが 16 セグメントの 16 バイトで構成されます。最初のセグメントは、アドレス 000h で始まり、アドレス 00Fh で終わります。セグメント 2 は 010h~01Fh で、以下同様です。ユーザメモリを宛先とするアドレスとともに書込み命令を受信すると、そのアドレスに続くデータバイトはいずれも宛先アドレスの下位 4 ビットで決めるオフセットで始まる 16 バイトバッファに書き込まれます。このバッファは、アドレスが指定された 16 バイトの EEPROM セグメントのデータによって初期化(事前にロード)されます。受信データは事前ロードデータに置き換わります。すべてのバイトが受信されると、バッファの書込みポインタがインクリメントします。これによって、セグメント内の任意の場所から始まる 1~16 バイトの更新が可能になります。書込みポインタ 1111b の最大値に達して追加データを受信すると、ポインタはラップアラウンド(ロールオーバー)して受信データは EEPROM 書込みバッファの最初に書き込まれ、以後書込みが継続されます。宛先メモリが書込み保護されておらず、かつ SPI

Status レジスタの WEN ビットが 1 で、かつ マスタが送信したビット数が 8 の倍数(すなわち、全バイトのみ)である場合、書込みサイクル(バッファから EEPROM への転送)は CSZ の正エッジで始まります。書込みサイクルの期間は t_{PROG} で、この間に SPI Status レジスタの RDYZ ビットは 1 を示します。書込みサイクルが終了すると、WEN ビットがクリアされます。宛先メモリが書込み保護されているか、または WRITE 命令を送出する前に WEN が 1 にセットされていないか、または アドレスバイトに続くデータビット数が 8 の倍数でない場合、CSZ の正エッジで書込みサイクルが開始せず、WEN ビットがクリアされません。

予備のアドレスを持った 6 個の EEPROM レジスタは、もう 1 つのメモリセグメントを形成します。このセグメントへの書込みは、ユーザメモリの場合と基本的に同じですが以下の相違点があります。つまり、通常はセグメントの最初の 10 バイトに適用されるデータ(マスタによって送信される)が破棄されることです。書込みサイクルが開始されるのは、SPI Status レジスタの WEN ビットが 1 で、かつ マスタによって送信されるビット数が 8 の倍数(すなわち、全バイトのみ)で、かつ EEPROM の少なくとも 1 バイトを更新する必要がある場合のみです。WRITE 命令が送出される前に WEN が 1 にセットされていないか、もしくは アドレスバイトに続くデータビット数が 8 の倍数でないか、もしくは マスタによって送信されるすべてのデータバイトが書込み不可能なアドレスに適用される場合、CSZ の正エッジで書込みサイクルが開始せず、WEN ビットがクリアされません。

SRAM、PIO、および NV SRAM への書込みには、書込みバッファが不要です。WEN ビットが 1 で、かつ RPROT = 0 で、かつ 宛先アドレスが書込み可能である場合、宛先アドレスに続くデータバイトはその送信が終了すると直ちに有効になります。アドレスポインタは、各データバイト後にインクリメントし、後続のバイトに対して次に上位のアドレスを指示します。宛先アドレスが読み取り専用の場合、そのアドレスに関するデータは破棄されます。アドレス 135h が更新されると、アドレスポインタは 120h にラップアラウンドします。マスタはデータバイトの送信を無制限に継続することができます。書込みは CSZ の正エッジで終了します。不完全な最終バイトは無視されます。WEN ビットは、少なくとも 1 バイトが書込み可能アドレスに書き込まれた場合にのみクリアされます。RPROT = 1 の場合、メモリは更新されずに WEN ビットは設定されたままとなります。RTC は Seconds レジスタを先頭に更新される必要があります。命令コードの後で指定された先頭宛先アドレスが PIO Output State レジスタ(アドレス 120h または 121h)を指し、PIO 出力モード OTM が 0 (小電流)である場合、アドレスポインタはデータバイトの送信後に 120h と 121h をトグルします。これによって、データパターンを生成する場合など、高速の PIO 更新が可能になります。OTM = 1 (大電流)では、アドレスポインタが次に上位のアドレスにインクリメントします。PIO 更新のタイミング図および小電流と大電流のモードの相違点については、「PIO 読み取り/書込みアクセス」の項を参照してください。

読み取り専用メモリまたは実在しないメモリを宛先とするアドレスとともに書込み命令を受信すると、すべてのデータが破棄され、書込みサイクルもデータ更新も行われません。書込みは正常に行われたいため、SPI Status レジスタの WEN ビットはクリアされません。

WRITE 命令が正しく実行される前提条件として、SPI Status レジスタの WEN ビットは 1 でなければなりません。WEN ビットは WREN 命令によって設定されます。この設定は WRITE 命令の前に終了する必要があります。両方の SPI 通信モードに関する WRITE タイミング図を図 18 (1 バイト書込み)と図 19 (複数バイト書込み)に示します。プログラミング時間 t_{PROG} は EEPROM 書込みのみに適用されます。SPI モード(0,0)における SRAM、PIO、および NV SRAM への書込みでは、宛先メモリへの実際の転送はデータバイトの LS ビットの SCK 立下りエッジで行われます。SPI モード(1,1)では、宛先メモリへの実際の転送もデータバイトの LS ビットの SCK 立下りエッジで行われます。ただし、最後のバイトは CSZ の立上りエッジで転送される点が異なります。

図 18. メモリへの 1 バイト書込みと PIO のタイミング

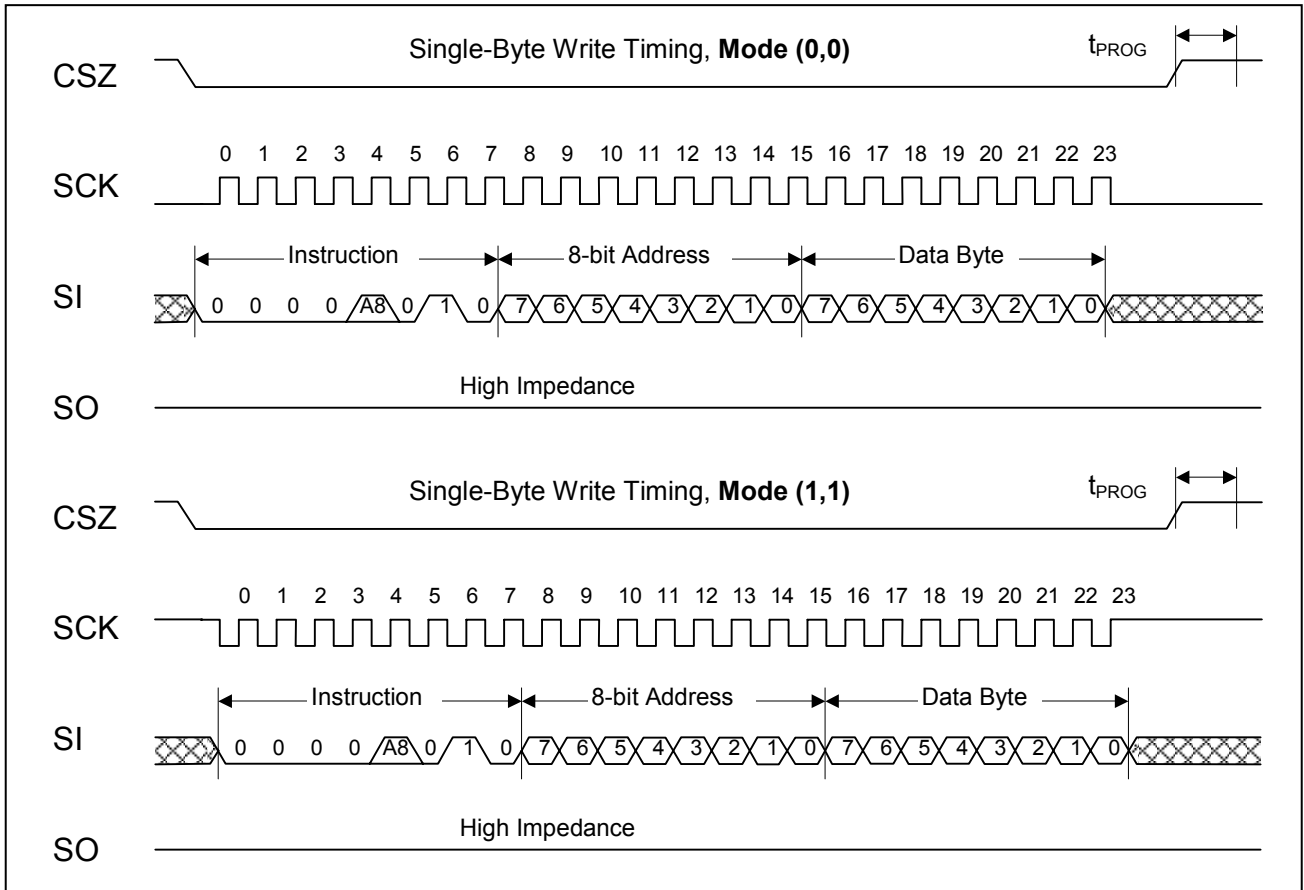


図 19. メモリへの複数バイト書込みと PIO のタイミング

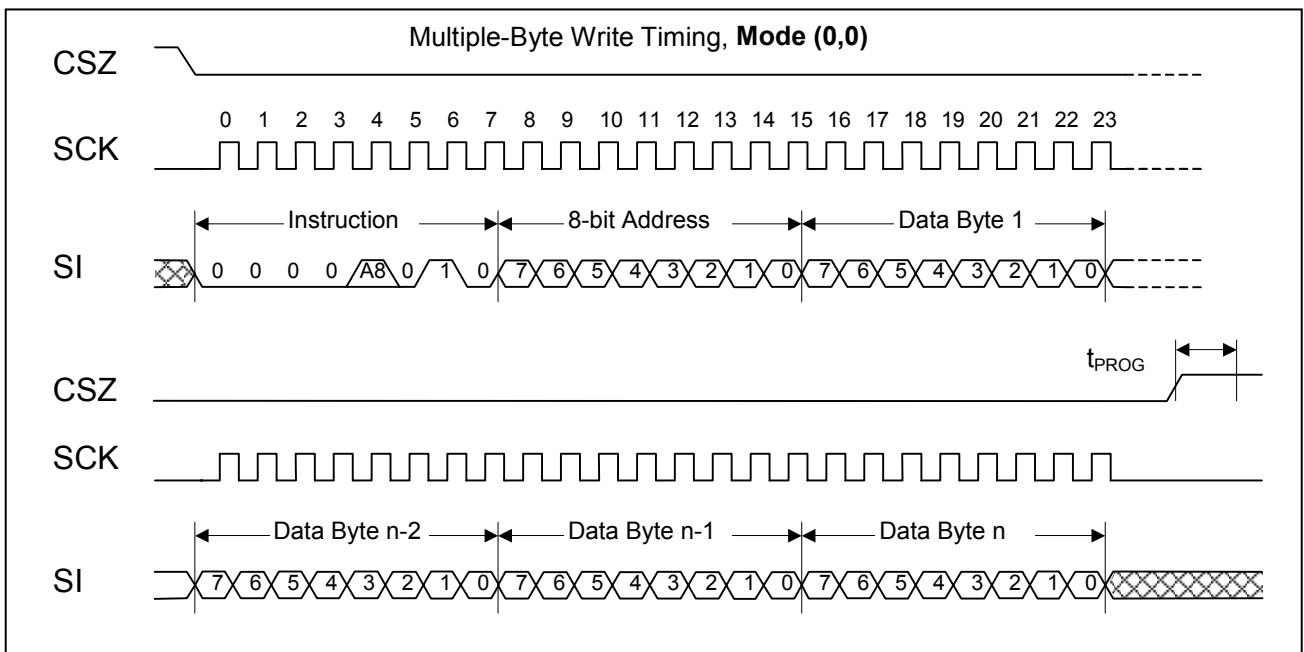
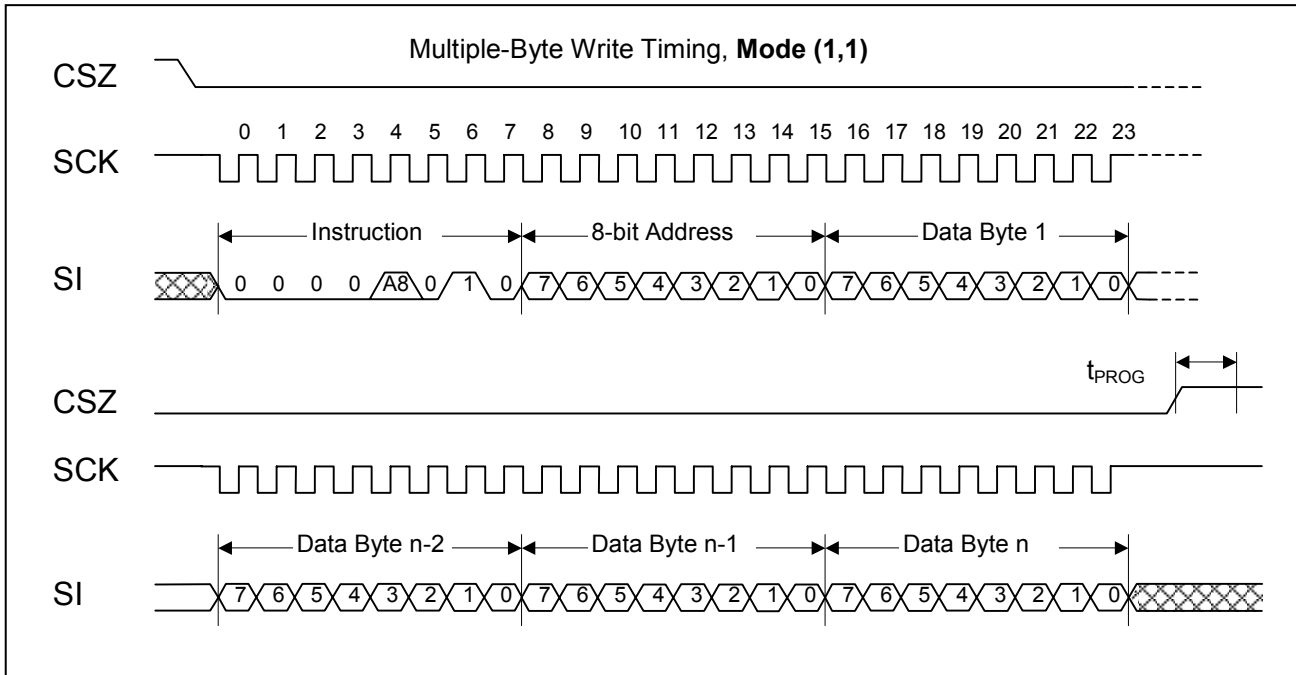


図 19. メモリへの複数バイト書込みと PIO のタイミング(続き)



メモリの読取りと PIO

両方の SPI 通信モードに関する読取りのタイミング図を図 20 に示します。読取りアクセスのタイミングは、アドレス指定されたメモリタイプとは無関係です。読取り命令を 000h~135h の範囲のアドレスとともに受信すると、DS28DG02 はデータとして、最初に SPI Status レジスタ値を送信し、続いて指定されたアドレスを送信します。「予備(reserved)」と記されたアドレスを読み取ると 00h が示されます。アドレスポインタは、データバイトがマスタに送信されるたびにインクリメントします。アドレス 135h のデータが読み取られると、アドレスポインタは 000h にラップアラウンドします。マスタは、データバイトの読取りを無制限に継続することができます。読取りアクセスは CSZ の正エッジで終了します。メモリの読取りと PIO シーケンスの前に WRSR コマンドが実行されたら、命令コードに組み入れられたアドレスビットは無視されてデータが 100h 以上のアドレスから供給されます。意図したアドレスから確実に読み取れるよう、アプリケーションファームウェアは WRSR の後に WRDI などのコマンドを含んでいる必要があります。

図 20. 読取りメモリと PIO のタイミング

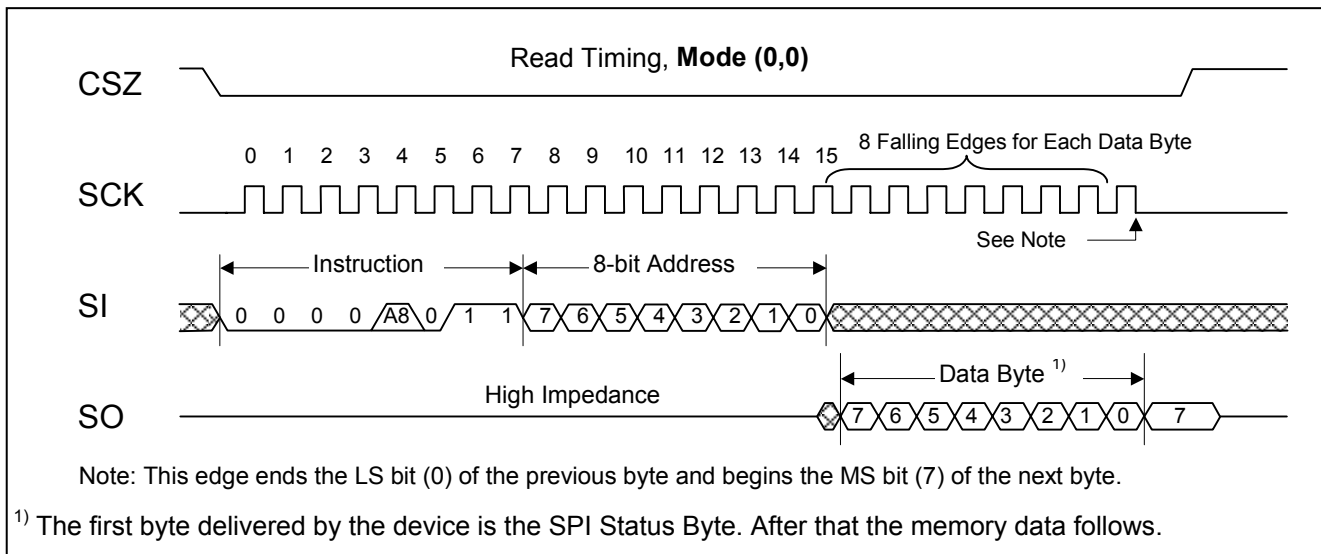
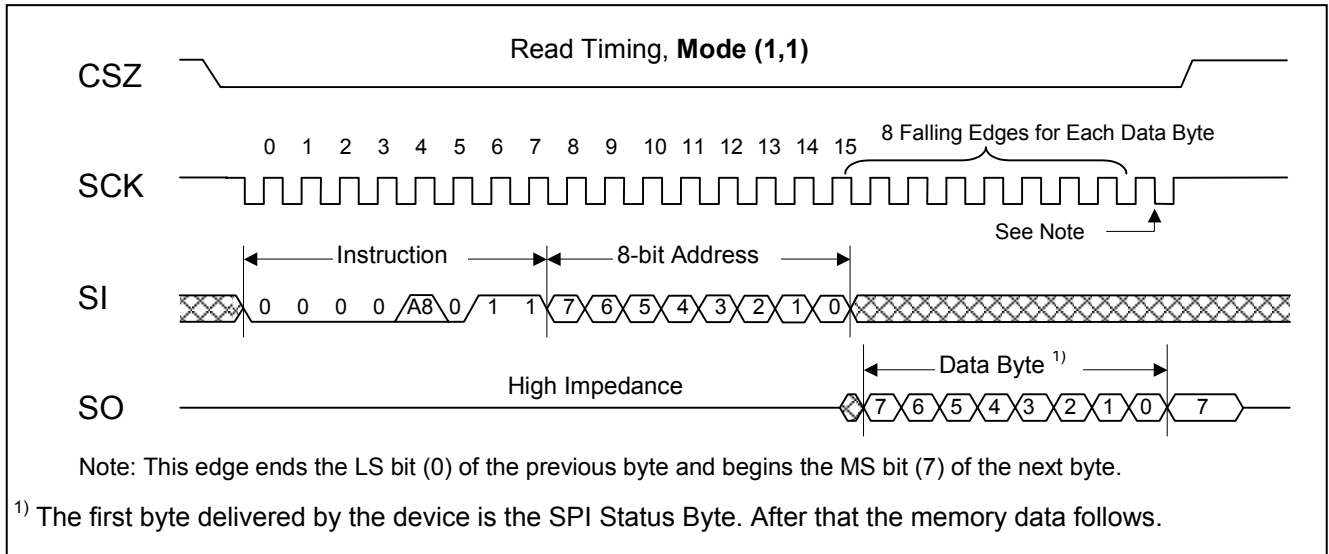


図 20. 読取りメモリと PIO のタイミング(続き)



RTC および Calendar レジスタを読み取る際、マスタに通知されるデータはバッファから取り出されます。このバッファは、最下位アドレスビットが READ 命令によって送信されるときにロードされます。このバッファは、バイト間にも、アドレスポインタがラップアラウンドするときも更新されません。命令コードが PIO Read Access レジスタ(アドレス 126h または 127h)を指定して先頭の対象アドレスが決まるとアドレスポインタはデータバイトが送信された後、126h と 127h の間で切り替わります。このため、PIO 読取りが高速化されて複数信号の監視などが可能になります。PIO 読取りのタイミング図については、「PIO 読取り/書込みアクセス」の項を参照してください。

読取り命令が実在しないメモリからのデータを要求すると、アドレスポインタが最終的に 000h に変化するまで DS28DG02 は最初に 00h バイトを送信します。その後、デバイスは有効なデータを送信し、読取りポインタは正常にインクリメントし、135h に達すると 000h にラップアラウンドします。

PIO 読取り/書込みアクセス

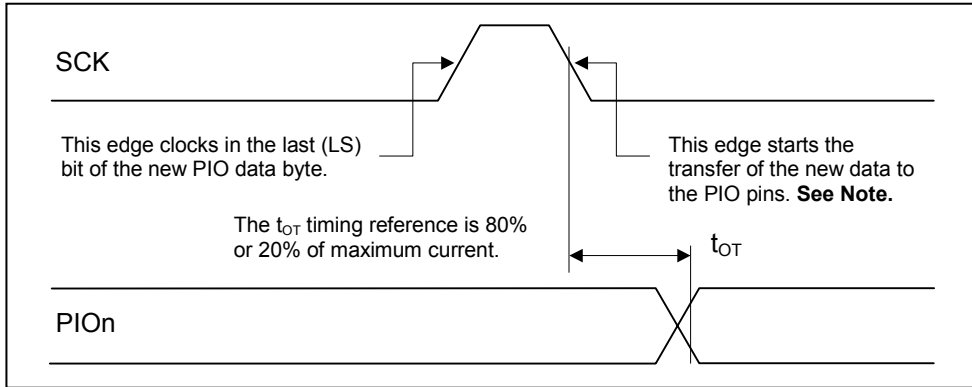
一般情報

DS28DG02 の電源が投入されると、PIO の方向、出力状態、出力タイプ、出力モード、および読取り反転が EEPROM に保存された電源投入時のデフォルト値から自動的に設定されます。この初期化段階の期間は t_{POIP} で、この期間中、各 PIO は一時的に出力ドライバがトライステートの入力として設定されて PIO 端子に接続された回路との衝突を防止します。入力として設定される PIO の出力ドライバは、トライステート(ハイインピーダンス)になります。DS28DG02 の PIO 出力ドライバは、LED などの負荷を駆動するための大電流を供給するように設計されています。大電流が流れている複数の PIO を同時に切り替えると、リセットモニタ回路を誤ってトリガするおそれがあります。これを防止するためには、アドレス 125h の OTM ビットを設定する必要があります。この設定によって、大電流モードがアクティブになり PIO チャネルが順番に切り替わります。大電流モードでは、方向や出力タイプの変化は直ちに起らず、関連するビット遷移が確認される次の PIO 書込みアクセスまで遅延されます。PIO への書込みは書込み機能であるため、WRITE 命令が送出される前に WEN ビットが設定されなければなりません。

小電流モードでの書込み

小電流モードで PIO に書き込む場合は、図 21 に示すように、状態の変化はすべて新たな PIO 状態の最後のビットが DS28DG02 にシフト入力された後の SCK の立下りエッジでトリガされます。アドレス指定された PIO はすべて(アドレス 120h では 8 個、アドレス 121h では 4 個)、ほぼ同時にそれらの状態を変えます。出力遷移時間 t_{OT} が経過すると、状態変化は終了します。WRITE 命令が先頭アドレス 120h と共に送出されると、DS28DG02 はループに入り、そこで受信データが PIO0:7 と PIO8:11 の間で交互に入れ替わる 2 つの PIO グループに送信されます。この場合、PIO の状態変化の最高速度は $f_{CLK}/16$ です。

図 21. PIO 書込みアクセスのタイミング、小電流モード

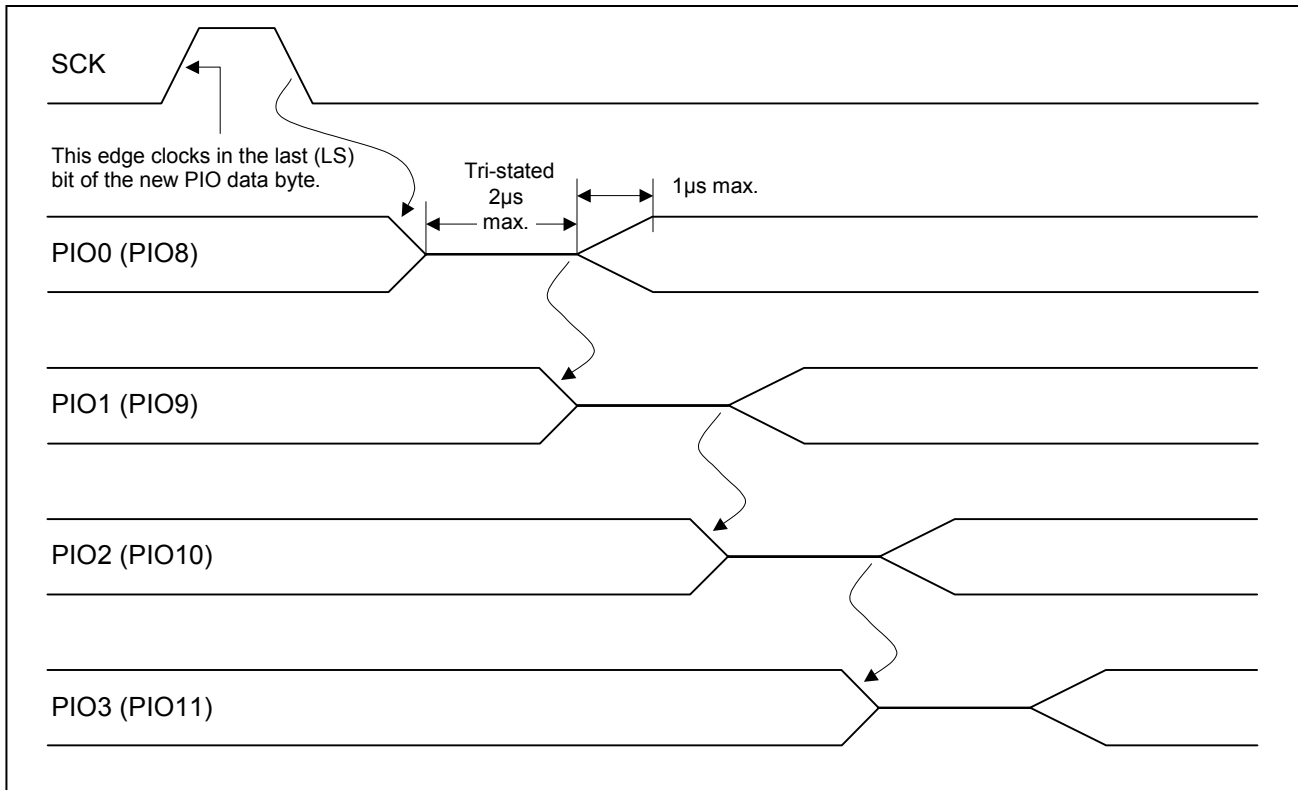


注: SPI モード(1,1)では、デバイスに送信される最後のバイトの最終ビットには SCK の立下りエッジがありません。この場合、PIO への転送は CSZ の立上りエッジで開始されます。この注は大電流モードにも適用されます。

大電流モードでの書込み

大電流モードで PIO への書込みを行う際、新たな PIO 状態の最終ビットが DS28DG02 にシフト入力された後で状態変化が SCK の立下りエッジによってトリガされます。PIO は、図 22 に示すように、アドレスに応じてそれぞれ PIO0 または PIO8 からその状態を順番に変化させます。状態を変化させている PIO は、 $2\mu\text{s}$ (max)の間トライステートになります。この $2\mu\text{s}$ の遅延は、その状態を変えない入力として設定された PIO と出力として設定された PIO にも適用されます。大電流モードにおける PIO の状態遷移は、スルーレートを制御して即座の最大電流駆動または解放を防止します。各端子のスルーレート回路は、 $1\mu\text{s}$ の間に最大電流駆動または解放まで立ち上るように設計されています。大電流モード用に指定された t_{OT} 値は、1 回の書込みで 12 個すべての PIO を更新するときには有効です。この場合、PIO7 から PIO8 に遷移する際に $1\mu\text{s}$ (max)の余分な遅延があります。大電流モードでは、PIO のグループ間の自動交代は適用されず、PIO の状態を再更新するためには別の WREN と WRITE のシーケンスが必要です。

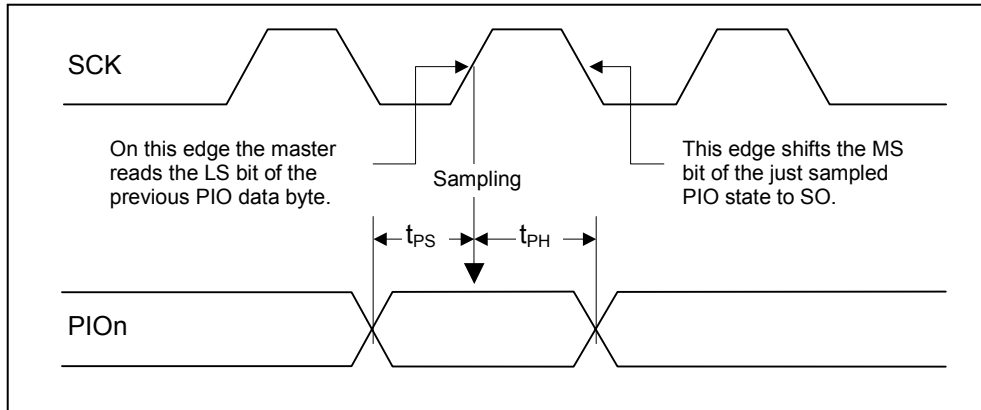
図 22. PIO 書込みアクセスのタイミング、大電流モード



PIO からの読取り

PIO から読取りを行う際、図 23 に示すように、マスタが先行するバイトの最後のデータ(LS)ビットをクロック入力する(読み取る)のに使用するエッジと同じエッジによってサンプリングがトリガされます。先行するバイトは PIO データの場合も SRAM データの場合もあります。正常にアクセスされるためには、PIO の状態は t_{PS} と t_{PH} の期間内では変化してはなりません。SO の状態は、SCL の立下りエッジの後 t_v の間有効です。アドレス 126h から読取りを行う際、SO に最初に現れる PIO 状態は PIO7 の状態です。SCK のすべての立下りエッジで、次の PIO 状態が SO に現れます。PIO0 の状態が SO にシフト出力された後の SCK 立上りエッジで、アドレス 127h の PIO がサンプリングされます。アドレス 127 から最初に読取りを行うと、4 つの 0 ビットに続いて PIO11~PIO8 の状態が得られます。先頭アドレスを 126h として READ 命令が送出されると、DS28DG02 はループに入り、そこで PIO0:7 と PIO8:11 の間で交互 2 つの PIO グループが読み取られます。この場合、PIO の最高サンプリング速度は $f_{CLK}/16$ です。

図 23. PIO 読取りアクセスのタイミング



SPI 通信 - 説明

記号	説明
SEL	CSZ の立下りエッジ
DSEL	CSZ の立上りエッジ
WREN	書込みイネーブル命令
WRDI	書込みディセーブル命令
WRSR	書込みステータスレジスタ命令
RFSH	リフレッシュ命令

記号	説明
WRITEL	A8 = 0 とした場合の書込み命令
WRITEH	A8 = 1 とした場合の書込み命令
READL	A8 = 0 とした場合の読取り命令
READH	A8 = 1 とした場合の読取り命令
<byte>	1 バイトの転送

コマンド固有の通信 – カラーコード

Master-to-Slave	Slave-to-Master	Programming
-----------------	-----------------	-------------

通信の例

SPI Status レジスタの WEN ビットのセット(書き込みイネーブル)

SEL	WREN	DSEL
-----	------	------

SPI Status レジスタの WEN ビットのクリア(書き込みディセーブル)

SEL	WRDI	DSEL
-----	------	------

SPI Status レジスタシーケンスへの書き込み

SEL	WREN	DSEL	SEL	WRSR	<byte>	DSEL	Programming
-----	------	------	-----	------	--------	------	-------------

注: WRSR シーケンスが終了した後すぐに WRDI コマンドを実行してユーザメモリを必ず読み取ることを推奨します。

Status レジスタの読取り(書き込みサイクルの終了の検出など)

SEL	RDSR	<byte>	<byte>	<byte>	DSEL
-----	------	--------	--------	--------	------

RDYZ ビットが 0 になるまで読取りを継続

電源投入時のデフォルトによる PIO のリフレッシュ

SEL	RFSH	DSEL
-----	------	------

ユーザメモリシーケンスへの 3 バイトの書き込み、先頭アドレス = 067h

SEL	WREN	DSEL	SEL	WRITEL	<67h>	<byte>	<byte>	<byte>	DSEL	Programming
-----	------	------	-----	--------	-------	--------	--------	--------	------	-------------

書き込みサイクル終了に関するテストを行う際には Read Status レジスタの例を参照してください。

RTC およびカレンダーの設定、先頭アドレス = 129h

SEL	WREN	DSEL	SEL	WRITEH	<29h>	<7 bytes RTC data>	DSEL
-----	------	------	-----	--------	-------	--------------------	------

SRAM、プログラミング時間なし

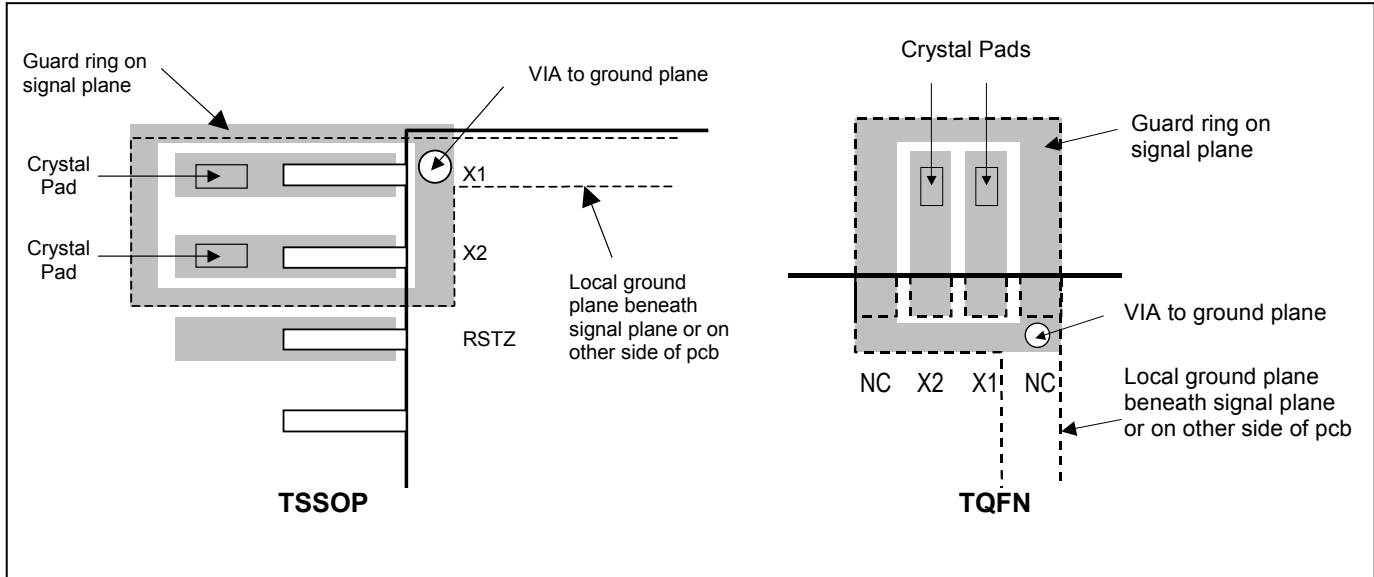
ユーザメモリブロック 1 の読取り、先頭アドレス = 040h、64 バイト

SEL	READL	<40h>	<64 bytes memory data>	DSEL
-----	-------	-------	------------------------	------

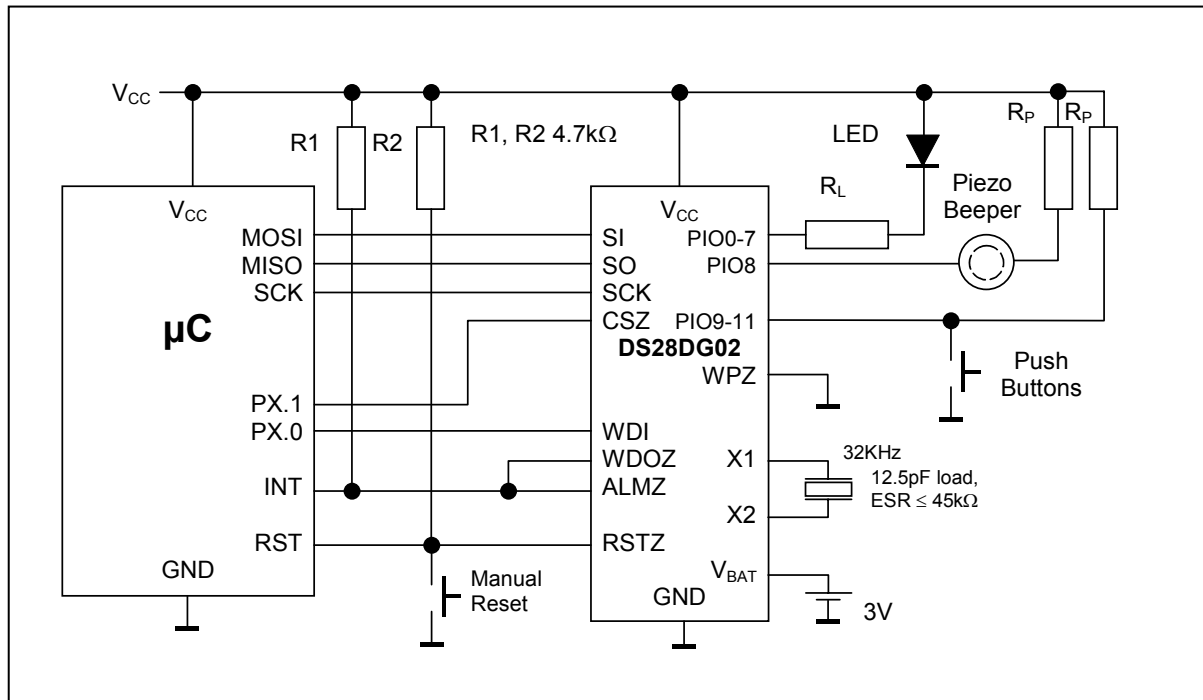
すべての PIO を 3 回読取り、先頭アドレス = 126h、6 バイト

SEL	READH	<26h>	<6 bytes PIO data>	DSEL
-----	-------	-------	--------------------	------

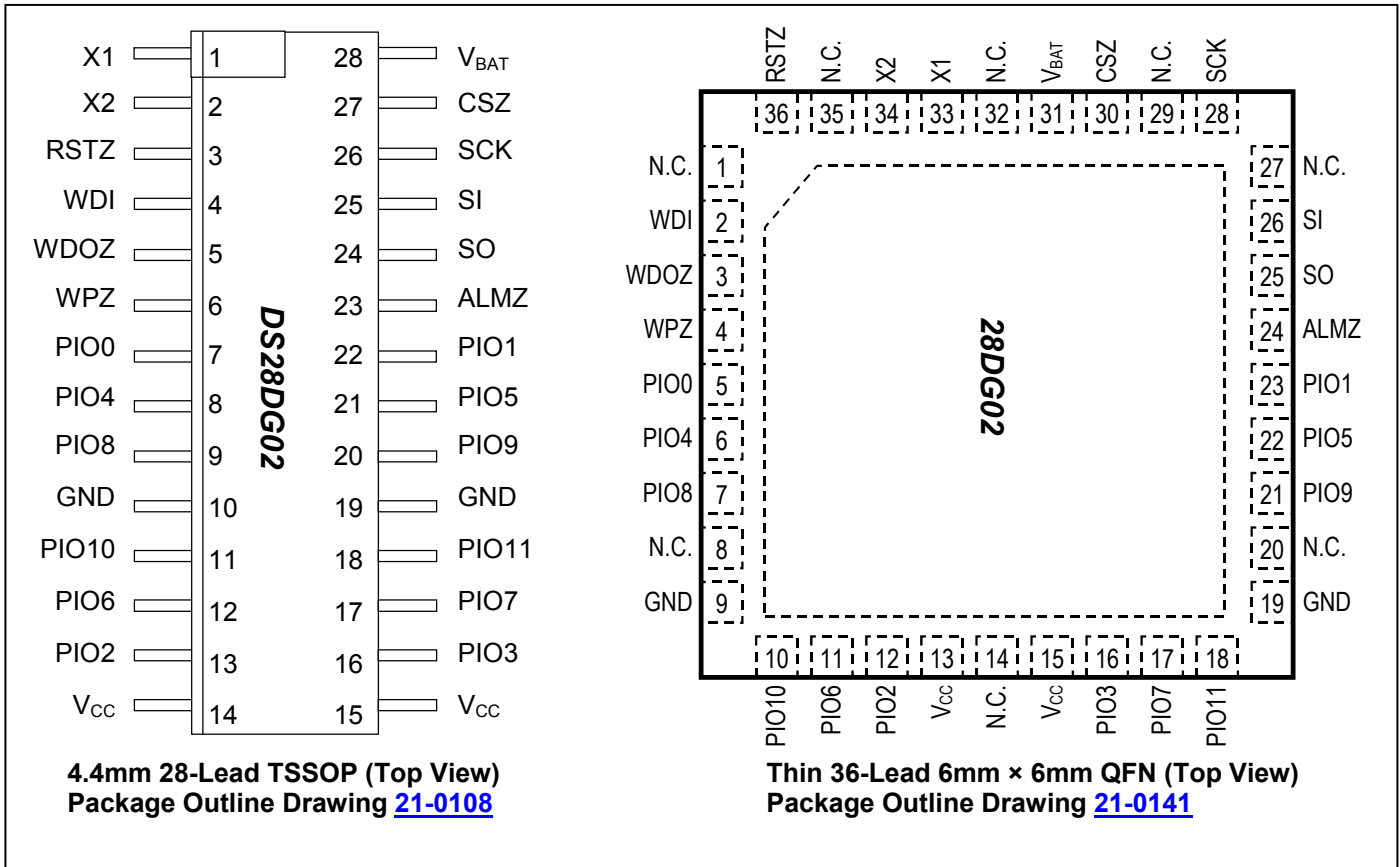
図 24. PCB 上の水晶の配置



標準動作回路



ピン配置



パッケージ

(このデータシートに掲載されているパッケージ仕様は、最新版が反映されているとは限りません。最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfoをご参照下さい。)