

3.3V、8ビット、プログラマブルタイミング素子

概要

DS1123Lは、DS1023と機能的に類似していますが3.3Vで動作する8ビットのプログラマブルタイミング素子です。DS1023と同様に、DS1123Lはこれをディレイラインとして使用するとき信号を1周期以上まで遅延することが可能で、内蔵のリファレンス遅延を使用すると固有の「ステップ0」遅延をオフセットすることができます。このため、DS1123Lはクロック信号を0~360°の全位相範囲でシフトすることができます。ディレイラインとしての機能に加えて、DS1123Lは自走発振器または外部トリガの単安定バイブレータとして構成することもできます。

特長

- ◆ ステップサイズ：0.25ns、0.5ns、1ns、2ns
- ◆ リファレンス遅延内蔵
- ◆ ディレイライン、単安定バイブレータ、または自走発振器として構成可能
- ◆ 信号を1周期以上遅延可能
- ◆ 保証された単調性
- ◆ パラレルまたは3線式シリアルプログラミングインタフェース
- ◆ 単一電源：3.3V
- ◆ 16ピンTSSOP

DS1123L

アプリケーション

テレコム

デジタル試験装置

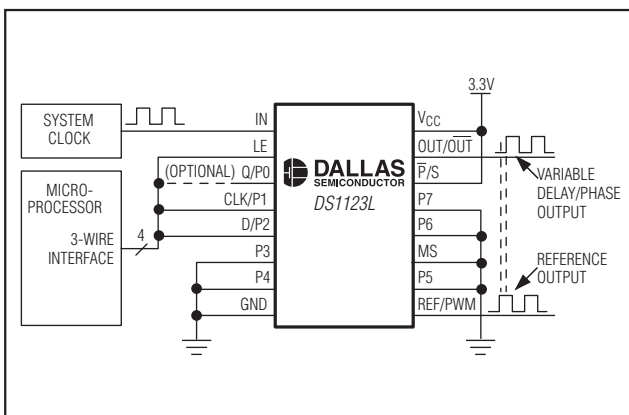
デジタルビデオプロジェクション

信号発生器およびアナライザ

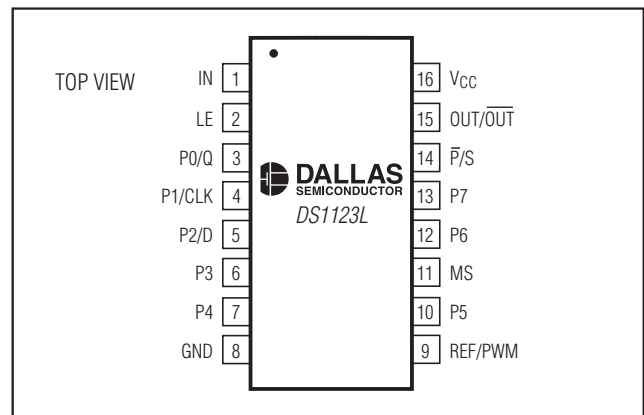
型番

PART	TEMP RANGE	PIN-PACKAGE (150-mil)	STEP SIZE/ NO. OF STEPS
DS1123LE-25	0°C to +70°C	16 TSSOP	0.25/256
DS1123LE-50	0°C to +70°C	16 TSSOP	0.5/256
DS1123LE-100	0°C to +70°C	16 TSSOP	1/256
DS1123LE-200	0°C to +70°C	16 TSSOP	2/256

標準動作回路



ピン配置



3.3V、8ビット、プログラマブルタイミング素子

DS1123L

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC} Pin Relative to Ground-0.5V to +6.0V
 *Voltage Range on IN, LE, Q/P0, CLK/P1, D/P2, P3, P4, P5, MS, P6, P7, and P/S Relative to Ground-0.5V to V_{CC} + 0.5V
 Operating Temperature Range.....0°C to +70°C
 Storage Temperature Range-55°C to +125°C

Short-Circuit Output Current50mA for 1s
 Soldering TemperatureSee IPC/JEDEC J-STD-020A Specification

*Not to exceed +6.0V

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED DC OPERATING CONDITIONS

(T_A = 0°C to +70°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 1)	+3.0		+3.6	V
Input Logic 1	V _{IH}	(Note 2)	0.7 x V _{CC}		V _{CC} + 0.3	V
Input Logic 0	V _{IL}		-0.3		+0.3 x V _{CC}	V

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +3.0 to 3.6V, T_A = 0°C to +70°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Active and Standby Current	I _{CC}			16	30	mA
High-Level Output Current	I _{OH}	V _{CC} = min, V _{OH} = 2.3V			-1.0	mA
Low-Level Output Current	I _{OL}	Q output, V _{CC} = min, V _{OL} = 0.5V			4.0	mA
		All other outputs, V _{CC} = min, V _{OL} = 0.5V			8.0	
Input Leakage	I _L		-1.0		+1.0	μA

3.3V、8ビット、プログラマブルタイミング素子

AC ELECTRICAL CHARACTERISTICS (ALL SPEED OPTIONS)

(V_{CC} = +3.0V to 3.6V, T_A = 0°C to +70°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Frequency	f _{CLK}				10	MHz
Input Pulse Width (LE, CLK)	T _W		50			ns
Data Setup to Clock	t _{DSC}		30			ns
Data Hold from Clock	t _{DHC}		0			ns
Data Setup to Enable	t _{DSE}		30			ns
Data Hold to Enable	t _{DHE}		0			ns
Enable Setup to Clock	t _{ES}		0			ns
Enable Hold from Clock	t _{EH}		30			ns
LE to Q Valid	t _{EQV}				50	ns
LE to Q High-Z	t _{EQZ}		0		50	ns
CLK to Q Valid	t _{CQV}				50	ns
CLK to Q Invalid	t _{CQX}		0			ns
Parallel Input to Delay Valid	t _{PDV}				500	ns
Parallel Input to Delay Invalid	t _{PDX}		0			ns
LE to Delay Valid	t _{EDV}				500	ns
LE to Delay Invalid	t _{EDX}		0			ns
Power-Up Time	t _{PU}				100	ms

3.3V、8ビット、プログラマブルタイミング素子

DS1123L

AC ELECTRICAL CHARACTERISTICS (DS1123L-25)

(V_{CC} = +3.0V to 3.6V, T_A = 0°C to +70°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Reference Delay	t _{REF}	(Notes 3, 4)		18	22	ns
Delay Step Size	t _{STEP}	T _A = +25°C	0	0.25	1.75	ns
Step-Zero Delay with Respect to IN	t _{D0}	(Notes 4, 5)		16.5	22	ns
Step-Zero Delay with Respect to REF	t _{D0REF}	(Notes 6, 7)	-2.5	-1.5	0	ns
Maximum Delay with Respect to IN	t _{DMAX}	(Notes 4, 8)		80		ns
Delay with Respect to REF	t _{DREF}	Position FO (Notes 7, 9)		60		ns
Delay with Respect to REF Tolerance	$\frac{\Delta t_{DREF}}{t_{DREF}}$	V _{CC} = 3.3V, T _A = +25°C (Notes 7, 9)	-0.75		+0.75	%
Voltage Delay Variation	$\frac{\Delta t_{DV}}{t_{DREF}}$	(Notes 7, 9)	-1		+1	%
Temperature Delay Variation	$\frac{\Delta t_{DT}}{t_{DREF}}$	V _{CC} = 3.3V (Notes 7, 9)	-2.5		+2.5	%
Integral Nonlinearity (Deviation from Straight Line)	t _{err}	(Note 10)	-2	0	+2	ns
OUT Delta Delay	t _{INV0}	(Note 11)	0	1	2.5	ns
IN High to PWM High	t _{PWM0}	(Notes 4, 12)		16.5	22	ns
Minimum PWM Output Pulse Width	t _{PWM}	(Note 13)	5			ns
Minimum Input Pulse Width	t _{WI}	(Note 14)	40			ns
Minimum Input Period		(Note 15)	80			ns
Input Rise and Fall Times	t _r , t _f	(Note 16)	0		1	μs

3.3V、8ビット、プログラマブルタイミング素子

DS1123L

AC ELECTRICAL CHARACTERISTICS (DS1123L-50)

(V_{CC} = +3.0V to 3.6V, T_A = 0°C to +70°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Reference Delay	t _{REF}	(Notes 3, 4)		18	22	ns
Delay Step Size	t _{STEP}	T _A = +25°C	0	0.5	1.75	ns
Step-Zero Delay with Respect to IN	t _{D0}	(Notes 4, 5)		16.5	22	ns
Step-Zero Delay with Respect to REF	t _{D0REF}	(Notes 6, 7)	-2.5	-1.5	0	ns
Maximum Delay with Respect to IN	t _{DMAX}	(Notes 4, 8)		144		ns
Delay with Respect to REF	t _{DREF}	Position FF (Notes 7, 9)		127.5		ns
Delay with Respect to REF Tolerance	$\frac{\Delta t_{DREF}}{t_{DREF}}$	V _{CC} = 3.3V, T _A = +25°C (Notes 7, 9)	-0.75		+0.75	%
Voltage Delay Variation	$\frac{\Delta t_{DV}}{t_{DREF}}$	(Notes 7, 9)	-0.75		+0.75	%
Temperature Delay Variation	$\frac{\Delta t_{DT}}{t_{DREF}}$	V _{CC} = 3.3V (Notes 7, 9)	-2.5		+2.5	%
Integral Nonlinearity (Deviation from Straight Line)	t _{err}	(Note 10)	-2	0	+2	ns
$\overline{\text{OUT}}$ Delta Delay	t _{INV0}	(Note 11)	0	1	2.5	ns
IN High to PWM High	t _{PWM0}	(Notes 4, 12)		16.5	22	ns
Minimum PWM Output Pulse Width	t _{PWM}	(Note 13)	5			ns
Minimum Input Pulse Width	t _{WI}	(Note 14)	40			ns
Minimum Input Period		(Note 15)	80			ns
Input Rise and Fall Times	t _r , t _f	(Note 16)	0		1	μs

3.3V、8ビット、プログラマブルタイミング素子

DS1123L

AC ELECTRICAL CHARACTERISTICS (DS1123L-100)

(V_{CC} = +3.0V to 3.6V, T_A = 0°C to +70°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Reference Delay	t _{REF}	(Notes 3, 4)		18	22	ns
Delay Step Size	t _{STEP}	T _A = +25°C	0	1	2.25	ns
Step-Zero Delay with Respect to IN	t _{D0}	(Notes 4, 5)		16.5	22	ns
Step-Zero Delay with Respect to REF	t _{D0REF}	(Notes 6, 7)	-2.5	-1.5	0	ns
Maximum Delay with Respect to IN	t _{DMAX}	(Notes 4, 8)		272		ns
Delay with Respect to REF	t _{DREF}	Position FF (Notes 7, 9)		255		ns
Delay with Respect to REF Tolerance	$\frac{\Delta t_{DREF}}{t_{DREF}}$	V _{CC} = 3.3V, T _A = +25°C (Notes 7, 9)	-0.75		+0.75	%
Voltage Delay Variation	$\frac{\Delta t_{DV}}{t_{DREF}}$	(Notes 7, 9)	-0.5		+0.5	%
Temperature Delay Variation	$\frac{\Delta t_{DT}}{t_{DREF}}$	V _{CC} = 3.3V (Notes 7, 9)	-2.5		+2.5	%
Integral Nonlinearity (Deviation from Straight Line)	t _{err}	(Note 10)	-4	0	+4	ns
OUT Delta Delay	t _{INV0}	(Note 11)	0	1	2.5	ns
IN High to PWM High	t _{PWM0}	(Notes 4, 12)		16.5	22	ns
Minimum PWM Output Pulse Width	t _{PWM}	(Note 13)	5			ns
Minimum Input Pulse Width	t _{WI}	(Note 14)	40			ns
Minimum Input Period		(Note 15)	80			ns
Input Rise and Fall Times	t _r , t _f	(Note 16)	0		1	μs

Note 1: All voltages are referenced to ground.

Note 2: If IN is high during power-up, the output remains low until IN is toggled low and back high again.

Note 3: The reference delay is closely matched to the step-zero delay to allow relative timings down to zero or less.

Note 4: Measured from rising edge of the input to the rising edge of the output (t_{DR}).

Note 5: Delay from input to output with a programmed delay value of zero.

Note 6: This is the relative delay between REF and OUT. The device is designed such that when programmed to zero delay the OUT output always appears before the REF output. This parameter is numerically equal to t_{D0} - t_{REF} (see Figure 8).

Note 7: From rising edge to rising edge.

Note 8: This is the actual measured delay from IN to OUT. This parameter exhibits greater temperature variation than the relative delay parameter.

Note 9: This is the actual measured delay with respect to the REF output. This parameter more closely reflects the programmed delay value than the absolute delay parameter (see Figure 8). Typical delay shift due to aging is within ±0.85%. Aging stressing includes level 1 moisture reflow preconditioning (24hr +125°C bake, 168hr +85°C/85%RH moisture soak, and three solder reflow passes +260°C +0°C/-5°C peak) followed by 1000hr (max) V_{CC} biased +125°C OP/L, 1000hr unbiased +150°C bake, and 1000 temperature cycles at -55°C to +125°C.

3.3V、8ビット、プログラマブルタイミング素子

AC ELECTRICAL CHARACTERISTICS (DS1123L-200)

(V_{CC} = +3.0V to 3.6V, T_A = 0°C to +70°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Reference Delay	t _{REF}	(Notes 3, 4)		18	22	ns
Delay Step Size	t _{STEP}	T _A = +25°C	1.0	2	3.0	ns
Step-Zero Delay with Respect to IN	t _{D0}	(Notes 4, 5)		16.5	22	ns
Step-Zero Delay with Respect to REF	t _{D0REF}	(Notes 6, 7)	-2.5	-1.5	0	ns
Maximum Delay with Respect to IN	t _{DMAX}	(Notes 4, 8)		527		ns
Delay with Respect to REF	t _{DREF}	Position FF (Notes 7, 9)		510		ns
Delay with Respect to REF Tolerance	$\frac{\Delta t_{DREF}}{t_{DREF}}$	V _{CC} = 3.3V, T _A = +25°C (Notes 7, 9)	-0.75		+0.75	%
Voltage Delay Variation	$\frac{\Delta t_{DV}}{t_{DREF}}$	(Notes 7, 9)	-0.5		+0.5	%
Temperature Delay Variation	$\frac{\Delta t_{DT}}{t_{DREF}}$	V _{CC} = 3.3V	-2.5		+2.5	%
Integral Nonlinearity (Deviation from Straight Line)	t _{err}	(Note 10)	-5	0	+5	ns
OUT Delta Delay	t _{INV0}	(Note 11)	0	1	2.5	ns
IN High to PWM High	t _{PWM0}	(Notes 4, 12)		16.5	22	ns
Minimum PWM Output Pulse Width	t _{PWM}	(Note 13)	5			ns
Minimum Input Pulse Width	t _{WI}	(Note 14)	40			ns
Minimum Input Period		(Note 15)	80			ns
Input Rise and Fall Times	t _r , t _f	(Note 16)	0		1	μs

Note 10: See the *Integral Nonlinearity* section and Figure 9.

Note 11: Change in delay value when the inverted output is selected instead of the normal, noninverting output.

Note 12: In PWM mode, the delay between the rising edge of the input and the rising edge of the output.

Note 13: The minimum value for which the monostable-vibrator pulse width should be programmed. Narrower pulse widths can be programmed, but output levels may be impaired and ultimately no output pulse is produced.

Note 14: This is the minimum allowable interval between transitions on the input to assure accurate device operation. This parameter may be violated, but timing accuracy may be impaired and ultimately very narrow pulse widths result in no output from the device.

Note 15: This parameter applies to normal delay mode only. When a 50% duty cycle input clock is used this defines the highest usable clock frequency. When asymmetrical clock inputs are used, the maximum usable clock frequency must be reduced to conform to the minimum input pulse-width requirement. In PWM mode, the minimum input period is equal to the step-zero delay and the programmed delay (t_{D0} + t_D).

Note 16: Faster rise and fall times give the greatest accuracy in measured delay. Slow edges (outside the specification maximum) can result in erratic operations.

3.3V、8ビット、プログラマブルタイミング素子

DS1123L

端子説明

端子	名称	機能
1	IN	遅延される入力信号、PWMトリガ
2	LE	入力ラッチイネーブル
3	P0/Q	入力P0 (パラレルモード)/シリアルデータ出力(シリアルモード)
4	P1/CLK	入力P1 (パラレルモード)/シリアルクロック(シリアルモード)
5	P2/D	入力P2 (パラレルモード)/シリアルデータ入力(シリアルモード)
6	P3	入力P3
7	P4	入力P4
8	GND	グラウンド
9	REF/PWM	リファレンス出力/PWM出力
10	P5	入力P5
11	MS	入力モード選択 MS = 0 (遅延機能の場合) MS = 1 (発振器またはPWMの場合)
12	P6	入力P6
13	P7	入力P7
14	\bar{P}/S	パラレル/シリアルプログラミング選択
15	OUT/OUT	遅延出力または反転出力
16	V _{CC}	電源(3.3V)

ファンクションダイアグラム

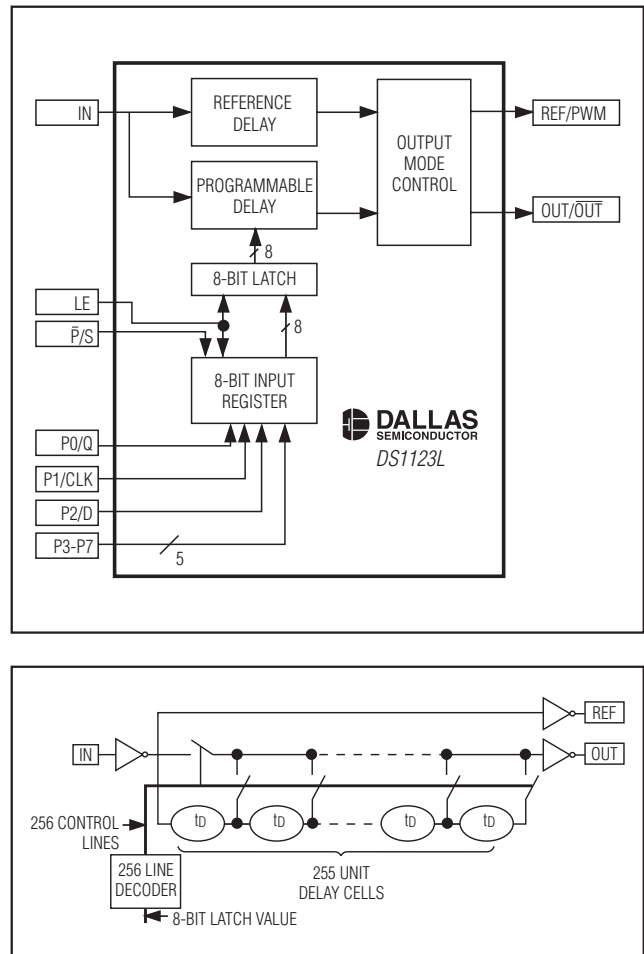


図1. DS1123Lの概念設計

詳細

DS1123Lは、256段階の遅延間隔を調整することができる8ビットのプログラマブルディレイラインです。DS1123Lは、設計(図1参照)上、信号を1周期以上遅延することが可能であるため、信号の位相を最大の360°まで調整することができます。設定は、8ビットパラレルインタフェースまたは3線式シリアルインタフェースを通じて行うことができます。3線式インタフェースを使用する場合、複数のプログラマブル遅延を必要とするシステムではI/Oリソースを追加せずに複数のデバイスをまとめてカスケード接続することが可能です。また、DS1123Lはステップ0遅延にほぼ等しいリファレンス遅延を備えているため、これを使用して小さい相対遅延を実現することができます。さらに、DS1123Lは単安定バイブレータまたは可変周波数発振器としても機能します。

デバイスの動作

この項では、パラレルとシリアルの両インタフェースおよびリファレンス遅延を使用してDS1123Lを設定する方法と、チップを単安定バイブレータまたは可変周波数発振器として機能するように構成する方法を詳しく説明します。

パラレルプログラミングインタフェースの使用

DS1123Lのパラレルインタフェースをイネーブルするためには、 \bar{P}/S をグラウンドに接続する必要があります。これによって、パラレル入力(P0~P7)のデータはラッチイネーブル(LE)の入力がハイレベルにあるとき透過的になるラッチを通過することができます。LEの入力がローレベルにあるとき、データはLEがハイの状態に戻るまでラッチされます。パラレル入力を使用して遅延をハードワイヤ接続で実現する場合は、LEをV_{CC}に接続

3.3V、8ビット、プログラマブルタイミング素子

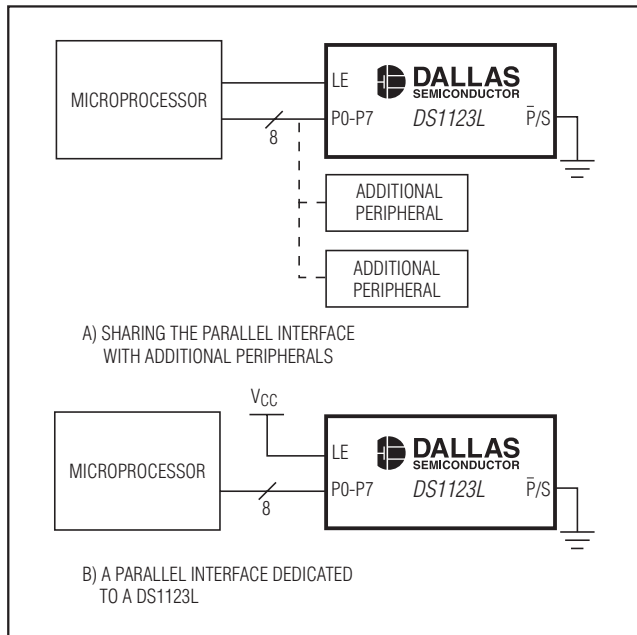


図2. DS1123Lの平行インタフェースオプション

して電源投入時に設定が有効になるようにする必要があります。平行モードを採用していて柔軟性が最も高くなるのは、遅延がマイクロプロセッサによって制御されているときです。

マイクロプロセッサを使ってDS1123Lを制御する際に利用される、一般的な平行インタフェースの実施方法が2つあります(図2参照)。LEはマイクロプロセッサからのデータをラッチするのに使用することが可能で、マイクロプロセッサは他の周辺装置とデータバスを共有することができます。あるいは、LEをハイに接続することも可能で、この場合、平行入力の変化の直後

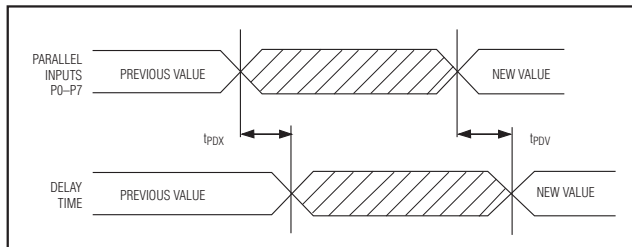


図3. 非ラッチ平行のタイミング図

にDS1123Lはその遅延を調整します。各構成に対して、調整が行われた後にセトリング時間(t_{EDV} または t_{PDV})が必要であり、このセトリング時間後に入力信号が新たな設定にしたがって正確に遅延されます。図3と図4は、これらの実施に必要なタイミングを示します。

シリアルプログラミングインタフェースの使用

3線式シリアルインタフェースは、 \bar{P}/S を V_{CC} に接続することによってイネーブルされます。シリアルモードはシフトレジスタと同様に動作します。LEがハイのロジックレベルに設定されると、レジスタがイネーブルされ、CLKがデータDを最上位ビットから1ビットずつレジスタにクロックインします。8ビットすべてがDS1123Lにシフトインされた後、LEはローに駆動されてデータ転送が終了し、新たな値が有効になります。LEがローに駆動された後にセトリング時間(t_{EDV})が必要であり、このセトリング時間後に信号遅延が指定精度を満たします。図6は、シリアルインタフェースのタイミング図を示します。また、3線式インタフェースは出力(Q)を備えており、この出力は、複数の3線式デバイスをカスケード接続するのに使用され、バス上にあるデバイスの現在値を読み取るのにも使用されます。

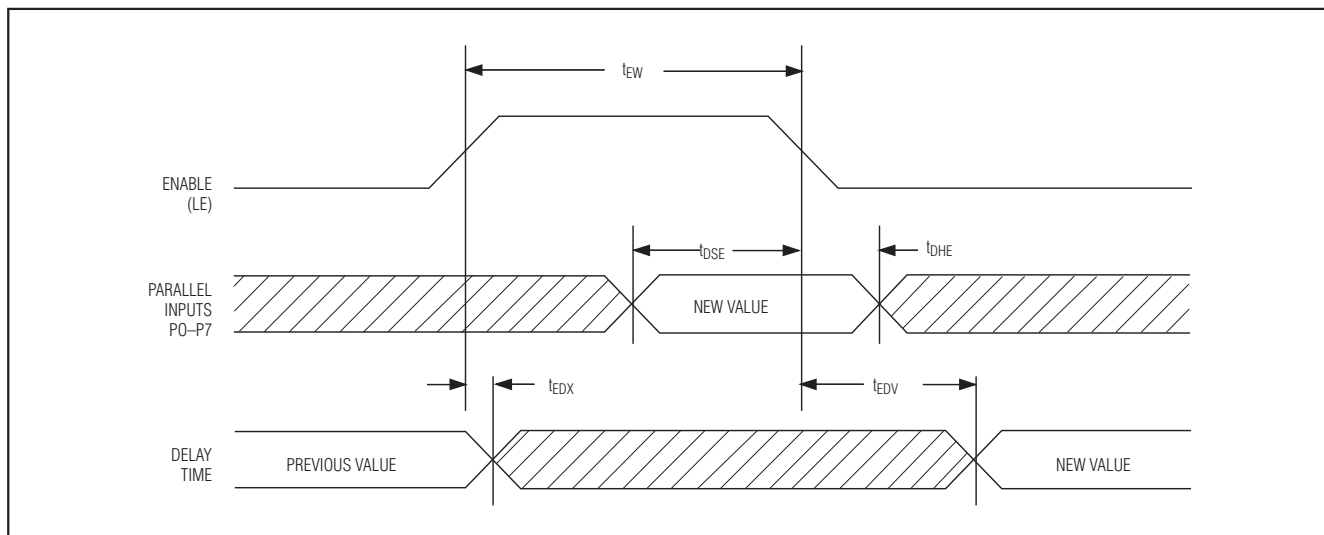


図4. ラッチ平行のタイミング図

3.3V、8ビット、プログラマブルタイミング素子

DS1123L

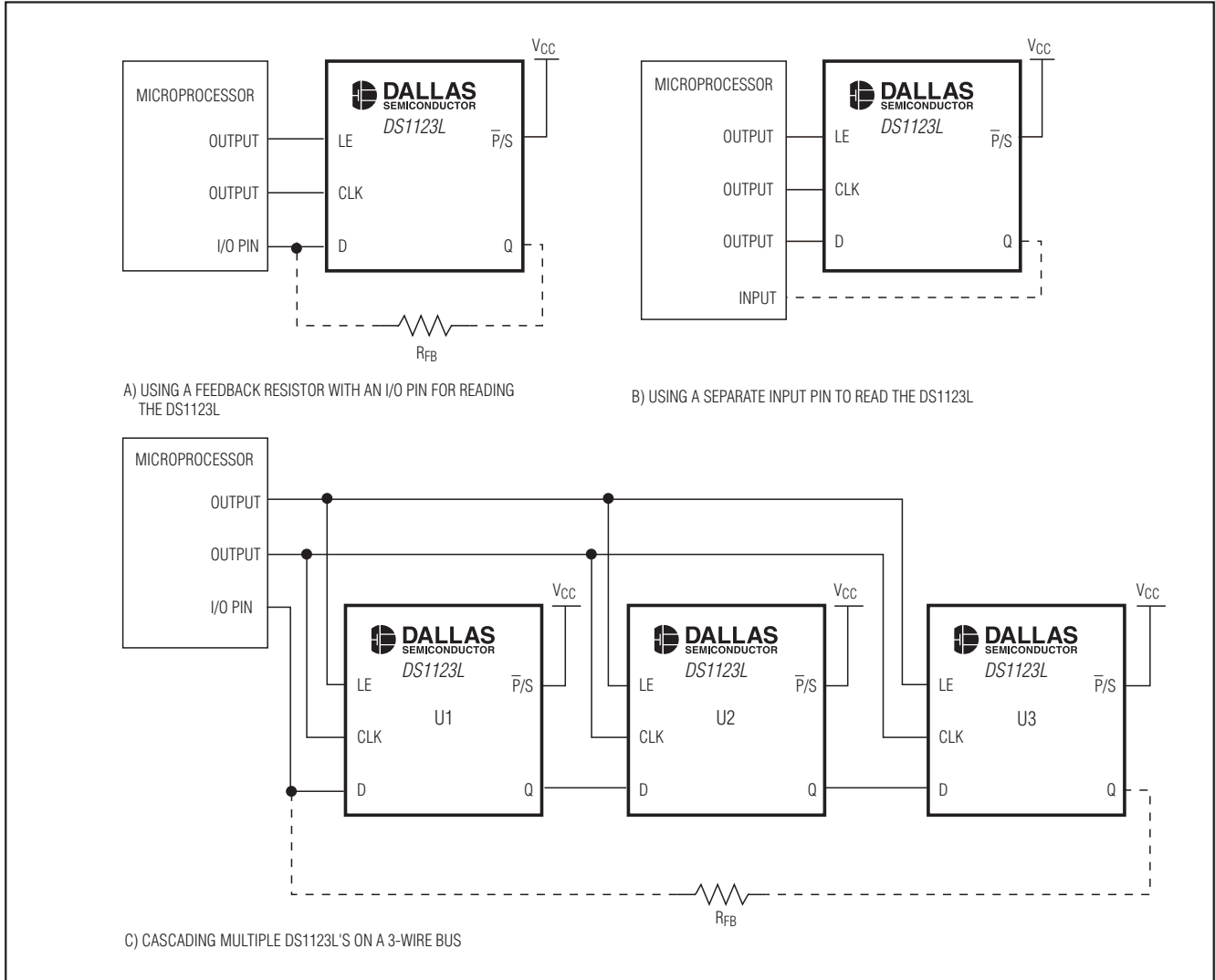


図5. シリアルインタフェースの使用

3線式デバイスによって保存された現在値を読み取るためには、ラッチをイネーブルしてQの値を読み取った後、レジスタをクロック駆動する前にDに書き戻す必要があります。こうすると、レジスタの現在値は読み取られると同時にDS1123Lに書き戻されます。これはいくつかの異なる方法で実行することができます。入力として設定されたときマイクロプロセッサのI/Oピンがハイインピーダンスである場合、フィードバック抵抗器（一般に1kΩ～10kΩ）を使用してQのデータが読み取られるときこのデータをDに書き戻すことができます（図5a参照）。マイクロプロセッサがそのI/Oピンにプルアップを内蔵している場合や独立した入力ピンと出力ピンを備えているだけの場合も、レジスタの値をやはり読み取ることができます。図5bに示す回路では、Qの値をマイクロプロセッサによって読み取ることが可能で、

マイクロプロセッサはバスをクロック駆動して次のビットを読み取る前にQの値をDに書き込む必要があります。Qの値をD（プルアップの有無は別として）に書き込まずにこの値を読み取ると、読取りが破壊的に行われます。破壊的読取りサイクルは、遅延設定に望ましくない変更をもたらす可能性があります。

図5cは、複数のDS1123Lを同じ3線式バス上でカスケード接続する方法を示します。カスケード接続された3線式デバイスに対してソフトウェアを書き込む際の1つの重要な点は、各読取りまたは書き込みサイクル中にバス上のすべてのデバイスに対して読み書きを行う必要があることです。最初のデバイス(U1)のみに書き込もうとすると、U1に保存されたデータがU2にシフトされ、U2のデータがU3にシフトされ、以下同様に行われることとなります。図に示すように、3線式デバイスのど

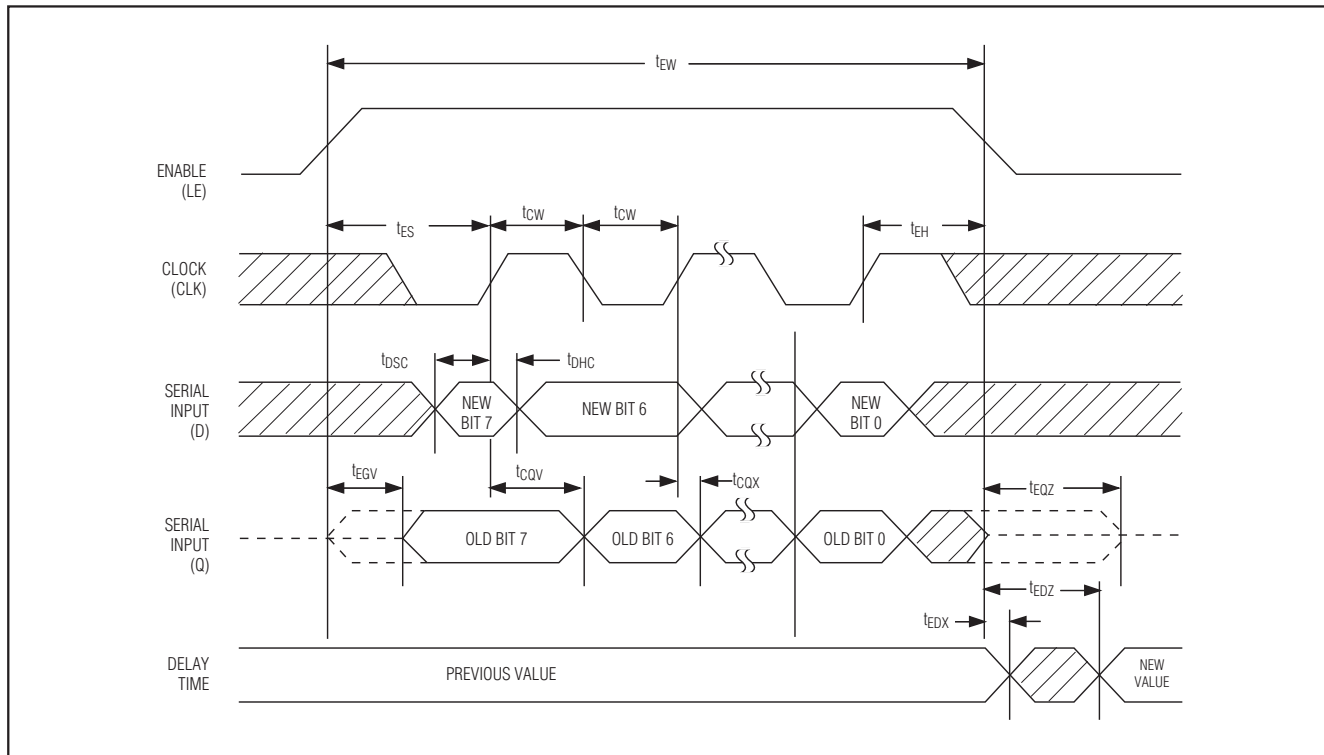


図6. シリアルインタフェースのタイミング図

の設定も誤って変更することのないよう、マイクロプロセッサは各読み取りまたは書き込みサイクルの間に24ビットをシフトしなければなりません。また、複数のデバイスがカスケード接続されているとき、フィードバック抵抗器や独立した入力(図示されていない)を使用して3線式デバイスの設定値を読み取ることもできます。

ディレイラインとしてのDS1123Lの構成

DS1123Lをディレイラインとして使用するためには、MSピンをグランドに接続する必要があります。ディレイラインとして使用するとき、DS1123Lの内部アーキテクチャによって出力遅延時間を入力パルス幅よりかなり長くすることができます(AC仕様参照)。この機能は、多くのアプリケーション、特にクロック位相制御に有用で、この場合1クロック周期までとそれ以上の遅延を実現することができます。表1に、DS1123Lデバイスに利用可能な種々の速度オプションの遅延特性をいくつか示します。

リファレンス遅延の使用

すべてのディレイラインで、入力および出力バッファの中での伝播遅延に起因する固有のステップ0遅延(t_{D0})がINとOUTの間に存在します。システム設計を容易にするために、DS1123Lではステップ0遅延の補償に使用することができるリファレンス遅延を内蔵しています。

DS1123Lを使用すると、OUT遅延の基準を入力とするときには発生することのできない小さい差の遅延をリファレンス出力によって発生させることができます。ステップ0 OUT遅延は、REF遅延よりも常に約1ns短くなります(図8参照)。このため、DS1123Lはリファレンス出力に対して遅延のない出力を生成することができます。さらに、リファレンス出力ドライバにはOUT出力ドライバと同じサイズのもので使用され、両出力は温度に対して同じ動作を行い、これらはいずれも正確な入力スレッショルドとは無関係に同時にトリガされます。こうした特徴によって、これら両出力には前記現象に基づいてほぼ同じ量のスキューが発生するため、出力遅延はリファレンスに対してより理想的に行われるようになります。

積分非直線性

積分非直線性(INL)は、測定されたステップ0遅延と測定されたステップ255遅延を結んだ直線応答のリファレンス出力からのずれと定義されます。INLに対して測定されるINLは、規定されませんが、リファレンス出力に対して測定されるINLよりもわずかに大きくなるはずで、これは、温度と電圧に対してREF出力がOUTに追従しようとする傾向がINに対して採取される測定値に有益に作用しないためです。図9は、INLが遅延性能に及ぼす影響をグラフで示します。

3.3V、8ビット、プログラマブルタイミング素子

DS1123L

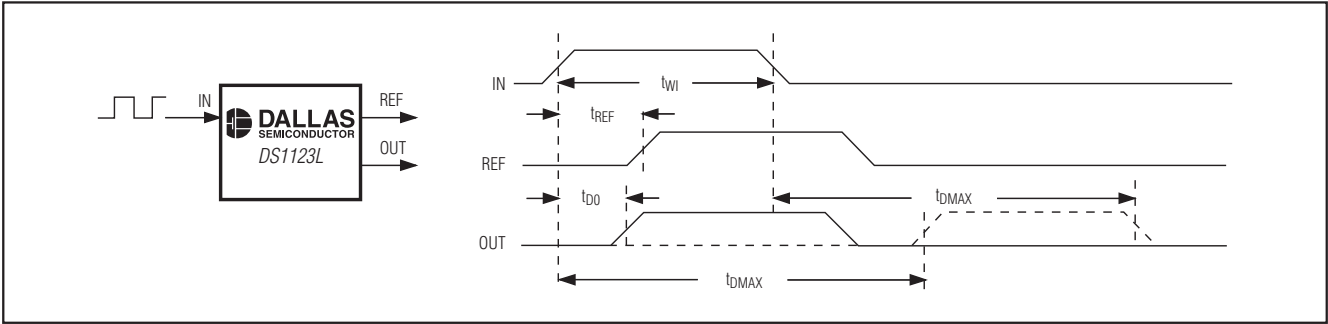


図7. リファレンス遅延のタイミング、MS = 0

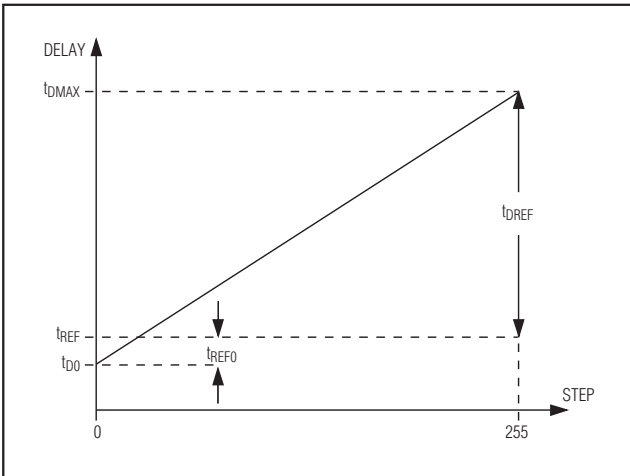


図8. 遅延パラメータ

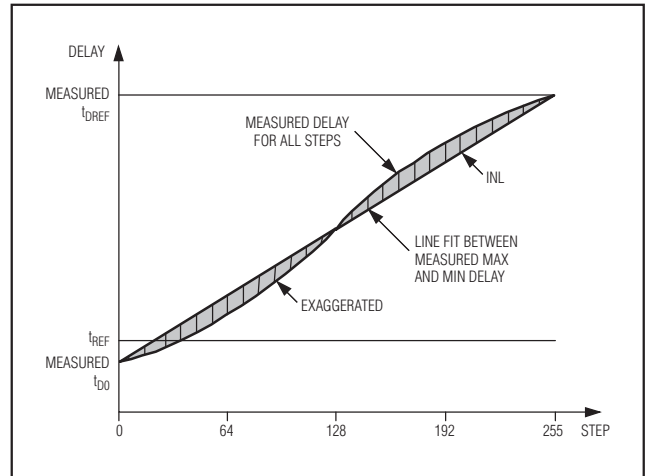


図9. 積分非直線性

単安定バイブレータまたはPWMとしてのDS1123Lの構成

DS1123Lを単安定バイブレータとして構成するためには、MS=1を設定してください。こうすると、DS1123Lが入力によってトリガされたときリファレンス出力(PWM)は t_{REF} と t_D の間にハイに設定されます。時間 t_D が経過すると、出力はローに戻り単安定バイブレータを再トリガすることができます。 \overline{OUT} 信号とPWM信号のタイミングについては、図10をご覧ください。MS=1でかつDS1123Lが外部の自走発振器によってトリガされると、リファレンス出力はパルス幅変調器(PWM)になります。DS1123LをPWMとして使用するとき、 \overline{OUT} を入力に接続することによって自走発振器を生成してはなりません。 \overline{OUT} を入力に接続すると、様々な値が設定されるためデューティサイクルに加えてPWM周期の変動を引き起こし、望ましい機能が得られなくなるおそれがあります。

実際に発生可能な最小パルス幅は約5nsです。5nsのパルスはDS1123Lの出力ドライバで発生することのできるほぼ最小のパルスであるからです。単安定バイブレータを再トリガすることはできないため、出力がローに戻るまではINへの後続トリガパルスが存在してはなりません。

発振器としてのDS1123Lの構成

DS1123Lを可変発振器として構成するためには、MS=1に設定し、かつ外部で \overline{OUT} をINに接続してください。MS=1を設定すると自動的に入力信号が反転しさらに遅延します(図10参照)。 \overline{OUT} を入力に接続すると、回路は設定された遅延の2倍の周期で発振します。表2に、種々の速度グレードのDS1123Lが提供する発振器の周波数範囲を示します。

3.3V、8ビット、プログラマブルタイミング素子

表1. DS1123Lディレイライン/PWMの範囲および許容差

PART	STEP SIZE (ns)	MAX DELAY TIME AND MAX PULSE WIDTH* (ns)	MAX INTEGRAL NONLINEARITY (ns)	MAX INPUT FREQUENCY (MHz)	MIN INPUT PULSE WIDTH (ns)
DS1123L-25	0.25	63.75	±2	25	40
DS1123L-50	0.5	127.5	±2	25	40
DS1123L-100	1.0	255	±4	25	40
DS1123L-200	2.0	510	±5	25	40

*これはリファレンス出力に対して測定された通常モード(MS = 0)における最大遅延、および単安定バイブレータモード(MS = 1)における最大パルス幅です。

表2. DS1123L可変発振器の特性

PART	PERIOD CHANGE/STEP (ns)	MIN OSCILLATOR FREQUENCY (MHz)	MAX OSCILLATOR FREQUENCY* (MHz)
DS1123L-25	0.5	6.6	22
DS1123L-50	1.0	3.6	22
DS1123L-100	2.0	1.9	22
DS1123L-200	4.0	0.98	22

*最大出力周波数は実際のステップ0遅延値に依存します。ワーストケース値を表に示します。出力周期は2 x t_Dに等しくなります。ただし、t_D = INを基準とした遅延値。

アプリケーション情報

電源デカップリング

DS1123Lを使用する際、最良の結果を得るためには、電源を0.01μFと0.1μFのコンデンサでデカップルしてください。高品質のセラミック表面実装コンデンサを使用し、これらをDS1123LのV_{CC}とGNDの各ピンのできる限り近くに取り付けてリードインダクタンスを最小限に抑えてください。適切なデカップリング方法に従わない場合はDS1123Lが規定通りに機能しないことがあります。

シリアルプログラミングモードを使用するときの未使用入力

シリアルプログラミングモードを使用するときは、使用しないパラレル入力をV_{CC}またはGNDに接続してフローティングと過大電流を防止する必要があります。

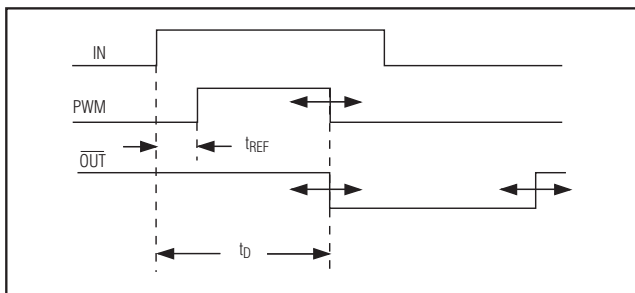


図10. MS = 1の場合の出力タイミング図

試験条件

入力：

- 周囲温度： 25°C ± 3°C
- 電源電圧(V_{CC})： 3.3V ± 0.1V
- 入力パルス： ハイ = 3.0V ± 0.1V
ロー = 0.0V ± 0.1V
- ソースインピーダンス： 50Ω (max)
- 立上りおよび立下り時間： 3.0ns (max)
(0.6V~2.4Vで測定)
- パルス幅： 500ns
- 周期： 1μs

出力：出力には74F04が負荷として接続されます。遅延は、1.5Vレベルの入力信号の立上りまたは立下りエッジと出力信号の対応するエッジの間で測定されます。
注：前記の諸条件は、試験のみに適用され、他のデータシート条件でのデバイスの動作を制限するものではありません。

3.3V、8ビット、プログラマブルタイミング素子

DS1123L

チップトポロジ

TRANSISTOR COUNT: 6057
SUBSTRATE CONNECTED TO GROUND

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

改訂履歴

Rev 2での変更ページ: 1、6、14

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

14 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2007 Maxim Integrated Products

MAXIM is a registered trademark of Maxim Integrated Products, Inc.